



逢甲大學學生報告 *ePaper*

報告題名：電梯控制系統 Elevator Controller

作者：鍾云瑄 吳奕菲 黃韋寧

系級：電子二丙

學號：D1358215 D1358201 D1357630

開課老師：楊鎮安

課程名稱：微處理機系統實習

開課系所：電子二丙

開課學年：114 學年度 第 2 學期



中文摘要

本專題旨在利用 Verilog 硬體描述語言與 DE0 FPGA 開發板，設計並實作一套以有限狀態機（Finite State Machine, FSM）為核心的十樓電梯控制系統，藉此練習數位邏輯設計、狀態機控制及 FPGA 硬體實作，並解決電梯在不同樓層間移動、接收樓層需求及開關門控制等問題。系統以按鍵與指撥開關作為輸入，透過 Verilog 設計邊緣偵測、需求管理及排程等模組，將乘客的樓層需求記錄後交由排程模組決定電梯行進方向，再由 FSM 控制電梯的待機、上樓、下樓、開門、關門等狀態。同時，利用七段顯示器顯示目前樓層及相關運作資訊，使電梯運作狀態能夠即時呈現在 DE0 面板。電梯的樓層需求採用 LOOK 排程方式進行處理，使電梯在目前行進方向仍有需求時持續移動，當該方向沒有其他需求時再改變行進方向，以提升需求處理的合理性。經由 Verilog 程式設計、Quartus 編譯及 DE0 FPGA 開發板實際測試後，完成十樓電梯的基本控制功能，包括樓層需求記憶、上下樓移動、開關門控制、樓層顯示及多個樓層需求的依序處理。本專題實作結果顯示，利用 FSM 可有效將複雜的電梯控制流程轉換為明確的狀態與轉移條件，並能透過 FPGA 實際驗證數位電路設計，達到電梯控制系統實作與 FSM 應用練習之目的。

關鍵字：電梯控制系統、有限狀態機(FSM)、DE0、FPGA、Verilog

Abstract

This project aims to design and implement a ten-floor elevator control system using the Verilog hardware description language and the DE0 FPGA development board, with the purpose of practicing digital logic design, finite state machine (FSM) control, and FPGA hardware implementation. The system uses push buttons and DIP switches as inputs. Through Verilog, modules for button debouncing, edge detection, request management, and scheduling are designed to record passengers' floor requests. The scheduler then determines the elevator's moving direction, while the FSM controls the elevator through different states, including idle, moving upward, moving downward, door opening, and door closing. A seven-segment display is also used to show the current floor and related operating information, allowing the elevator status to be monitored in real time. The floor requests are processed using the LOOK scheduling algorithm. The elevator continues moving in the current direction while there are remaining requests in that direction and changes direction when no further requests exist. After completing the Verilog design, Quartus compilation, and practical testing on the DE0 FPGA development board, the basic functions of the ten-floor elevator were successfully implemented, including floor request storage, upward and downward movement, door control, floor display, and sequential processing of multiple floor requests. The results demonstrate that an FSM can effectively convert the complex control procedures of an elevator into clearly defined states and transition conditions, while FPGA implementation provides practical verification of digital circuit design. This project therefore achieves the goals of implementing an elevator control system and gaining practical experience with FSM-based control.

Keyword : DE0, Elevator Control System, Finite State Machine (FSM), FPGA, Verilog

目 次

一、實現目的	1
二、如何設計	1
三、成果展示	4
四、心得與討論	5
五、分工	5
參考文獻	6



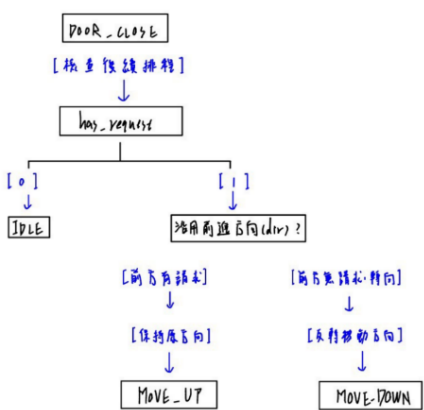
實現目的

- 1. 記憶樓層請求（外部樓層需求/內部指定樓層）
- 2. 電梯上下移動
- 3. 到站停靠
- 4. 開關門
- 5. 防夾功能
- 6. 顯示目前樓層
- 7. 顯示目前狀態（上升/下降/開門/關門/待機）

一、如何設計

電梯設計重點：

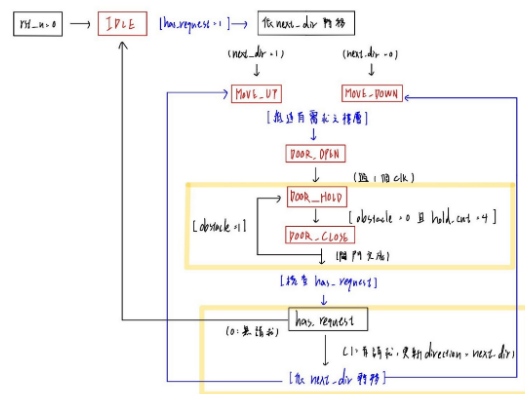
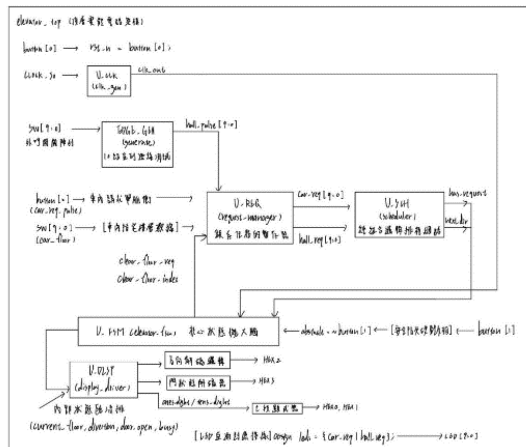
- 1. FSM 有限狀態機
主要控制核心，利用有限狀態機控制電梯的運作流程。
- 2. 防夾裝置
Button[1] 為防夾按鈕
延長開門：長按 Button[1]
關門彈開：關門時偵測到有人，狀態機會優先判斷瞬間跳回 DOOR_HOLD
透過設置防夾按鈕，避免在電梯門關閉時夾到人。
- 3. LOOK 排程
選擇使用 LOOK 排程，會先判斷同一方向是否還有需求，沒有需求則轉向。避免使用 SCAN 排程（不論前方有無需求皆會同一個方向走到底才轉向），可減少平均移動距離。



▲ LOOK 排程

比較項目	LOOK	SCAN
全名	LOOK Algorithm	SCAN Algorithm
核心概念	同一方向是否還有需求，沒有就轉向	一直走到最底/最頂才轉向
反向條件	該方向已無請求	到達樓層邊界
是否會跑到最頂樓	不一定	一定
是否會跑到最底樓	不一定	一定
平均移動距離	較短	較長
平均等待時間	較短	較長
使用效率	較高	較低

▲ LOOK 排程 與 SCAN 排程比較



SW[9:0]	樓層請求 搭配 button[2]決定外部 請求/內部選樓	LED[0]	busy 忙碌中
Button[2]	0：外部請求 1：內部選樓	LED[1]	dir =1 向上 dir =0 向下
Button[1]	防夾按鈕	LED[2]	開門
Button[0]	rst_n	LED[3]	防夾
Hex[3]	開(O) 關(C) 門	LED[4]	內部請求
Hex[2]	上(U) 下(d)	LED[8]	clk
Hex[1]	樓層十位數	LED[9]	rst_n
Hex[0]	樓層個位數		

▲ DE0 面板控制、顯示資訊

1. elevator_top—頂層模組
elevator_top 為整個電梯系統的最上層模組，主要負責整合各個子模組，並連接 DE0 FPGA 開發板的輸入與輸出訊號。透過此模組將時脈產生、按鍵處理、樓層需求管理、排程、FSM 控制及七段顯示等功能整合成完整的電梯控制系統。
2. clk_gen—時脈產生模組
clk_gen 負責將 DE0 FPGA 開發板提供的高速時脈進行除頻，產生適合電梯控制使用的低頻時脈。藉由降低系統運作速度，使電梯樓層移動及相關計時動作能以適當的速度進行，方便實際觀察電梯的運作狀態。
3. edge_detector—邊緣偵測模組
edge_detector 用於偵測輸入訊號由低電位變為高電位的瞬間，將持續存在的訊號轉換成單一時脈週期的脈波訊號。本系統將其應用於樓層選擇訊號，以避免指撥開關持續開啟時重複產生相同的樓層需求。
4. request_manager—需求管理模組
request_manager 負責接收並記錄電梯的樓層需求，主要分為電梯外部的

hall_req 與電梯內部的 car_req。當使用者提出樓層需求時，模組會將對應樓層的需求記錄下來；當電梯抵達並完成該樓層服務後，再清除已完成的需求，使系統能夠同時管理多個樓層的請求。

5. scheduler—電梯排程模組

scheduler 負責根據目前樓層、電梯行進方向及尚未完成的樓層需求，判斷電梯下一步的行進方向。系統採用 LOOK 排程方式，在目前行進方向仍有需求時持續前進，當該方向沒有其他需求時才改變方向，以決定電梯應向上、向下移動或停止等待。

6. elevator_fsm—電梯有限狀態機

elevator_fsm 為本系統的主要控制核心，利用有限狀態機控制電梯的運作流程。主要狀態包含 IDLE、MOVE_UP、MOVE_DOWN、DOOR_OPEN、DOOR_HOLD 及 DOOR_CLOSE。FSM 根據樓層需求及障礙物等輸入條件進行狀態轉換，控制電梯上下移動、抵達樓層後開門、保持開門及關門等動作。

7. display_driver—顯示控制模組

display_driver 負責將電梯 FSM 所產生的運作資訊轉換成適合 DE0 顯示器使用的訊號。主要顯示目前樓層、電梯行進方向、門的狀態及電梯忙碌狀態，使使用者能即時掌握電梯目前的運作情形。

8. seven_seg—七段顯示器模組

seven_seg 負責將輸入的數值轉換為七段顯示器所需的控制訊號，使數字能正確顯示於 DE0 的七段顯示器上。此模組主要配合 display_driver 使用，以顯示目前電梯所在樓層及相關資訊。

車廂外部：電梯在 3 樓時，有人在 7 樓按下電梯



三、心得與討論

本專題實作 Terasic DE0 電梯控制系統，在架構上實踐了 Unix「關注單一目標並將其做好」的哲學，將系統拆解為去彈跳、狀態機與解碼等模組，透過定義清晰的介面達成流暢的模組協同工作。

在邏輯與演算法優化方面，我們的 scheduler.v 排程器拒絕盲目掃描樓層，而是像圖靈設定「關鍵字」般，優先判斷當前運動方向與前方請求，用最少的硬體邏輯閘做出最高效的移動決策。

面對高達 2 的 20 次方種的內外請求組合，我們更結合《模仿遊戲》中圖靈主張「用機器去對抗機器」的哲學，建置 Testbench 自動化驗證平台並透過 GTKWave 分析時序，成功以自動化模擬排除人腦除錯極限，完美體現了軟硬體協同設計與封裝的理工思考哲學。

四、分工

黃韋寧	• 規劃電梯行為邏輯，繪製狀態轉移圖與核心調度演算法流程圖。 • 負責 scheduler.v 排程邏輯，設計下一運行方向（next_dir）決策樹。 • 規劃 button_debounce.v 與 edge_detector.v 底層輸入濾波架構。 • 主控整場專題報告與簡報統整，主講設計理念與系統流程圖。
鍾云瑄	• 撰寫 tb_elevator_top.v 測試平台，針對防夾等極端情境設計測資。 • 建置自動化模擬環境（維護 .bat），利用 iVerilog 與 vvp 除錯。 • 透過 GTKWave 分析 elevator.vcd 關鍵訊號時序，驗證硬體邏輯。 • 負責簡報中「模擬結果分析」章節，並在上台時主講波形圖。
吳奕菲	• 負責 elevator_fsm.v 主狀態機設計與狀態轉移邏輯。 • 實作 request_manager.v 暫存器，管理請求鎖存與自動清除機制。 • 負責 display_driver.v 字形解碼，處理狀態與樓層可視化。 • 整合 elevator_top.v 頂層模組，完成全系統線路串接與 I/O 映射。

參考文獻

褚達威 (2019)。FPGA 數位邏輯設計與 Verilog 實作。全華圖書。

鄭光欽、張哲晃 (2021)。基於 FPGA 之智慧型多功能電梯控制系統設計與實作。電工技術學刊，18(2)，45-56。

Silberschatz, A., Galvin, P. B., & Gagne, G. (2018). Operating system concepts (10th ed.). Wiley.

Terasic Technologies. (2009). DE0 Development and Education Board User Manual (Rev. 1.6). Terasic Inc.

Volnei, A. P. (2004). Circuit design with VHDL. MIT Press.

