

以 FPGA 實現 PID 模糊控制晶片之設計

楊溢棋
Yi-Chi Yang

洪進華
Jin-Hua Hong

程仲勝
Jong-Sheng Cherng

大葉大學電機工程研究所
彰化縣大村鄉山腳路 112 號
Tel: (04) 852-8469 ext 2198 Fax: (04) 852-1904
E-mail: jhhong@mail.dyu.edu.tw

摘要

本研究旨在以場規劃陣列 (Field Programmable Gate Array) 設計出一個僅需要 16 個 clock cycles 就能推論完畢並輸出之具有 PID 功能的 Fuzzy 控制晶片。在當今 Fuzzy 應用多數仍以微處理機為主體來實現 Fuzzy 核心的推論運算,但受限於微處理機的工作頻率太慢,若以工作頻率 20Mhz 單晶片為例,其單一指令週期執行約需 0.2us 時間,意指當微處理機內用軟體執行 4 個指令(如:NOP、MOVE)的同時,以 FPGA 所實現的 Fuzzy 硬體電路早已完成 2-input 1-output 之 PID 架構的輸出量化值的推論。此應用對於需要快速推論分析之“及時系統(Real Time)”有相當的幫助。在本文我們特別提出“數位平均值濾波”與“可調式取樣脈衝”的技術及硬體架構來執行模糊化,此一技術能確保即使是在複雜的環境下工作,亦能使 Fuzzy-PID 高速推論時避免誤動作發生,使外力雜訊干擾因素所導致的不正確推論情形降到最低。

關鍵詞：PID、Fuzzy、模糊、人工智慧

一、簡介

早在 1921 年科學家愛因斯坦曾有感而發提出:「數學定律若要盡量的逼近“真實”,則它們必然無法很“精確”;而它們要盡量“精確”,則必然無法“真實”」,「So far as laws of mathematics refer to reality, they are not

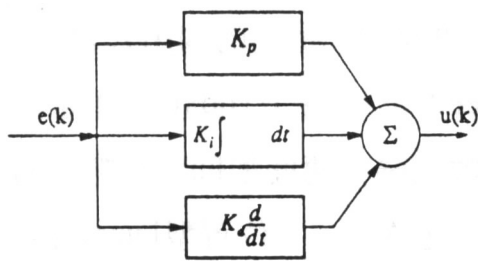
certain; And so far as they are certain, they do not refer to reality」。如同數位計算機沿用的二值邏輯(二分法),其相當“精確”的幫助人們劃分處理事務,但人類大部分的知識或判斷思維的概念,在“真實”世界卻不容易用二分法順利的處理,因此人們希望把計算機從單純的數值運算擴展到能夠模彷人類知識思維,形成所謂人工智慧(Artificial Intelligence, AI)研究領域。PID 控制(Proportional Integration Derivative, PID)其特點是需要建立受控設備(Plant)數學模型以便對“真實”系統做數學抽象的近似描述,而用“精確”的形式把系統表現出來,但常因受到數學模式建構限制而產生匹配調測複雜因素且若受控設備因受外力干擾或長時間環境、機構變化因素導致受控設備參數改變,控制穩定度必須重新調整而使系統強健性受到考驗。1974 年英國 E.H. Mamdani 教授,根據 Fuzzy 理論首創者 Zadeh 教授於 1965 年所提出的“語言分析”與“模糊推論”方法,成功應用 If-Then 形式 Rule 來敘述操作員的操控技術,並且與 SENSOR 輸入資訊做近似對照,成功的應用在自動運轉控制上,使得控制系統擺脫以往傳統設計思維。近來利用數位計算機以軟體工程採 Fuzzy 行為式控制知識庫操作法則取代 PID 之受控設備“精確”數學模式,目前 Fuzzy-PID 雖改善增進其系統強健性,但面對現今更複雜受控設備與需高速“即時處理”系統應用上,受限於微處理機工作頻率下其 Fuzzy 推論速度提昇有限,因此本研究改採硬體設計的方式來完成 Fuzzy-PID,我們以 HDL (Hardware Description Language) 設計出具有高速 Fuzzy 推論及擁有“可調式取樣

脈衝”與“數位平均值濾波”功能之簡易智慧型 Fuzzy-PID 系統。目前已完成 FPGA 的設計雛形並驗證無誤，後序的工作則是將此一系統以 ASIC 的方式來加以實現。

二、Fuzzy-PID 動作分析

(一) PID 架構

傳統 PID 控制(Proportional Integration Derivative, PID) 基本架構如 圖【一】所示，採用閉回路迴授信號控制架構(Closed Loop Feed-back Control)，從受控設備檢測出回授信號與目標值(Desired Value)做比較之後，來進行調節受控設備而產生適當操作量，當受控設備受到外來的變化干擾情況下，系統自行控制以恢復趨近目標值。因此 PID 有賴於精確的系統數學模式，透過時域-頻率分析方式，找出適當的控制演算公式所需的工作參數(Kp、Ki、Kd)，若選擇不適當或當受控設備參數變動時，容易造成系統不穩定。



圖【一】基本架構

類比 PID 演算公式：

$$u(t) = K_p e(t) + K_i \int_0^t e(t) dt + K_d \frac{de}{dt} \dots\dots\dots (1)$$

數位 PID 演算公式：

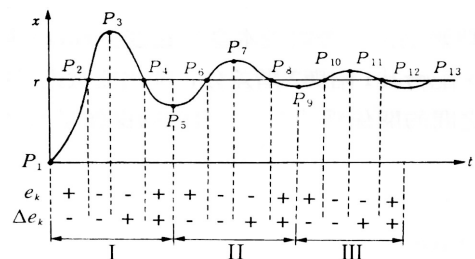
$$u(n) = K_p e(n) + K_i T \sum_{k=0}^n e(k) + \frac{K_d}{T} [e(n) - e(n-1)] \dots\dots\dots (2)$$

然而 Fuzzy 控制只需將受控設備傳來的信號經模糊化(Fuzzification)處理，經由所定義的經驗法則及決策流程組成之知識庫推論分析後，結果經解模糊化(Defuzzification)後傳至受控設備進行控制，由於推論過程中不需受控設備數學模式即可運作，因此避免了 PID 在非線性

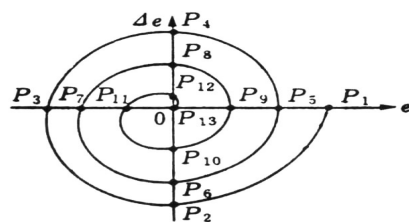
時所造成不穩定現象。其模仿 PID 動作之 Fuzzy 控制狀態分析如 圖【二】，另響應過程步驟如下表示：文獻【4】

- (1)P2、P6、P10：
e 誤差為零， e 誤差變化量為負值。
- (2)P4、P8、P12：
e 誤差為零， e 誤差變化量為正值。
- (3)P5、P9：
e 誤差為正值最大， e 誤差變化量為零。
- (4)P3、P7、P11：
e 誤差為負值最大， e 誤差變化量為零。
- (5)P1 P2、P5 P6、P9 P10：
e 誤差為正值， e 誤差變化量為負值。
- (6)P2 P3、P6 P7、P10 P11：
e 誤差， e 誤差變化量皆為負值。
- (7)P3 P4、P7 P8、P11 P12：
e 誤差為負值， e 誤差變化量為正值。
- (8)P4 P5、P8 P9
e 誤差， e 誤差變化量為正值。

以 P1 到 P2 系統響應分析，當 P1 愈接近於 P2 時，其目標誤差值將愈小，且判別 e 誤差變化量之步階反應值，當誤差變化量變化愈大，則 Fuzzy Rule 將愈抑制 U 操作量。因此將誤差 e 與 e 誤差變化量之間關係，轉成相平面表示如 圖【三】之軌跡圖，軌跡由橫軸右端點開始以順時針方向逐漸縮小，最後達中心點 e = e = 0 即達目標值。



圖【二】PID 步階響應曲線



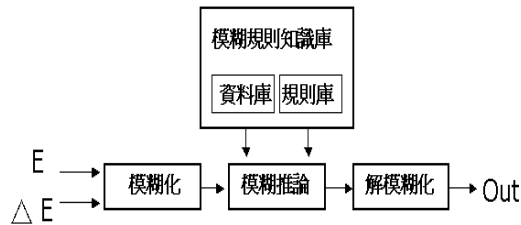
圖【三】PID 相平面軌跡曲線

(二) 模糊演算流程

Fuzzy 基本架構如 圖【四】 所示，受控設備所涉及的領域知識 (Domain Knowledge) 和操控目標的資訊量，主要是由資料庫 (Data Base) 及規則庫 (Rule Base) 組成，資料庫存放領域知識的 Fuzzy 歸屬函數，規則庫則存放 Fuzzy 蘊含式 (Fuzzy Implication)。蘊含式以下列式子【3】來表示，其中 If 部份的 E is MF_{e_i} and E is MF_{Q_i} 稱為前導命題 (Antecedent Proposition)，提供判別語句成立條件依據。而 Then 部份的 Z is R_i 稱為後導命題 (Consequent Proposition)，提供執行符合條件的結果。

Fuzzy 蘊含式:

Rule i : If E is MF_{e_i} and E is MF_{Q_i} Then Z is R_i , 其中 i 為語句的編號 (3)



圖【四】 Fuzzy 基本架構

在考量硬體面積及速度因素下，我們使用後導命題模糊單值簡化型態 (Simplified Fuzzy-Singleton) 之推論方式 文獻【7】【8】，其求取前導適合度的方式與 Mamdani

MAX-MIN 相符，但簡化了後導適合度推論，以指定模糊單值實數直接代入推論輸出函數運算，以二個輸入一個輸出演算流程如下：

<1>Rule1 : If E is MF_{e1} and E is MF_{Q1} Then Z is $R1$

<2>Rule2 : If E is MF_{e2} and E is MF_{Q2} Then Z is $R2$

<3>Rule3 : If E is MF_{e3} and E is MF_{Q3} Then Z is $R3$

(1) 計算出每條 Rule 的前導適合度：

$$W1 = \mu_{MF_{e1}}(E) \wedge \mu_{MF_{Q1}}(E)$$

$$W2 = \mu_{MF_{e2}}(E) \wedge \mu_{MF_{Q2}}(E)$$

$$W3 = \mu_{MF_{e3}}(E) \wedge \mu_{MF_{Q3}}(E)$$

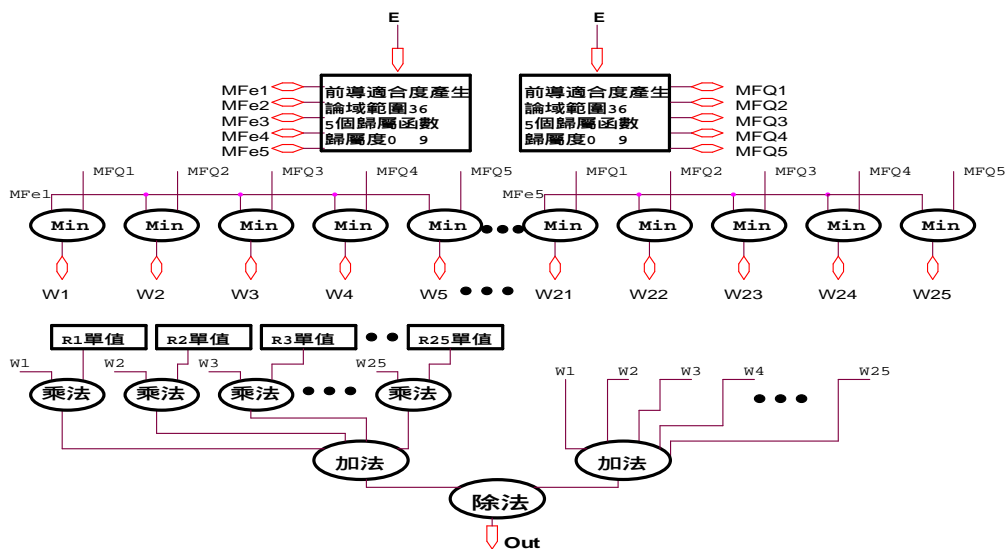
\wedge : 表示取小值符號 μ : 表示歸屬度

(2) 前導適合度產生後，後導適合度模糊單值， $R1$ 、 $R2$ 、 $R3$ 直接代入解模糊化推論函數：

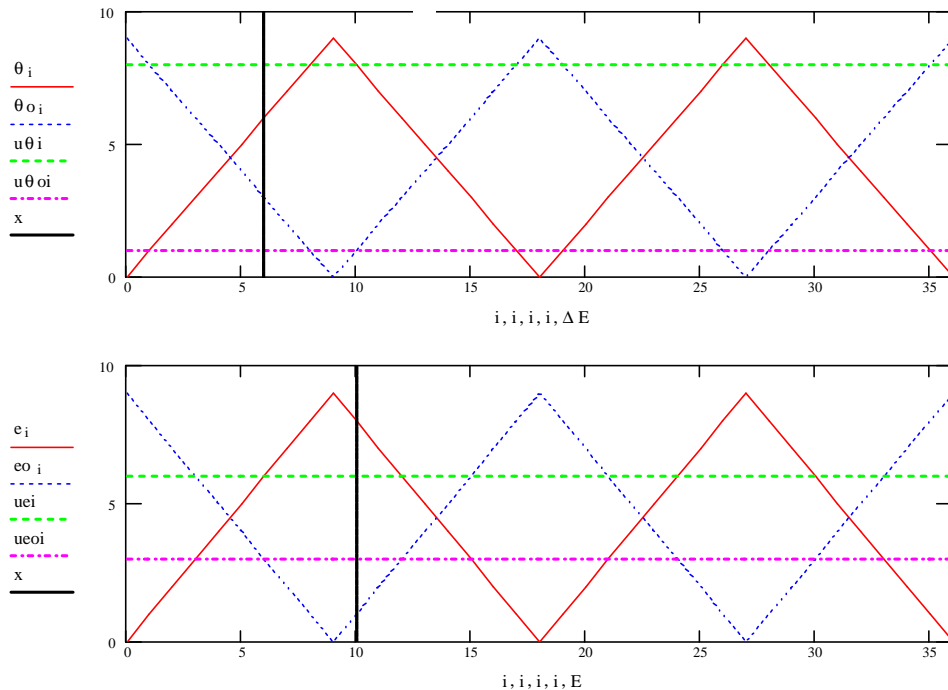
$$Out = \frac{W1 * R1 + W2 * R2 + W3 * R3}{W1 + W2 + W3}$$

依循以上所列，應用於以下 Fuzzy 範列規格時流程如【圖五】，使用 MathCAD 分析模擬推論結果如【圖六】：

- (1) 歸屬函數共有 5 個且為等腰三角型表示。
- (2) 二變數 E 與 E ，蘊含式共有 25 個單值。
- (3) 輸入與輸出的論域範圍設定為 36 個值。
- (4) 歸屬度由 0 9 分別表 0 1 狀態。



圖【五】 Fuzzy 推論流程圖



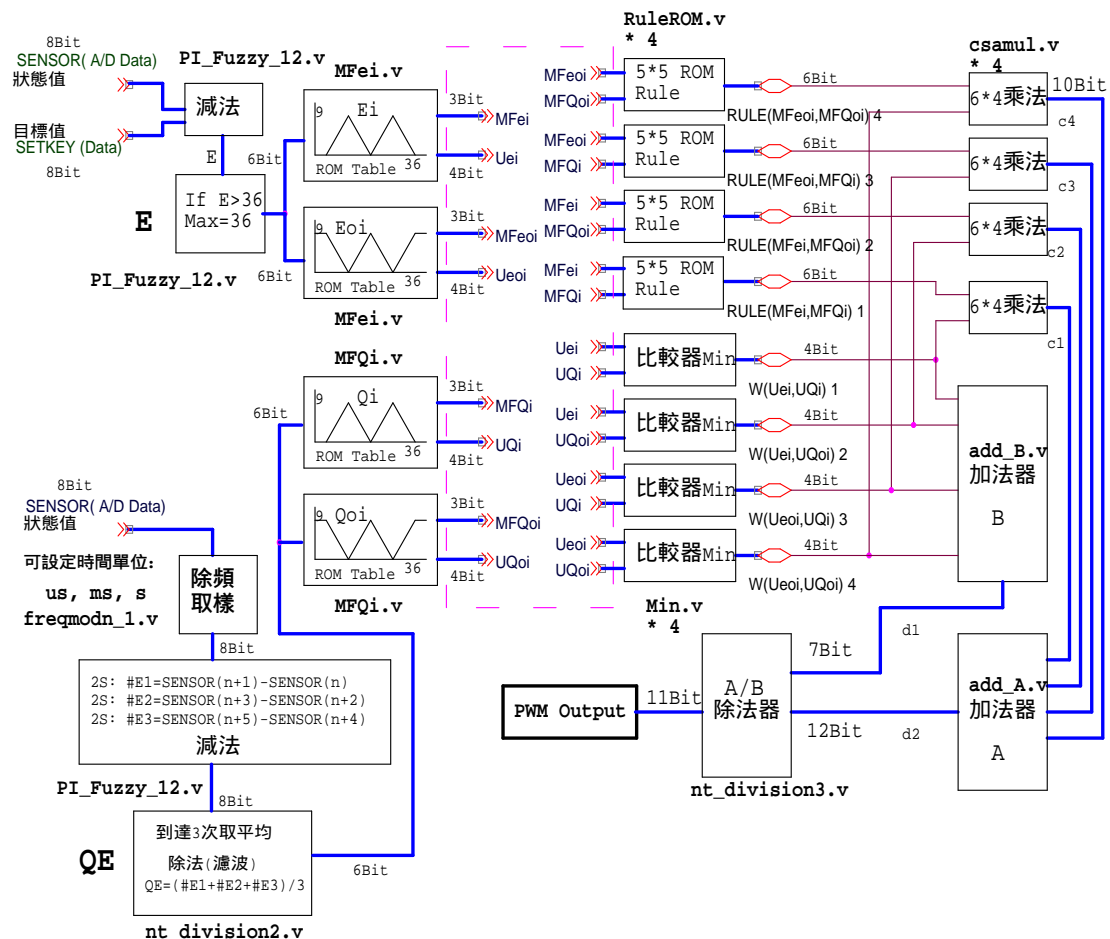
SensorTEM	= 142	SetkeyTEM	= 152	E	= 10	ΔE	= 6
PWM	= 4	MFei	= 2	uei	= 6	Wueiu	$\theta_i = 6$
		MFeoi	= 1	ueoi	= 3	Wueiu	$\theta_{oi} = 1$
		MF θ_i	= 2	$u\theta_i$	= 8	Wueoiu	$\theta_i = 3$
		MF θ_{oi}	= 3	$u\theta_{oi}$	= 1	Wueoiu	$\theta_{oi} = 1$
						Rule MF $\theta_i, MFei$	= 0
						Rule MF $\theta_{oi}, MFei$	= 0
						Rule MF $\theta_i, MFeoi$	= 9
						Rule MF $\theta_{oi}, MFeoi$	= 18

圖【六】、Fuzzy 模擬推論圖

三. 電路架構

Verilog 硬體電路設計語言提供一個用來描述電路狀態、行為模式、Gate 階次等工業標準化軟體格式，實現具有“可讀性(readability)”、“簡單化(simplicity)”、“可攜性(portability)”、“可重覆使用(reusability)”、“可調校性(reconfigurability)”之 RTL Code 設計。可讓使用者加快產品的設計週期，並使設計之電路容易維護與修改彈性，其混合了由下到上階層方法，使設計者可方便重覆使用已測試發展成功的模組，或由廠商提供的 IP 系統模組。此優勢將可減少重新發展的費用與時間，縮短產品上市的研發週期。本研究共有 19 個單獨模組，依各自所處理的電路特性不同，內含狀態機、行為模式、組合邏輯等含共同整合成 PI_fuzzy_12.V 主程式執行 Fuzzy-PID 推論。其子程式運作整合分佈方塊，請參閱【圖七】。MFQi.v 模組與 MFei.v 模組以 ROM 型

態儲存等腰三角形歸屬函數，並執行輸入量化模糊功能。RuleROM.v 模組儲存 Fuzzy 知識庫控制規則與比較器 Min.v 模組共同組合執行模糊推論界面，解模糊化界面執行由 csamul.v 乘法器、add_A.v 加法器、add_B.v 加法器、nt_division3.v 除法器模組共同組成以加權平均法策略執行解模糊化動作。“可調式取樣脈衝”的功能由 freqmodn_1.v 模組執行除頻取樣來實現，其單位時間可由外部 I/O 選擇設定使用微秒(us)、毫秒(ms)、秒(s)。為了增進 Fuzzy-PID 的穩定性，我們額外增加“數位平均值濾波”的電路，以三次誤差變化量的總合，取其平均值，並搭配“可調式取樣脈衝”的電路來執行模糊化，此界面由 PI_Fuzzy_12.v 模組中的除頻取樣模組與 nt_division2.v 除法器模組共同組成。此額外增加的界面能確保即使是在複雜的環境下，亦能使 Fuzzy-PID 在高速推論時避免誤動作，使外力干擾因素產生的不正確推論降低。

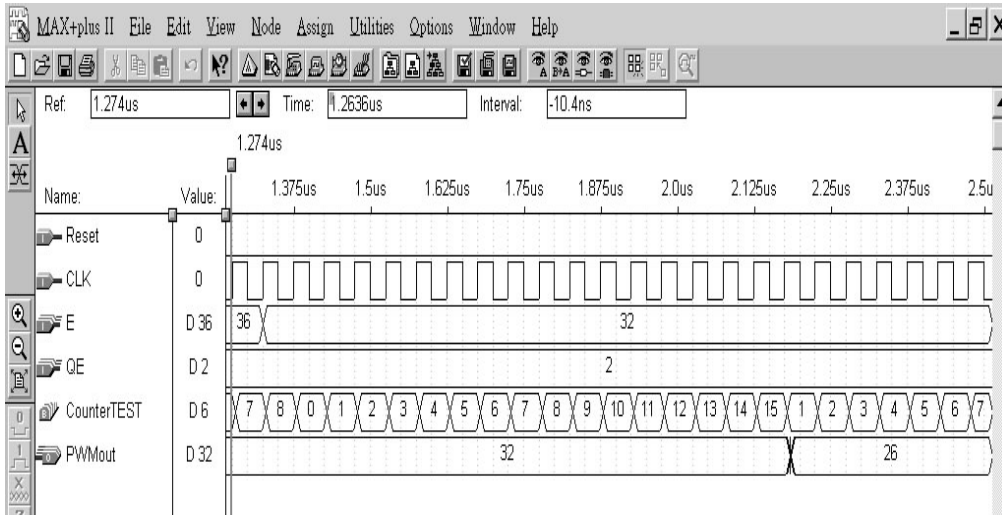


圖【七】、PID Fuzzy RTL 方塊圖

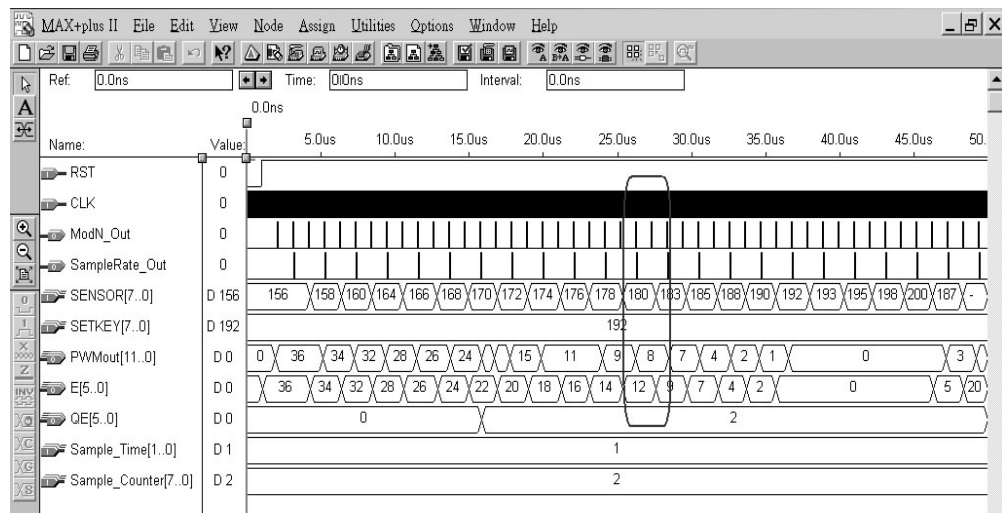
四.模擬結果

在本研究中使用 Altera FLEX EPF10K20 系列作系統雛型驗證，此類 Fuzzy-PID 晶片約佔 90% 資源開數，從【圖八】MAX+plus II 模擬分析顯示出當 clock 週期設定為 50nS，其輸入信號 E 從 36 改變為 32 時，其 Fuzzy 晶片推論輸出信號 $PWMout$ 從 32 轉換成 26 最新推論值共花費約 0.8uS 工作時間，符合所預期的推論速度規格。另模仿 PID 動作之 Fuzzy 控制狀態響應過程，從【圖九】模擬分析看出當目標值 $SETKEY$ (8bit) 設定成 192，而動態響應 $SENSOR$ (8bit) 從 156 起始隨著步階係數的變化產生取樣偵測 E (也就是圖形中的 QE) 誤差變化量， E 誤差值即為目標值 $SETKEY$ 減去 $SENSOR$ 值，其晶片內部除頻器可供外部接腳信號 $Sample_Time$ [1..0] 設定 3 種工作單位 us, ms, s, 接腳信號 $Sample_Counter$ [7..0]

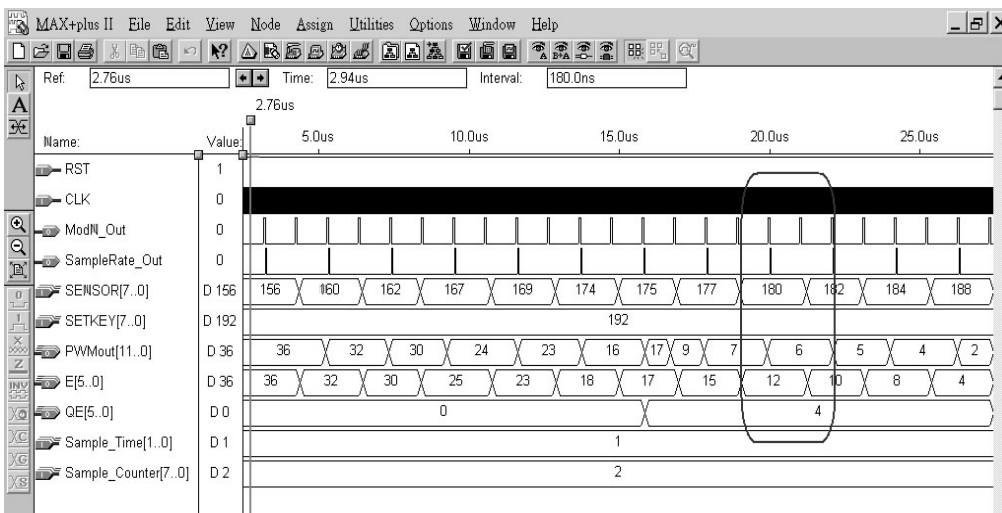
可供彈性設定計數值，因此【圖九】與【圖十】中 $SENSOR$ (8bit) 在值 180 區域模擬比較可得知，我們設定目標值 $SETKEY$ [7..0] 為 192，當 $SENSOR$ 到達 180 時隨著受控設備迴授產生的步階響應 E (也就是圖形中的 QE) 高低，推論輸出 $PWMout$ 跟著調整量化值。【圖九】顯示在 $Sample_Time$ [1..0] 設為 1 且 $Sample_Counter$ [7..0] 為 2 條件下，取樣偵測 E (QE) 誤差變化量結果等於 2， $PWMout$ 推論值即為 8，在【圖十】顯示相同 $Sample_Time$ [1..0] 與 $Sample_Counter$ [7..0] 條件下，取樣偵測 E (QE) 誤差變化量結果等於 4，表示 $SENSOR$ 【圖十】比【圖九】變化較快，因此 $PWMout$ 推論值降低為 6，以抑制受控設備過大超越量現象發生，但最終將趨近於目標值而推論輸出 $PWMout$ 等於零。



圖【八】 Fuzzy 推論 Clock Time



圖【九】 值 180 區域模擬比較



圖【十】 值 180 區域模擬比較

五.結論

傳統 PID 在定值控制領域應用相當廣泛，然而 K_p 比例常數、 K_i 積分常數、 K_d 微分常數的決定值，隨著受控設備所處環境的不同，需經過有經驗的工程師進行複雜的調校程序與測試，雖也有學者提出運用 Fuzzy 推論訓練 K_p 、 K_i 、 K_d 參數的自我調測適應，且已有 FPGA 實現 文獻【7】，但受控設備的控制量仍需 PID 數學模式，一旦受控設備所處的環境改變，則 Output 控制量需重新推論以取得新的 K_p 、 K_i 、 K_d 參數值，因此需佔用較多的硬體面積，而且系統運作速度降低。於是本研究我們採用 PID 的響應運作物理行為模式，轉換敘述成為 Fuzzy 知識庫，不需受控設備數學模式 文獻【8】，所以僅需要較少的硬體面積，而且系統運作速度也大大提昇。再結合我們所提出的“可調式取樣脈衝”與“數位平均值濾波”的技術，則更能增進此晶片的效能和穩定性。目前此晶片 Fuzzy 知識庫以 ROM 儲存 Rule 規範，未來若以 RAM 或是 FLASH ROM 配合運用增加其它人工智慧演算（如：遺傳基因演算法），使其自動追尋可調取樣時間與自我隨機適應環境彈性調整知識庫，則更能增加 Fuzzy-PID 晶片智慧性的快速響應與目標的準確度。藉由本文以 FPGA 來研究並實現 Fuzzy-PID 晶片的經驗，我們希望在不久的將來能用 SOC (System On a Chip) 的技術來完成高速定值響應之推論系統(如：CNC 光學定位、紅外線及雷射尋跡等)。

六.參考文獻

- [1]鍾元之、楊英魁“以數值分析法達成模糊推論硬體架構之改良”，台灣科技大學（碩士論文）1999
- [2]陳聖凱、李祖聖“以 FPGA 為基礎之模糊滑動模式控制器之 ASIC 設計”，成功大學（碩士論文）1999
- [3]許晨聲、李祖聖“以 FPGA 實現動態模糊

控制器 IC 之設計”，成功大學（碩士論文）1999

- [4]孫宗瀛、楊英魁“Fuzzy 控制：理論、實作與應用”，1994 全華出版社
- [5]雷景期、陳榮順“CPLD 控制晶片在自動倒車上之設計與實作”，清華大學（碩士論文）1999
- [6]蘇裕記、李祖聖“以 FPGA 晶片實現智慧型車庫停車控制系統”，成功大學（碩士論文）2000
- [7] Bao-Sheng Hu, Jing Li. “The Fuzzy PID Gain Conditioner: Algorithm, Architecture and FPGA Implementation” IEEE International conference on Industrial Technology, 1996
- [8] H. Ichihashi and T. Watanabe, “Learning control by fuzzy models using a simplified fuzzy reasoning” J. of Japan Society for Fuzzy Theory and Systems, pp. 429 – 437, 1990.