

低耗電技術於 CPU 設計的研究 Low-power Techniques for CPU Design

徐一平

新竹縣竹東鎮中興路四段 195-11 號
51 館工研院電通所 X200
ipshu@itri.org.tw

陳國華

新竹縣竹東鎮中興路四段 195-11 號
51 館工研院電通所 X200
ghchen@itri.org.tw

摘要

由於可攜式電子產品的風行以及晶片上可放入更多的電晶體，使得降低積體電路耗電量的重要性與日俱增。本篇文章針對低耗電積體電路設計上做多方面探討及研究，當中包括了計算機架構、邏輯合成、電源管理實體繞線、邏輯置換、匯流排分割以及佈局。

關鍵辭：低耗電、匯流排分割、電源管理

1 前言

1990 年代初期，VLSI 設計多以加快速度與減少晶片面積為主要目標。而近兩三年來，可攜帶式(portable)的電子產品，如行動電話、筆記型電腦和個人資料助理的廣泛流行。但是這類產品所需的電源多以電池來供應，電路之功率消耗能力直接影響了此電子產品在不充電的情況下能夠持續使用的時間。因此大部份可攜式電子產品均講究省電功能，並且設計有各型之電源管理裝置，以減少電能的消耗。加上環境保護日益受到重視，電源消耗將使得環境污染的情形更加惡化，嚴重地影響到人們生活環境的品質，所以減少電池使用量的最好方法就是減少用電量，也就是發展省電電路，或者稱為低功耗電路。

除此之外，高功率消耗亦是 IC 無法達到高效能操作的障礙之一。以目前的微處理晶片功率消耗動輒數瓦來看，光是散熱就是一個大問題。使得在設計時還需注意熱量在晶片的均勻分布問題，如果我們在密度非常高的晶片上所做的元件配置不恰當，將導致電路功能可靠度降低，嚴重時會出現局部過熱使電路失效。因此低功耗電路的發展，不僅為了節省電能，另一個目的是為了增加晶片上可放入的元件數，因為晶片可放入的元件數常

受到高功率消耗的限制。透過低功耗電路的設計，就能使 IC 在正常運算時不會常處於高溫甚至過熱的狀態下，因而簡化散熱的問題，廠商也不用為了替過燙晶片散熱付出更多的成本在晶片的封裝上，同時也使得線路的可靠度提高，增加了 IC 的壽命，並讓整個電子系統集中在同一晶片之中成為可能。這要比分成幾個較小規模的晶片在速度上要快的多，進而使得產品的競爭能力也自然大大的提昇。

2 電源功率消耗

CMOS 電路中電源功率消耗由兩個部份組成：靜態功率消耗(static power dissipation)與動態(dynamic)功率消耗。靜態功率是輸入沒有變化的情況下電路的功率消耗。因為 CMOS 電路在靜態時，不論處於何種邏輯狀態，均有一雜散電流 I_{sub} 和 $I_{reverse}$ 。 I_{sub} 稱為 subthreshold current，可以視為當電晶體在 V_{gs} 接近而略小於臨限電壓 V_t 時，通道中就會有少量的載子流動所形成的微弱電流； $I_{reverse}$ 為 source 以及 drain 和 substrate 所形成的 PN-junction 上的 reverse bias current。

動態功率則是電路有輸入輸出變化才有的功率消耗，當輸入改變時，原本截止電晶體會慢慢進入導通狀態，此一瞬間從電源到地之間的電阻變得非常小，因而產生導通電流，此電流稱為短路電流，雖然這段時間很短，但是電流量不小而且積少成多，短路電流所消耗的功率稱為短路功率(P_{sc} , short circuit power)。另一功率消耗來源是開關切換功率(P_s , switching power)，此一功率是因為輸入端的狀態變化造成輸出端轉態，對輸出負載電容充放電情時所造成的功率消耗。因此動態功率包含短路功率與切換功率($P_d = P_s + P_{sc}$)。

3 低功率設計方向

3.1 架構(architecture)層次

Pipeline 設計：利用管線式電路的設計，可以增加電路的生產量(throughput)。因此管線化中的每一級子電路可以較低的速度來工作(即降低電壓)，而運算量還是能夠滿足原先的設計。如此，把原本運算速度需較快部份的工作電壓降低，就可以減少該電路的功率消耗。

平行架構：平行架構的設計可使得 IC 的生產量以倍數增加，相對來說操作速度可以不必那麼快，供應電壓也不需要那麼高，在相同的規格要求下，它所消耗的功率將比原來少。不過在面積方面也會以倍數增加，這是必須斟酌的。

3.2 邏輯閘(gate)層次

一般低功率電路合成的策略是重新組織電路[1]，使得高容性負載的節點有較低的切換率。或者透過邏輯運算的重新化簡，可以減少運算單元的數目。以 $Y=AB+AC$ 為例，其可簡化成 $Y=A(B+C)$ 。

3.3 電路(circuit)層次

調降電壓：依據 IC 的動態消耗功率公式來看，功率消耗和供應電壓及操作頻率有關，其中功率消耗與供應電壓是成平方正比的關係，所以要降低功率，調降供應電壓將是最有效的方法。不過要注意的是可能減少晶片單位時間內所能完成的工作量。

Low swing bus：因為 bus 上的訊號讀取次數頻繁，若能縮小它的 swing 範圍區間，則可使功率消耗降低，但是會降低對雜訊的抵抗力。

3.4 實體(physical)層次

降低功率消耗的另一個方法是降低高切換率邏輯閘的負載，而在適當地安排邏輯閘位置下，能使繞線(routing)更有彈性，同時也要考慮有效繞線電容的減少，而非只是減少繞線面積來減少繞線電容。換句話說在繞線時就應該同時考慮到每條信號線由 0 切換 1 的機率，並儘量設法減少切換機率高之信號線的電容，這樣才可以減少有效的繞線切換電容量。因此進行細胞元置位(placement)與繞線時應將功率消耗的問題考慮進去。

電路中內部連線(interconnect)的延遲通常是最關鍵

的，降低這個延遲需要將線寬增加、或是加入驅動器(driver)，但是增加線寬會增加驅動器的電容負載，使得功率消耗增加。比較可行的方法是同時對線寬與驅動器作調整，及在時間延遲與功率消耗間做個取捨。

時脈電路在數位電路系統中是最常切換也是負載最重的部分，而它所需要的功率就佔了整個電路功率的大部分，因此降低時脈電路的負載可以很明顯地減少功率消耗，這包括時脈訊號線的安排、時脈驅動器的設計，當然這些改變要能符合原來時脈訊號的要求。

4 功率管理策略(Power Management strategies)

4.1 減少多餘的轉態

在積體電路運算的過程中，有些邏輯轉態在計算正確的輸出時是絕對必要，但也有些轉態是多餘的。換句話說，少了這些不必要的轉態，晶片仍可正確工作，並避免電路元件對其負載電容做不必要的充放電，減少有效切換電容所消耗的功率。這些多餘轉態有兩個主要來源：其一是由於不相等的傳遞延遲(propagation delay)所致，這種轉態稱為 glitch；另一是那些執行非真正需要工作的子電路所產生，以微處理機中 ALU 而言，當做除法運算時，一般乘法器是不需要動作，此時乘法器所做的運算就是多餘的，所以應該避免乘法器做運算以減少不必要的轉態。至於 glitch 所引發的轉態較不容易避免，因為要將兩個路徑(path)的傳遞延遲調整相同並不容易達成，而且減少 glitch 所節省的功率也相當有限。而為了減少多餘轉態，亦可採新的演算法[2]來減少電路做計算時所需要的運算，或者採用匯流排編碼的技巧，來減少系統匯流排上的邏輯轉態[17]；另外資料適當的配置使微處理機儘量到內部快取記憶體去取用資料也可減少系統匯流排上的邏輯轉態[4]。

4.2 動態功率管理(dynamic power management)

將暫時不須使用電路關閉的省電方式稱為動態功率管理，這個技巧已經廣泛地應用於筆記型電腦中，例如當使用者閒置一段時間便將螢幕電源關閉，或暫時停止硬碟機的轉動等，以減少功率消耗。在 CPU 設計上，亦可將不需工作的子電路關

閉，以避免作不必要運算而消耗功率。為了使 CPU 具有動態功率管理的能力，必須加入額外的電路來對系統上子電路進行功率管理，但是加入此管理電路勢必增加 CPU 面積，且管理電路本身也必須作運算才能完成功率管理的工作；而在系統的整體效能方面，重新起動(restart)暫時關閉的子電路也會使得電路的運作速度減慢而降低其整體效能，因此好的電能管理電路必須滿足底下幾個要求：首先晶片的運作必須允許子電路執行無效的工作時將其關閉，其次管理機制本身的耗電量比須少於其管理的子電路所省下的功率，最後功率管理機制不能使晶片的運算速度大幅降低，否則晶片的效能將受到影響。

為了讓功率管理的技術來達成省電的要求，在製定 CPU 系統規格時就應將功率管理列入考量，適度的將系統分割成大部分時間內彼此獨立作用的子系統，使得分割後大部分的時間內只有少數子系統需要動作，而其他子系統都處於閒置(idle)的狀態，如此可將這些閒置的子系統關閉以減少功率消耗。

4.3 閒置狀態

當子系統進入閒置狀態時，必須能被檢測出來並將這些子系統關掉，但是檢測電路本身可能相當耗電，特別是希望它能檢測所有的閒置狀態時。在一般設計中存有許多可能閒置狀態，這些閒置狀態的發生頻率並不一致；此外，有些閒置的電路本身所消耗的功率，比檢測他們閒置的電路來得小，把這些閒置電路關閉無法減少反而會增加晶片的耗電量；基於以上考量，設計檢測閒置的電路時，應該選擇較常閒置且能大幅省電的子電路，才能真正達到省電的效果。

閒置狀態可區分成外部閒置及內部閒置：外部閒置是指無法由外部觀察到電路計算結果的情況，內部閒置則是發生在電路的輸入改變但是輸出卻不會改變。以圖 4-1(a)為例，當 multiply 為 0 時，無論乘法器的輸出是否改變，該電路的主要輸出 product 恆為 0，無法看到乘法器的輸出，此時乘法器就處於外部閒置狀態。內部閒置如圖 4-1(b)所示，在 multiply 為 1 時，乘法器的輸出會直接反映到輸出 product，假設此時輸入(A,B)由(4,6)改變為(8,3)時，雖乘法器的輸入改變，它的輸出仍維持在

24，所以該電路輸出並不因乘法器的輸入改變而變化，此時乘法器就處於內部閒置狀態。

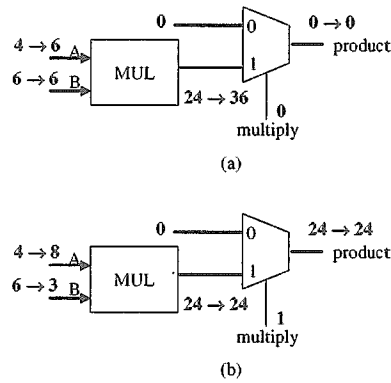


圖 4.1 內部閒置與外部閒置

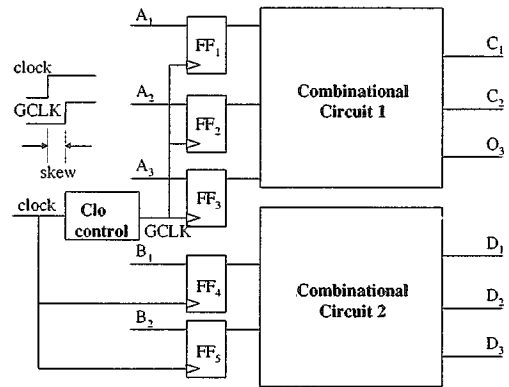


圖 4.2 Clock gating 電路

4.4 關掉電源供應(Power supply Shutdown)

當電路進入閒置狀態時，將該電路的電源切掉是最直覺且最省電的方法，因為此時電源就不再供應該電路任何電能，如圖 4-1(a)電路進入外部閒置的狀態時便可切掉乘法器的電源。雖然關掉電源的技術是最省電的方式，但應用上仍有許多限制。首先它不適用於發生內部閒置的電路，因為發生內部閒置電路的輸出仍會反映到系統的主要輸出，如果將該電路的電源切掉，其輸出不再維持原本的數值，使得系統的主要輸出錯誤。其次當發生閒置的電路內部有一些如 RAM 的揮發性記憶體時，也不能將該電路的電源關掉，以免儲存在這些記憶中的資料消失不見。此外對閒置電路的電源進行切換，系統的主要電源上會產生突波(spike)，突波所造成的雜訊可能會影響其他正運作的電路，而隔絕或消除這些突波雜訊，將會使得系統成本增加。最後閒置電路的電源

不可能在瞬間就馬上關閉，在電源完全關閉前該電路仍會消耗功率，如該電路閒置的時間不夠久，所節省的電能將相當有限。

4.5 停止時脈(Clock Gating)

大部分積體電路晶片都是採用同步(synchronous)方式設計，也就是電路中有一些正反器或是暫存器來存放數值，這些儲存元件的輸出會接到組合邏輯電路來進行數值的計算，其計算結果被用來作輸出或是繼續傳遞到其他暫存器中給其他電路使用。考慮圖 4-2 的數位邏輯電路，如果我們不將時脈輸入到 GCLK 的話，即使輸入信號 $A_1 \sim A_3$ 改變，但正反器並不對輸入進行門鎖(latch)，因此它們的輸出就不會改變，此時因組合電路輸入未改變，所以其內部及輸出沒有邏輯轉態發生。所以發現組合電路 1 進入閒置狀態時，即應停止將時脈輸入到 GCLK，讓組合電路不要消耗功率。

停止時脈以節省電能消耗的技巧可以應用在發生內部與外部閒置電路上，但也有許多限制。最大的問題是時脈歪斜(clock skew)，由於晶片上並非所有的子電路都加上控制 clock 的電源管理電路，造成加時脈控制和沒加時脈控制的子電路上時脈就有所差異，以圖 4-2 為例，因時脈控制電路延遲的關係，GCLK 會比 clock 晚些由 0 到 1，使 FF4 與 FF 對輸入進行門鎖的時間比 FF₁~FF₃ 晚，也就是上下兩部分的電路不會在同一時間動作，對於時脈同步要求嚴格的设计而言，晶片可能因此而出現錯誤。此外，加入時脈控制電路將導致晶片的測試更加困難，因為某些驗證工具無法處理 gated clock，使得採用 gated clock 的電路變得不可測，使得整顆晶片的錯誤涵蓋率(fault coverage) 降低而影響可測性(testability)。

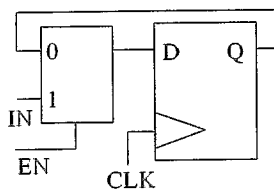


圖 4.3 致能正反器

4.6 致能正反器(Enabled Flip-flops)

考慮圖 4-3 所示的致能正反器，當 $EN=0$ 時正反器

的輸入 D 會保持在前一個週期的輸入，因此正反器的輸出維持不變；正反器的輸出只有 $EN=1$ 而且輸入 D 不等於 Q 時才改變。致能正反器的技巧就是以加了致能控制的正反器來取代一般的正反器，以圖 4-2 為例，可以將 FF₁~FF₃ 以致能正反器取代，當發現組合電路 1 不需執行計算時，將他們的 EN 設為 0 使 FF₁~FF₃ 的輸出維持在上一週期的值，不隨著新的輸入而改變，於是可使組合電路 1 不做不必要的邏輯轉態以節省功率消耗；當組合電路 1 必須重新計算新數值時，只要將 EN 設定為 1 即可。

致能正反器的優點是沒有時脈歪斜以及可測性的問題，此外也可用來停止內部閒置與外部閒置電路以避免功率消耗；但相對於 clock gating 而言致能正反器的省電效果較差，因為晶片上整個 clock tree 還是會隨著 clock 信號轉態而消耗電能，可是在 clock gating 中，閒置子電路的 clock 網路並不隨 clock 轉態，該部分的 clock network 就不會耗電，因此 clock gating 會比致能正反器來得省電。且致能正反器的另一缺點是較大額外面積(area overhead)，因為每個正反器都必須以致能正反器取代，所以額外增加面積會特別明顯。此外 EN 的負載會相當大也是致能正反器技術的困難點。

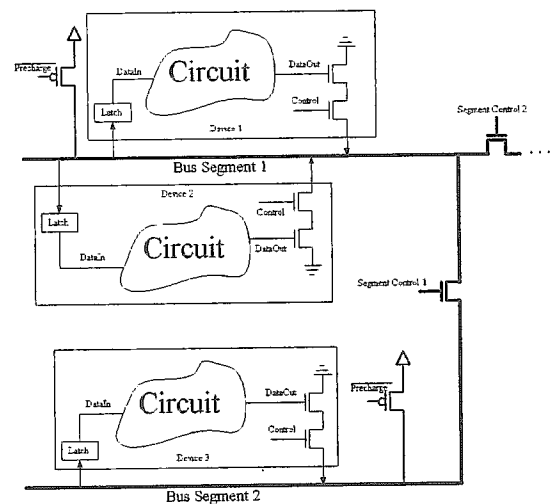


圖 5.1 分割式匯流排

5 低耗電技術應用

5.1 分割式匯流排設計(Segmented bus design)

匯流排的運作在晶片中佔了相當比例的功率消耗，為了能有效的降低此功率消耗，必須適度的改變匯

流排運作方式以減少匯流排的耗電量。分割式匯流排[12]就是用來解決這項問題。分割式匯流排它是將完整匯流排分割成若干區段(segments)，如圖 5-1 所示，每個區段匯流排使用分割控制器(MOS 或 pass transistor)隔開。於是當資料傳輸時，只要將相對應的分割控制器打開，讓資料流向真正需要資料的裝置(device)即可。故此情況下無須每次動用到整個匯流排，至於未使用到的匯流排部分因沒有充放電情形，而能節省電能的消耗。然而匯流排分割機制的擺放與區段數對電能的消耗也有影響，因此須根據裝置間的傳輸率做調整，傳輸率高的裝置應置於同區段或是鄰近的區段，使不會長時間使用較長的匯流排，而花費不必要的電能。此外，在 layout 階段，機制與分割控制器的擺設也需注意，因為佈局的好壞會直接影響匯流排區段的長度，進而也影響功率的消耗。例如，分割控制器就應盡可能置於傳輸率高的那端，使傳輸率高的區段匯流排有較小的電容。總而言之，為了讓資料傳遞時使用較小的匯流排，分割式匯流排以額外增加少量的電路來控制這些分割控制器的運作[7]，進而達到減少電能消耗的目的。

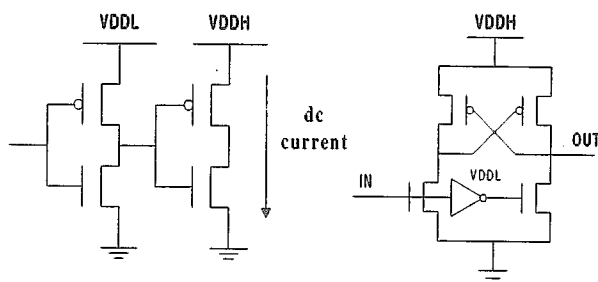


圖5.2 Direct Connection of VDDL Circuit and VDDH Circuit

圖5.3 Conventional Level Converter

5.2 巡迴式開門與電壓調降 (Iterative Gate Sizing and Voltage Scaling)

從公式中可知，降低功率消耗最有效的方法應是調降電壓，但直接降低電壓會使電路效能降低，因為電路延遲是與電壓成反比。因此如何有效的降低電壓，又不至於影響電路的效能是要仔細斟酌的。在降低電壓的方法中有雙電壓或多重電壓的設計方式，這裡只說明雙電壓的做法。雙電壓包含了原來未降低的電壓 V_{DDH} 以及調降後的電壓 V_{DDL} 。前者適用於電路中需快速運算的部分，後者適用於無需以高速執行的電路。但結合不

同電壓在同一電路中會有一些問題。首先，如圖 5-2 所示，低電壓邏輯閘的輸出連接到高電壓邏輯閘的輸入，當輸入訊號為高電位時將有一短路電流，自 pMOS 流向 nMOS 至地端，因而產生源源不絕的直流功率消耗。因此必須如圖 5.3 所示使用特定的裝置電位轉換器(level converter)來解決這個問題。電位轉換器可將輸入的 V_{DDL} 提升至 V_{DDH} 輸出，而避免短路電流的產生。其次，雖然電位轉換器可解決不同電壓間連接上的問題，但訊號轉態時所消耗的功率是非常大的。若電路中使用過多的電位轉換器，其所消耗的功率反而凌駕於使用低電壓所節省的功率。

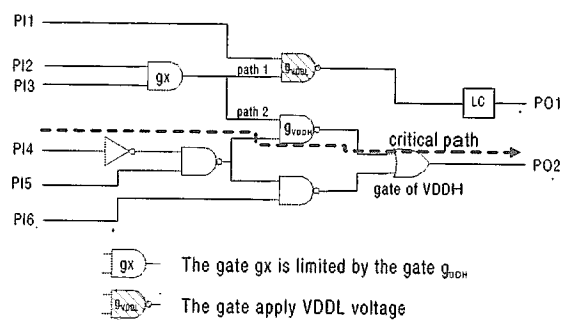


圖 5.4 Clustered-Voltage-Scaling (CVS) Structure

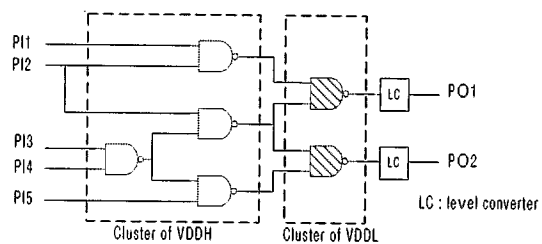


圖 5.5 The limitation of CVS

因此為了能在電路中減少使用的電位轉換器，必需如圖 5-4 所示將電路分成使用高電壓及低電壓的兩個集團[13]。因為高電壓開驅動低電壓開時並不會產生短路電流，所以電路內部不需加入電位轉換器，只要在電路的主要輸出前插入電位轉換器，這樣就可以減少電位轉換器的數量，並減少電能的消耗。

在實際電路中，大部分臨界路徑(critical path)僅佔電路的一小部份。根據此特性，可針對電路中非臨界路徑上的電路來調降電壓，使這些電路能以較低的速度工作而不違反時間上的限制。但是為了儘量不在電路中加入電位轉換器，我們必須遵守高電壓開推動低電壓開的架構，因此勢必要放棄一些可使用 V_{DDL} 的情況。如圖 5-5 所示，Gate g_x 的 slack time 雖允許使用 V_{DDL} ，但它的

其中的一個扇出(fanout)位於臨界路徑上(即使用高電壓開),這樣就無法使用低電壓開了。為了要克服問題,可利用反覆的邏輯閘面積調整[5](iterative gate sizing)使電路的速度能夠提昇,然後將多出的時間餘裕利用在電壓的調降,功率消耗自然就降低了。

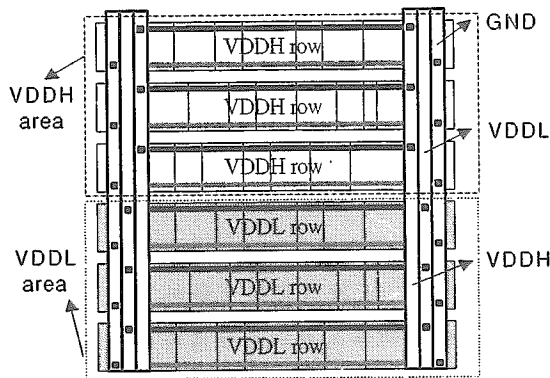


圖 5.6 Area by area 佈局

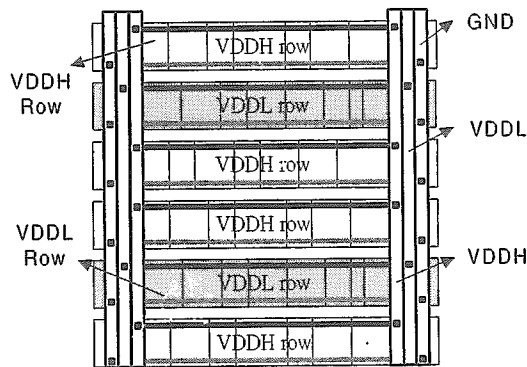


圖 5.7 Row by row 佈局

5.3 多電源下細胞元的佈局 (Layout For Cell-Based Design Using Multiple Supply Voltages)

為了能在同一邏輯層次電路上使用雙重電壓,佈局的搭配是不可或缺的。傳統單電源細胞元設計,每個細胞元中只有一條電源線和接地線。因此在傳統細胞元之區塊佈局中,可發現每個細胞列(cell row)中的電源線是貫穿整個細胞列,若同一細胞列中,同時使用高電壓細胞元(Hcells)和低電壓細胞元(Lcells),將會發生電源短路的問題。然而解決雙重電源在傳統細胞元佈局上產生的問題,最簡單的方法如圖 5-6 所示[14],這個佈局將電路使用較低電壓及原電壓的細胞元個別聚集起來,放到不同的區塊。每個區塊使用不同的電壓值,而在同一區塊中的細胞元使用傳統置放的方式。但

這種佈局樣式容易造成 Hcells 與 Lcells 之間的連線過長,導致訊號傳遞時間跟著變長,連帶使得整個電路效能可能變差;且 Hcells 與 Lcells 分開成不同區域,使繞線時的繞線密度變大,最後電路面積變得較大。

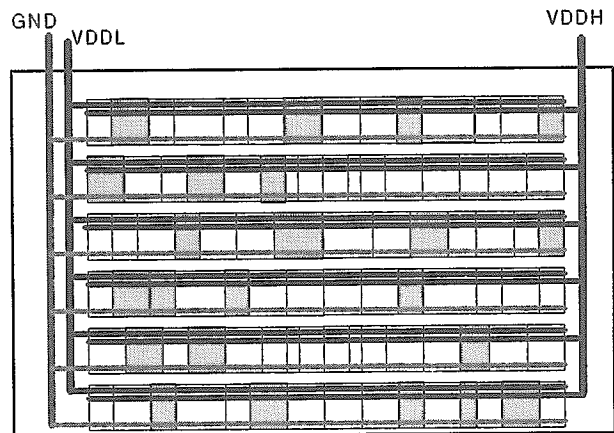


圖 5.8 區段佈局

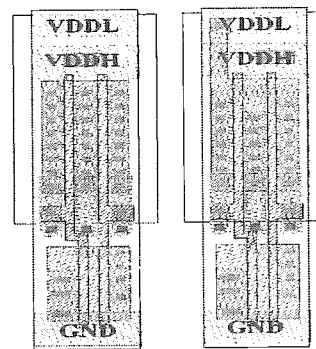


圖 5.9 Hcell、Lcell 佈局

此外我們也可將前一種佈局樣式中 Hcells 和 Lcells 列交錯放置[14],如圖 5-7。這種的佈局方式可縮減前一種佈局樣式中 Hcells 和 Lcell 的連線長度,使整體佈局得以改善。

不過先前的佈局中,每一細胞列只能有一種形式的電壓源。而圖 5-8 所示[6],這種佈局不需要單一電源橫貫整個細胞列,它允許兩種電壓在同一細胞列上。假如在同一細胞列中,同時有 V_{DDH} 和 V_{DDL} 兩種電壓,則它們只會各自使用細胞列的一邊,同時 Hcell 和 Lcells 兩者交界處插入 feedthrough 以隔絕兩種電壓源。這種的佈局樣式給了置放(placement)工具較大的發揮空間,因此較易產生好的佈局。

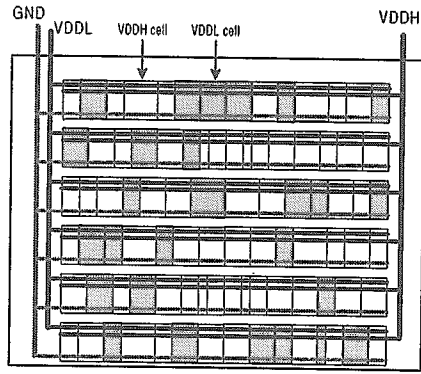


圖 5.10 雙電源細胞元佈局

然而使用傳統細胞元來設計雙電源電路時，在某些電路上會得到不理想的結果；若採雙電源線細胞元的設計[11]，則可以補強使用傳統單電源細胞元的缺失。傳統細胞元件庫的設計中，細胞元只有一條電源線和接地線；雙電源線細胞元的設計是有兩條的電源線和一條接地線，細胞元上的兩條電源線，分別提供 V_{DDH} 和 V_{DDL} 電源。在每一細胞元只使用到其中一條電源線，因此會有兩種同功能的細胞元，使用 V_{DDH} 的 Hcell 和使用 V_{DDL} 的 Lcell，如圖 5-9 所示。而用利用此雙電源線細胞元的佈局如圖 5-10。使用這種形式的細胞元元件庫，優點是可直接使用現有的 EDA 工具實現雙電源電路，缺點是面積較大，如圖 5-11。

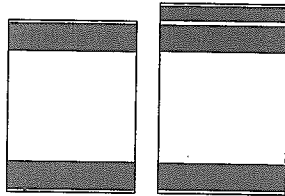


圖 5.11 單電源和雙電源細胞元的高度

5.4 省電加法器

圖 5-12 利用動態範圍偵測機制[18]在運算前偵測出資料之動態範圍，運算單元則針對有效動態範圍的位元數進行既定的運算，藉以得到一運算結果。由於運算單元僅對有效動態範圍的位元數進行運算，其餘位元數的對應電路便不會有切換功率消耗及進位動作，進而達到省電目的，並根據原動態範圍來還原最後之正確位元數表示式。

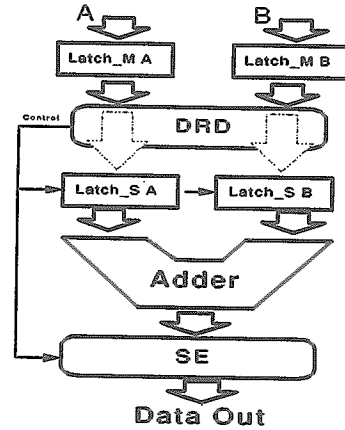


圖 5.12 data flow of an arithmetic operation.

6 結論

首先我們分析積體電路每個耗電的來源，它可以分成靜態功率消耗以及動態功率消耗兩個部分。之後我們對於低耗電設計的方向做概括性的介紹，其中包含了在架構層次、邏輯閘層次、電路層次以及實體層次上的省電設計技術，基本上在越高的層次(架構)所能節省的耗電量要比在越低的層次(實體)來得多，因此我們在決定晶片的架構時就應該將省電的要求考慮進去。接下來我們討論動態電源管理的省電設計技術，它的主要精神在將晶片中間置的電路找出來，然後再將閒置電路關掉以避免不必要的耗電，進而減少晶片的整體耗電量。閒置電路的檢測以及電源管理的電路必須設計得很有效率，以便能真正的省電並使得晶片的效能不會受到太大的影響。目前將閒置電路關閉比較有效的方式為停止時脈，雖然它有 clock skew 以及可測性的問題，但它的 overhead 是比較低的。

最後實例應用部份，均已證實減少低功率消耗上是有效的方法，且只需增加小量的電路面積，就有不錯的省電效果。

參考資料

- [1] *Power Compiler Reference Manual*, Synopsys Inc., Release 1998.02, 1998.
- [2] A. Chandrakasan, M. Potkonjak et al., "Optimizing power using transformations," *IEEE Transactions on Computer-Aided-Design of Integrated Circuits and Systems*, vol. 14, no. 1, pp. 12-31, Jan. 1995.

- [3] A. P. Chandrakasan and R. W. Brodersen, *Low Power Digital CMOS Design*, Boston: Kluwer Academic Publishers, 1995.
- [4] C. H. Gebotys, "Low energy memory and register allocation using network flow," *Proceedings of the Design Automation Conference*, pp. 440-444, June 1997.
- [5] Chingwei Yeh et al., "Reducing Power Consumption by Iterative Gate Sizing and Voltage Scaling," *8th VLSI/CAD Symp.*, Aug. 1997, pp. 283-286.
- [6] Chingwei Yeh, Yin-Shuin Kang, "A New Block Layout Style for Multiple Supply Voltages," *9th VLSI/CAD Symp.*, Aug. 1998, pp. 323-326.
- [7] I-Ping Hsu, *Implementation Techniques of Segmented Bus Design for Low-Power VLSI Chips*, Master thesis, CS Dept., Nat'l Chung-Cheng Univ., July 1998.
- [8] J. Monterio and S. Devadas, *Computer-Aided Design Techniques for Low Power Sequential Logic Circuits*, Kluwer Academic Publishers, 1997.
- [9] J. S. Wang and J. C. Wang, *Low-Power Cell-Based VLSI Design Using Cell Replacement Technique*, Master thesis, EE Dept., Nat'l Chung-Cheng Univ., July 1996.
- [10] J. S. Wang and S. J. Shieh, "A CMOS circuit technique with subthreshold-current control for low voltage low power vlsi design," *7th VLSI Design/CAD Symp.*, Aug 1996 pp.273-276.
- [11] J. S. Wang, S. J. Shieh, J. C. Wnag, and C. W. Yeh "Design of A Standard Cell Library for Low-Voltage/Low-Power VLSI Applications," *8th VLSI/CAD Symp.*, Aug. 1997, pp. 301-304.
- [12] J. Y. Chen, W. B. Jone, J. S. Wang, H. I. Lu, and T. F. Chen. "Segmented bus design for low-power systems," Accepted by IEEE Trans. on VLSI Systems.
- [13] K. Usami and M. Horowitz, "Clustered voltage scaling technique for low-power design," *Int. Symp. On Low Power Design*, 1995, pp. 3-8.
- [14] K. Usami, M. Igarashi, F. Minami, T. Ishikawa, M. Kanazawa, M. Ichida, and K. Nogami, "Automated Low-Power Technique Exploiting Multiple Supply Voltages Applied to a Media Processor," *IEEE JSS*, Vol. 33, No. 3, March 1998.
- [15] L. Benini and G. D. Micheli, *Dynamic Power Management*, Kluwer Academic Publishers, 1998.
- [16] M. Gladden and I. Das, *RTL Low Power Techniques for System-On-Chip Designs*, SUNG 1999.
- [17] Mircea R. Stan and Wayne P. Burleson, "Bus -invert coding for low-power I/O," *IEEE Transactions on VLSI Systems*, Vol.3, No. 1, pp. 619-26, June 1994.
- [18] Robin Sheen et al., "Power Consumption of a 2's Complement Adder Minimized by Effective Dynamic Data Ranges", 1999.
- [19] Z.Khan and G.Mehta, Automatic Clock Gating for Power Reduction, Intel Corporation, SUNG 1999.
- [20] 謝永瑞, VLSI 概論, 全華科技圖書股份有限公司, 十二月 民國八十六年.