

# 逢甲大學學生報告 ePaper

報告題名：

**緒式電晶體矽緒載子電荷分佈探討及可靠度研究**

Oxide-trap Charges and Fin Carriers Distribution of Fin-type FET  
(FinFET) and the Reliability Analysis

作者：陳芷右 劉雅娟 陳怡馨

系級：電子工程學系

學號： D9973194 D9973103 D9973057

開課老師：林成利 博士

課程名稱：專題研究

開課系所：電子工程學系

開課學年： 102 學年度 第 2 學期



## 中文摘要

本專題研究 FinFET 元件在不同鳍寬(10nm 與 25nm)之電特性研究，經由量測曲線圖:n-type FinFET 在  $W_{fin}=10nm$  與  $W_{fin}=25nm$  時的  $I_D-V_D$  圖、 $I_D-V_G$  圖、 $I_G-V_G$  圖及 n-type 的  $V_{TH} - W_{fin}$  圖、 $V_{TH} - L_g$  圖來分析元件的臨界電壓、次臨界斜率(subthreshold swing, SS)及汲極引發能障下降值(drain induced barrier lowering, DIBL)效應、元件導通電流等基本特性，並比較鳍寬 10nm 及 25nm 下 double gate n-type FinFET 的電性差異，測量結果顯示鳍寬 10nm 的 FinFET 其 DIBL 值與 SS 值都比鳍寬 25nm 的小，此結果可得知鳍較窄的元件對於短通道效應有較好的抵抗力。另外，我們在論文中探討元件雜訊對於元件的影響。半導體材料若不是在絕對零度的環境下，導體中的電子或電洞會受到溫度影響，產生隨機的擾動，在元件內發生的雜訊又分為四種:熱雜訊(thermal noise)、產生-復合雜訊(G-R noise)、閃爍雜訊 1/f (flicker noise)和散射雜訊(shot noise)，其中我們使用低頻雜訊(low-frequency noise)來分析氧化層陷阱電荷分佈及矽鳍載子電荷分佈，在 LFN 的分析上，透過實驗求出的數據  $\alpha$  可得知 Fin 越窄雜訊曲線斜率會越大，且缺陷分佈於深層氧化層內，同時影響 FinFET 元

(鳍式电晶体矽鳍载子电荷分佈探討及可靠度研究)

件的性能，透過這種方式來探討矽鳍载子分佈與元件的可靠度。

**關鍵字：** 鳍式場效電晶體(FinFET)、次臨界擺幅(SS)、汲極能障降低(DIBL)、低頻雜訊(LFN)、矽鳍载子分布、元件可靠度



## Abstract

Our study mainly focuses on the electrical characteristics of FinFET at different fin width (10nm and 25 nm). Through the measurable graph : figure  $I_D-V_D$ , figure  $I_D-V_G$ , figure  $I_G-V_G$  with n-type FinFET in  $W_{fin}=10nm$  and  $W_{fin}=25nm$  and the figure  $V_{TH} - W_{fin}$ , figure  $V_{TH} - L_g$  of n-type to analyze the threshold voltage, subthreshold swing (SS), and drain induced barrier lowering (DIBL) effect, on-current of device. In addition, to compare the different electrical properties between the fin's width is 10nm and 25nm in the n-type double gate. The results show that the value of DIBL and SS in fin width of 10nm are both smaller than that of 25nm. This result can find out that short-channel effect of the narrow fin width have better immunity. In addition, we discuss the property of the device based on the noise in our study. If Semiconductor material is not in an environment of absolute zero, the electrons and holes in the conductor will be affected by temperature to generate a random disturbance. Noise occurring in the device are divided into four categories: thermal noise, generation-recombination

noise, flicker noise  $1/f$  and shot noise. Where we use the low-frequency noise to analyze the distribution of the trap in oxide layer and the distribution of the charge in silicon fin. In the analysis of LFN, the exponent value of  $\alpha$  that obtain from the experiment can know that the fin width is more narrow, then the curve slope of noise more larger and the distribution of the defect are in the deep oxide layer, at the same time, it will affect the performance of FinFET. Though this way to investigate the distribution of charge in silicon fin and the reliability of device.

**Keyword : FinFET 、 subthreshold swing (SS) 、 drain induced barrier lowering(DIBL) 、 low-frequency noise 、 the distribution of charge in silicon fin 、 reliability**

## 致謝

能如期的完成這份專題報告，首先要感謝的是我們的指導教授林成利博士，很感謝老師對於我們的包容，在討論專題方面，對於我們觀念不太清楚無法充分表達時，老師仍然耐心的陪同我們一起釐清，解答我們的疑惑，也讓我們學習到正確的研究方式以及待人處事的道理；在我們對於專題感到灰心時，總是適時的為我們加油打氣！在將近兩年的相處裡，老師給予我們的總是關心與耐心指導，很感謝能成為老師的專題生，也希望能為實驗室付出一點心力。

其次，感謝陳旻志學長，總是在旁協助我們，使我們能順利完成專題，在實驗部分也總是給予我們適當的建議，對於我們的眾多問題也不吝於解答，細心的教導、指正我們。

最後，要感謝的是我們的家人，支持我們，給予我們最大的後盾，可以勇往直前的邁進我們的目標，也很感謝同組的夥伴們，雖然過程中，有許多的挫折，但我們一起挺過，互相加油打氣，使我們在大學作實驗可以留下難忘的回憶，也由衷地感謝曾經幫助過我們的所有人。

## 目錄

<b>第一章 元件結構與基本電性</b> .....	<b>1</b>
1-1 FinFET 簡介 .....	1
1-1.1 FinFET 基本結構 .....	3
1-1.2 Bulk FinFET .....	4
1-1.3 SOI FinFET (silicon-on-insulator FinFET) .....	5
1-1.4 矽奈米線電晶體 (silicon nanowire transistors) .....	6
1-2 基本電性 .....	7
1-2.1 短通道效應 (short channel effect) .....	7
1-2.2 汲極引致能障下降效應(Drain induced barrier lowering) .....	8
1-2.3 次臨界擺幅 (Subthreshold Swing) .....	9
1-2.4 依時性介電層崩潰(Time-Dependent Dielectric Breakdown) .....	10
1-2.5 負偏壓溫度不穩定(Negative-Bias Temperature) .....	11
<b>第二章 元件雜訊</b> .....	<b>12</b>
2-1 雜訊簡介 .....	12
2-2 低頻雜訊 (Low-Frequency Noise) .....	13
2-3 隨機電報信號雜訊 (Random Telegraph Noise) .....	14
2-3.1 RTN 分析 .....	16
1.傳統的分析方式 .....	16
2.非傳統的分析方式 .....	17
<b>第三章 實驗結果與討論</b> .....	<b>21</b>
3-1 實驗元件製程 .....	21
3-1.1 量測機台 .....	22
3-2 N-type FinFET $I_D$ - $V_D$ 圖 .....	23
3-3 N-type FinFET $I_D$ - $V_G$ 圖 .....	24
3-4 N-type FinFET $I_G$ - $V_G$ 圖 .....	25
3-5 鳍寬(Fin Width)和臨界電壓( $V_{TH}$ )的關係圖 .....	26
3-6 通道長度( $L_g$ )和臨界電壓( $V_{TH}$ )的關係圖 .....	27
3-7 $S_{Id}/I_d^2$ 與頻率關係圖 .....	28
<b>第四章 總結</b> .....	<b>30</b>
4-1 結論 .....	30

# 第一章 元件結構與基本電性

## 1-1 FinFET 簡介

Fin Field-effect-transistor 鳍式场效电晶体是一种三维的鳍状金氧半场效电晶体(MOSFET)结构，此结构是由美籍华裔微电子学家胡正明博士所发明，再由 Intel 电脑公司研发出 tri-gate 电晶体的处理器。

一直以來，电晶体的发展趋势皆遵循著摩尔定律(Morre's Law)

圖 1，在傳統的製程技術下，半導體技術不斷成長，進入了「奈米元件時代」。但當元件的尺寸發展至次微米級時，非理想效應問題隨之而來，例如：汲極電場對通道的影響會使閘極的控制能力降低、汲極引致能障下降效應(Drain induced barrier lowering, DIBL)、次臨界擺幅(Subthreshold Swing, SS)...等問題，使得元件尺寸的微縮遇到了瓶頸，進而影響晶圓單位面積的轉換效率。

為了解決因元件尺寸縮小所遇到的問題，除了研發更新的製程技術外，也陸續發展出許多不同結構的电晶体，如雙閘極(double gate) MOSFET、多閘極(tri-gate) MOSFET、完全環繞式閘極(gate all around) MOSFET、TFET，還有本篇的研究重點 FinFET 等結構，除了改變元件之結構，還可以利用高介電係數(high-k)材料來當閘極氧化層，藉此降低閘極漏電流。



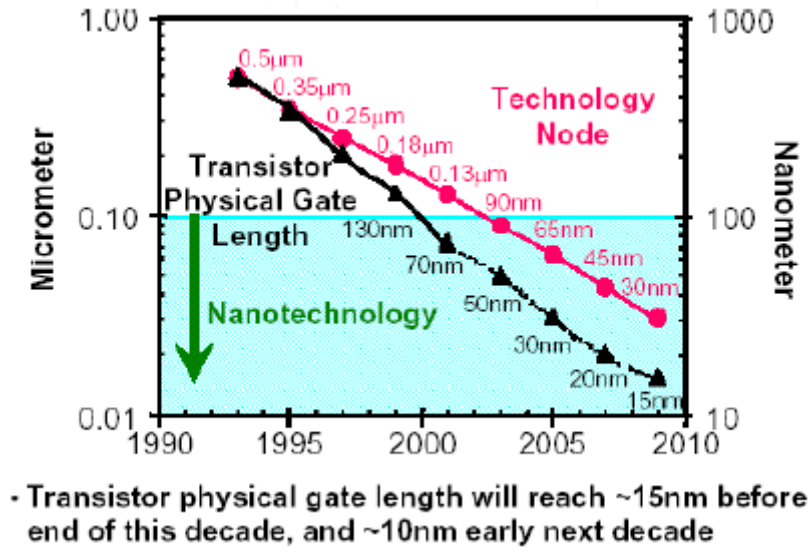


圖 1 英特爾(Intel)公司將元件尺寸的發展與時間做出的趨勢圖，紅線為元件尺寸大小，黑線為元件內閘極寬之大小。[1]

### 1-1.1 FinFET 基本結構

鳍式场效应电晶体的结构，顾名思义就是有类似鳍形状的结构，有别于传统的平面电晶体结构(图 2)，具有 3D 架构的鳍状(图 3)，较 2D 架构多出两侧可控制电路开和关的侧壁，因此，相较之下更容易控制闸极漏电流。

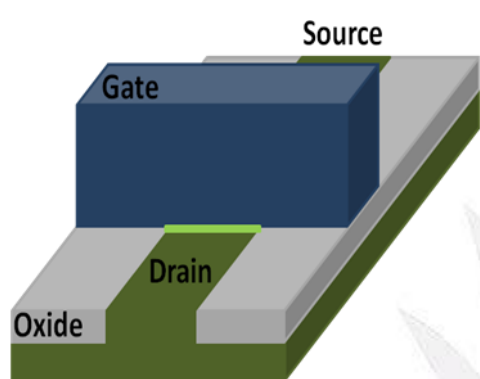


圖 2 MosFET 2D

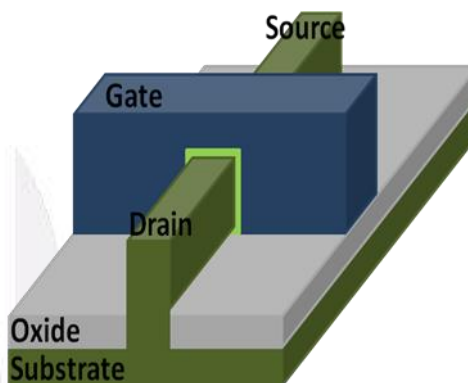


圖 3 FinFET 基本結構

## 1-1.2 Bulk FinFET

在傳統的製程中已有Bulk CMOS結構，當元件從二維變成三維時，將原本Bulk CMOS結構的製程套用在FinFET結構上，如圖4、圖5所示，基板和矽鳍是連接在一起的，和SOI FinFET相較之下Bulk FinFET有缺陷密度低、對 negative bias-temperature (NBT) stress 有較好的特性，花費較低等優點[2]。

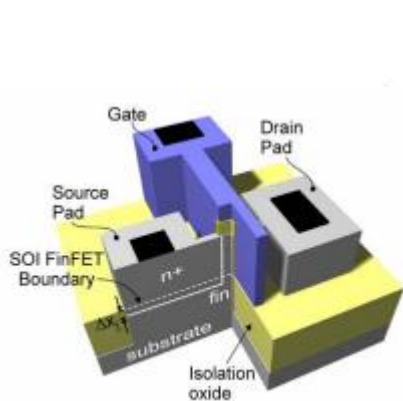


圖 4 Bulk FinFET 結構[2]

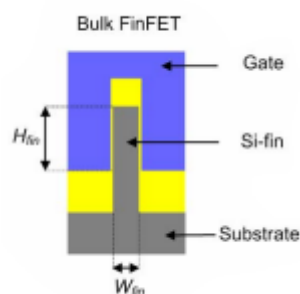


圖 5 Bulk FinFET 結構切面圖[2]

### 1-1.3 SOI FinFET (silicon-on-insulator FinFET)

FinFET 製作於 SOI 基板上，所以又多了一層氧化層，而元件與元件之間的間距因為少了 well 又更縮短了一些！SOI 與傳統的 Bulk 相比，消耗的功率低，低電壓，絕緣度較佳，轉換電導更好，可靠度較高，抑制短通道效應，減少接面的寄生電容，更因為元件縮小，在製作品圓所占的面積也大幅縮小！

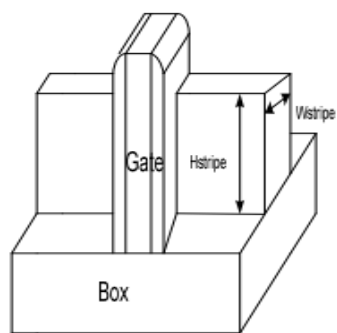


圖 6 double-gate SOI FinFET 結構[3]

### 1-1.4 矽奈米線電晶體 (silicon nanowire transistors)

在相關領域中，已經有提出各種不同結構的多晶矽奈米線薄膜電晶體(圖 7)，藉由通道以奈米線方式呈現，再搭配不同的閘極結構所形成。其中較為討論的是環繞式閘極結構，因為其包覆的面積最大和擁有理想的閘極控制能力，所以有較佳的通道控制能力。矽奈米線電晶體(SNWT)因為其抵抗短通道效應的能力和改善傳輸特性，在未來的 CMOS 上已經引起矚目，但其缺點是基底晶圓的成本較高。[4]

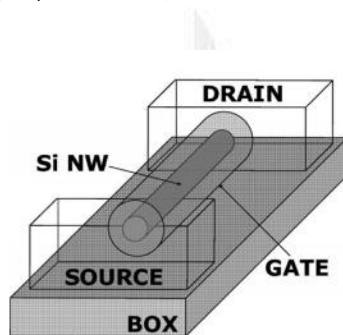


圖 7 具有細線狀的矽通道（奈米線通道）會降低漏電流，尤其是在側壁下方區域的奈米線形狀的 source/drain 裡的寄生電阻，可以抑制漏電流並實現更進一步的短通道操作。[5]

## 1-2 基本電性

### 1-2.1 短通道效應 (short channel effect)

當通道長度縮短、汲極電壓增加時，汲極的空間電荷區會延伸到通道中(圖 8)，造成閘極可控制的電荷比例減少，進而使得臨界電壓下降，而三維的 FinFET 結構閘極比傳統二維結構多了兩側可控制通道電荷，所以 FinFET 結構能改善閘極對通道電荷的控制能力。臨界電壓隨著通道長度變短和變小稱為短通道效應 short channel effect，而在 NMOS 中，臨界電壓隨著通道長度變短而變大的現象則稱為反短通道效應 reverse short channel effect

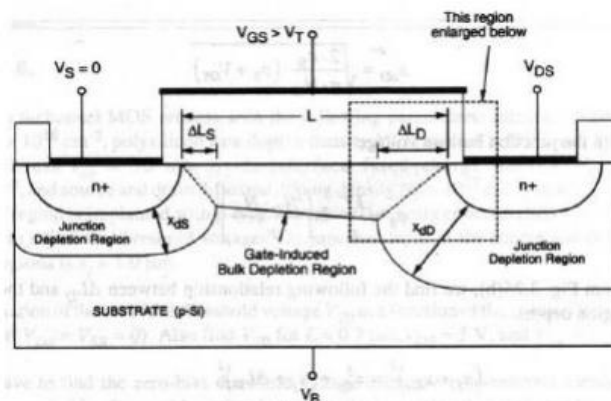


圖 8 汲極空間電荷區延伸到通道中[6]

## 1-2.2 汲極引致能障下降效應 (Drain induced barrier lowering)

最初的長通道元件，閘極下方的空乏區電荷會沿著源極到汲極呈現常數值的狀態分佈，當汲極電壓增加時，並不會影響到能帶的分佈狀態。不過，當元件尺寸縮小的時候，因為其短通道效應會更加明顯，所以當汲極電壓增加時會造成靠近汲極端的載子能帶下降，從而源極端注入到通道的電子數量增加，使得靠近汲極處之表面電位增加，造成元件的臨界電壓降低，並且影響元件之直流特性曲線，這個效應稱作 DIBL (圖 9)。DIBL 愈大，代表其臨界電壓下滑愈嚴重，主要會使場效電晶體的臨界電壓下降，影響到元件的整個性能。

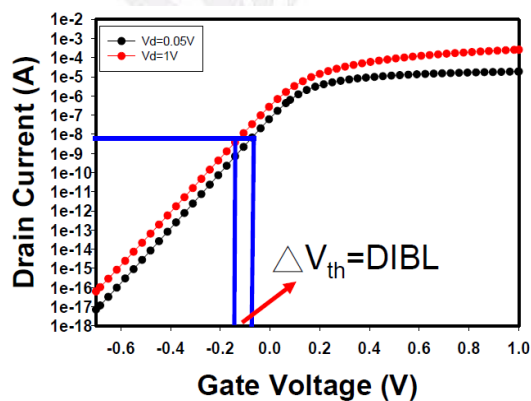


圖 9  $I_D$ - $V_G$  圖， $DIBL = V_{t(lin)} - V_{t(sat)}$  [7]

### 1-2.3 次臨界擺幅 (Subthreshold Swing)

當閘極與源極的電壓小於或等於臨界電壓時，預想的理想汲極電流是為零，但實驗中，電流並不會真的為零，而是量測到些許的電流，稱為次臨界電流，其 I-V 曲線斜率的倒數即為次臨界擺幅 SS：

$$SS = \left( \frac{d \log I_D}{dV_G} \right)^{-1}$$

若偏壓一個 MOSFET 至臨界電壓，而 MOSFET 汲極的電流不為零，那在一個有許多 MOSFET 的電路上，次臨界電流可能會造成很多但無用的功率消耗，次臨界擺幅斜率越大代表元件在截止區電流能迅速下降，元件開關速度較快，因此斜率越大越好→SS 值越小越好，須將次臨界的電流的因素考慮進來，才不會造成無用的功率消耗！[7]



## 1-2.4 依時性介電層崩潰

### (Time-Dependent Dielectric Breakdown)

當元件測試的時間越來越長，閘極氧化層中的缺陷累積的越來越多，累積到某一程度後，通道和閘極之間的介電層形成漏電流的導通路徑，造成介電層崩潰。其量測方法有四種:1. Constant Voltage Stress: 提供一個定電壓，量測電流出現巨量變化時的時間點(圖 10) 2. Constant Current Stress: 提供一個定電流，量測電壓出現巨量變化時的時間點 3. Ramp Voltage Stress: 提供一個隨著時間變化的電壓，量測電流出現巨量變化時的時間點 4. Ramp Current Stress: 提供一個隨著時間變化的電流，量測電壓出現巨量變化時的時間點。藉由以上這四種量測方式所得到的崩潰時間，可以得知元件的耐久度，並以此做為其可靠度的依據。[8]

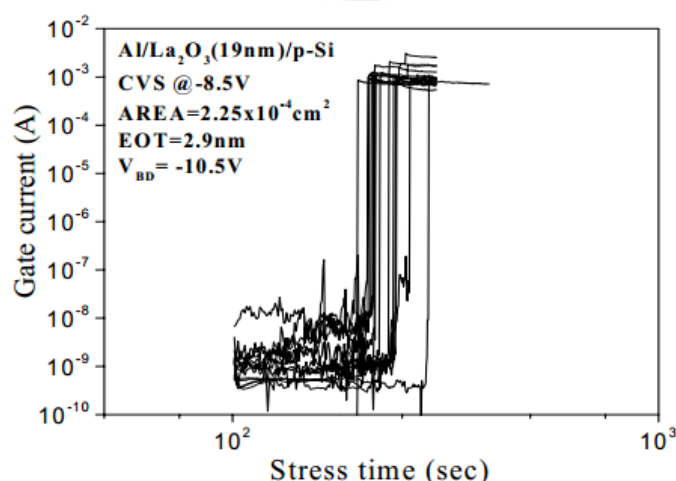


圖 10 Constant Voltage Stress 的量測方法，V=-8.5，此元件大概在  $2 \times 10^2$ sec 時崩潰

## 1-2.5 負偏壓溫度不穩定(Negative-Bias Temperature)

在傳統 p-channel 薄膜電晶體中，多半是利用施加負偏壓，讓電洞累積形成通道。但這些被反轉的電洞卻因為受到垂直方向的電場影響，進而利用穿隧效應(fowler-nordheim tunneling)進入氧化層當中，而這些被氧化層或氧化層與半導體界面的 traps 捕捉的電洞，影響臨界電壓的不穩定，稱為負偏壓溫度不穩定。由於 NBTI 所造成元件退化的程度會隨著元件尺寸不斷縮小而增加，因此元件的生命周期是由 NBTI 來決定的。[9]



## 第二章 元件雜訊

### 2-1 雜訊簡介

在不同的元件中，低頻雜訊與高頻雜訊皆扮演著重要的角色，半導體材料如果不是在絕對零度的環境下，導體中的電子或電洞會受到溫度而激發，產生隨機的擾動，在元件內發生的雜訊大概分為三種：熱雜訊(thermal noise)、閃爍雜訊  $1/f$  (flicker noise)和散射雜訊(shot noise)。熱雜訊在電阻性的材料中，會因熱擾動而造成元件內產生隨機的速度擾動，像布朗運動(Brownian motion)的機制則是熱雜訊的來源。 $1/f$  或被稱為閃爍雜訊是在低頻下所特有的，主要是因為接面不同所造成不規則的跳動。射雜訊則是出現在二極體電流內的脈衝起伏，簡單的射雜訊就是指由隨機射出，在傳輸過程中，沒有相互作用力的孤立載子所形成的電流脈衝起伏。[10]

## 2-2 低頻雜訊 (Low-Frequency Noise)

最廣為討論的雜訊源為閃爍雜訊(flicker noise)，因為其常量測出如圖 11 中  $1/f$  的曲線所以又稱 flicker noise 為  $1/f$  noise，而低頻雜訊產生雜訊源的可能原因為氧化層或晶格中的缺陷捕捉(capture)或釋放(emission)通道載子所形成的擾動，通常與材料缺陷或通道界面懸浮鍵結有關。由於氧化層中的 trap 對通道載子捕捉及釋放的動作造成訊號的干擾，以及載子被缺陷或通道界面的懸浮鍵結捕獲後，對於通道中的載子引發庫倫散射效應，造成通道界面載子數目發生遷移擾動，其兩種發生之現象皆會造成 drain 端電流的擾動且電阻會有忽高忽低的變化，因此，對於氧化層之品質與可靠性探討， $1/f$  noise 為一重要的指標。

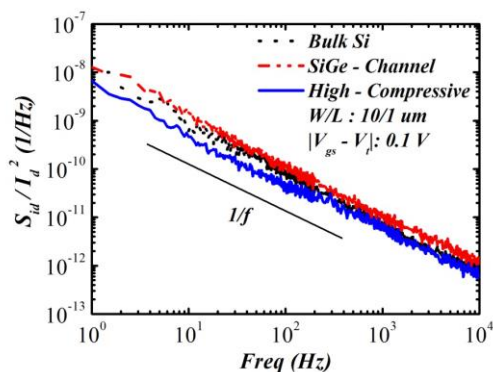


圖 11 在不同結構下量測到的  $S_{Id}/I_d^2$  與頻率的關係圖[12]

## 2-3 隨機電報信號雜訊 (Random Telegraph Noise)

閘極氧化層裡的缺陷 trap 會對通道載子進行 capture(捕獲)或 emission(釋放)的動作，影響通道阻力，造成  $I_D$  產生像圖 12 的變化，而此變化並不是我們想要量測的，所以稱其為雜訊。其中有幾個在 RTN 的研究中重要的參數：“ $\tau_c$ ”為 trap 捕捉到載子的時間長度(載子停留在 trap 的時間)、“ $\tau_e$ ”為 trap 釋放載子的時間長度(trap 空著的時間)、“ $\Delta I_D$ ”為 RTN 的振幅，可以利用這些參數來計算出 trap 的位置，傳統的分析方式為式子(1)~(3)，非傳統的分析方式則為式子(4)~(6)，而在不同結構的 FinFET 需要用不同的模型來計算。閘極氧化層的 trap 造成 Drain 電流擾動可能有兩種因素，一是當 trap 捕捉到通道載子時此載子與其他通道載子彼此間的庫侖力影響到通道阻值，二是當載子被捕捉後通道載子數量變少造成電流數值變小，而當載子被釋放時通道載子變多造成電流數值變大，如圖 13 中所示， $\tau_e$  的電流值比  $\tau_c$  的電流值大。

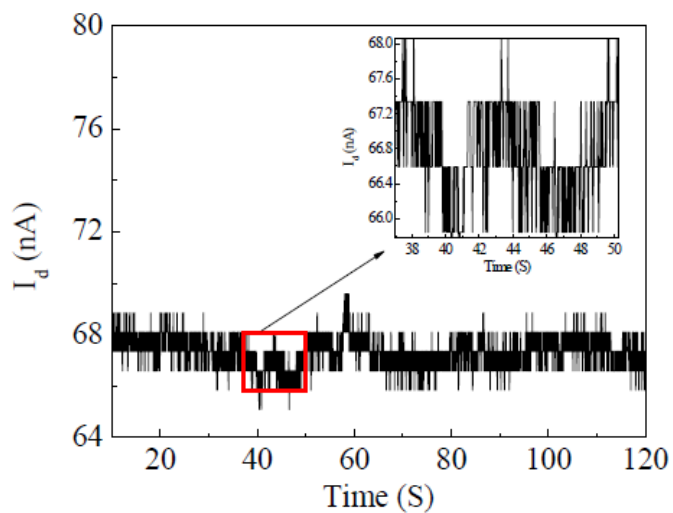


圖 12 Nanowire FinFET 的多層次 RTN[13]

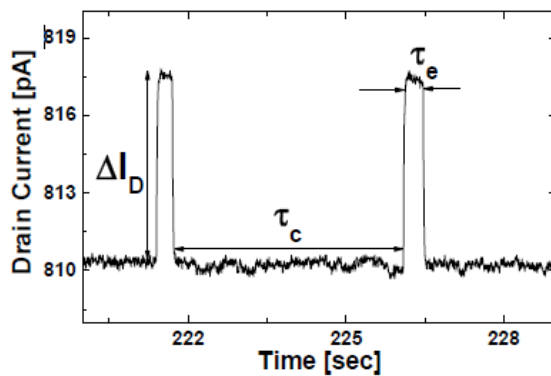


圖 13  $\tau_c$ 、 $\tau_p$ 、 $\Delta I_D$  的定義[14]

## 2-3.1 RTN 分析

透過觀察溫度和時間參數的相關性及 RTN 的振幅來獲得 trap 的相關資訊，大概分為傳統與非傳統之分析方式。

### 1. 傳統的分析方式

透過測量出的陷阱圖，經由所量測出的參數  $\tau_c$ 、 $\tau_e$  代入導出的式子 (1)~(3)，進而求出陷阱所在的相對位置。用圖 14 來解釋，以 source 端的右上角與氧化層的接點處為原點，source 往 drain 的方向為  $x_T$ ，通道往 gate 的方向為  $y_T$ ，將參數套入式子後即可知道圖中兩個 trap 分別位於 (157, 1.69) 與 (120, 0.42) 處，而他們的能量分別為 3.19eV 與 3.35eV。

$$x_T = \frac{T_{ox} \left[ \frac{k_B T}{q} \frac{d \ln(\frac{\tau_c}{\tau_e})}{d V_{gs}} + \frac{d \psi_s}{d V_{gs}} \right]}{\left( \frac{d \psi_p}{d V_{gs}} + \frac{d \psi_s}{d V_{gs}} - 1 \right)} \quad (1)$$

$$y_T = \frac{\frac{k_B T}{q} T_{ox} \ln \left[ \frac{(\tau_c / \tau_e)_f}{(\tau_c / \tau_e)_r} \right] + V_{dsr}}{\frac{V_{dsr} + V_{dsf}}{L_{eff}}} \quad (2)$$

$$\begin{aligned} (E_{Cox} - E_T) &= q\phi_0 - q\psi_s + (E_C - E_{FB} + q \frac{y_T}{L} V_{DS}) \\ -q \frac{x_T}{T_{ox}} (V_{gs} - V_{FB} - \psi_p - \psi_s) - k_B T \ln \frac{\tau_c}{\tau_e} & \end{aligned} \quad (3)$$

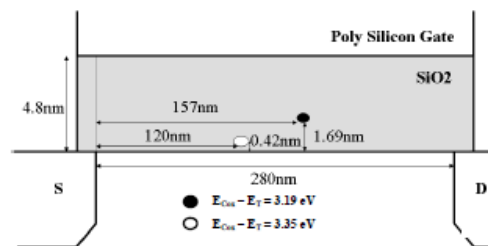


圖 14 平面 MOSFET 之 trap 的能量與位置圖[14]

## 2.非傳統的分析方式-

依不同結構有不同的分析公式

### (1) Silicon Nanowire Transistor

以矽奈米線(silicon nanowire transistor)來說，圖 15 顯示的是沒有受到雜訊影響的正常電流，一個獨立的缺陷是否為中性或是帶電性，可經由電流的擾動行為來觀察與判斷，在圖 16 中，可看出是四個層次的雜訊，所以可以得知有兩個獨立的 trap，除此之外還可以看到元件 A 與元件 B 所量測到的雜訊頻率不一樣，元件 B 的雜訊頻率較大稱其 trap 為 fast trap，而元件 A 的 trap 則為 slow trap。透過以下(4)~(6)推導出來的公式，可以求出 trap 之 x 與 y 的位置，source 到 drain 的方向為  $y_T$  而通道往 gate 的方向為  $x_T$ 。圖 17 為計算出的結果位置圖，顯示 fast trap 比 slow trap 更靠近 gate 附近。

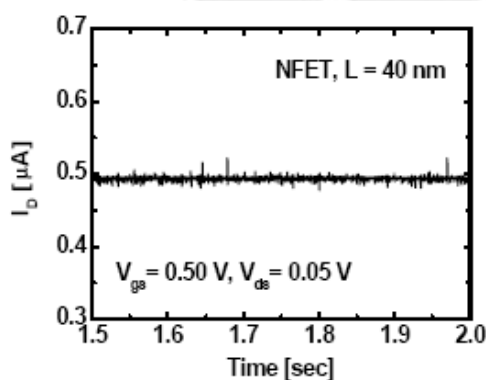


圖 15 沒有受到雜訊影響的正常電流[15]



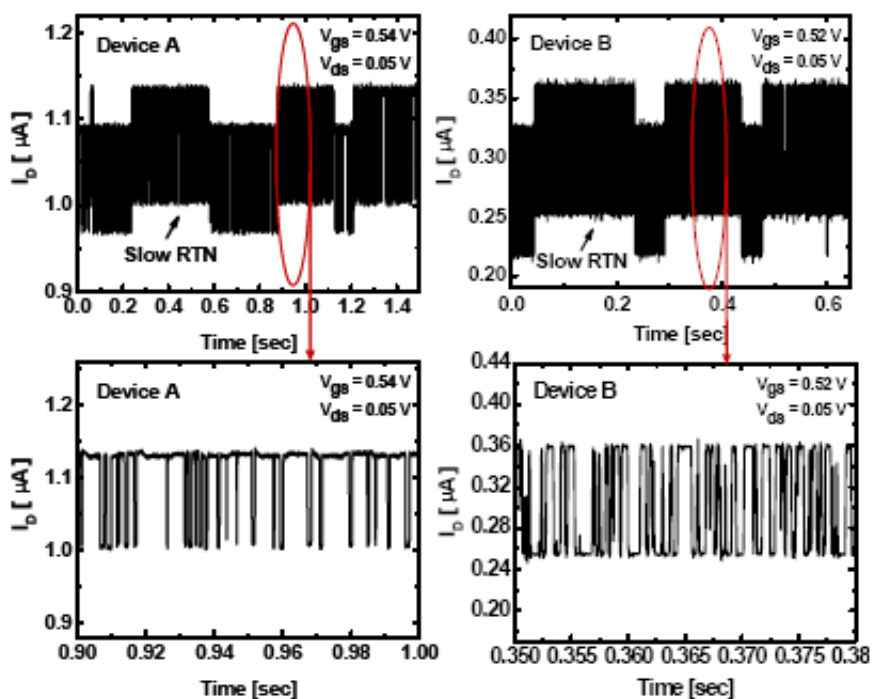


圖 16 顯示出有兩個獨立的 trap[15]

$$x_T = \left\{ \left( 1 + \frac{T_{ox}}{R} \right) \frac{\left( \frac{k_B T}{q} \frac{d \ln(\frac{\tau_c}{\tau_e})}{dV_{gs}} + \frac{d\psi_s}{dV_{gs}} \right) / \left( \frac{d\psi_s}{dV_{gs}} - 1 \right)}{R} - 1 \right\} R \quad (4)$$

$$y_T = \frac{\frac{kT}{q} \frac{\ln(1 + \frac{T_{ox}}{R})}{\ln(1 + \frac{x_T}{R})} \ln \left[ \frac{(\tau_c / \tau_e)_f}{(\tau_c / \tau_e)_r} \right] + V_{dr}}{V_{dr} + V_{df}} \frac{1}{L_{eff}} \quad (5)$$

$$(E_{Cox} - E_T) = q\phi_0 - q\psi_s + (E_C - E_{FP} + q \frac{y_T}{L} V_{DS}) - k_B T \ln \frac{\tau_c}{\tau_e} - q \frac{\ln(1 + \frac{x_T}{R})}{\ln(1 + \frac{T_{ox}}{R})} (V_{gs} - V_{FB} - \psi_s) \quad (6)$$

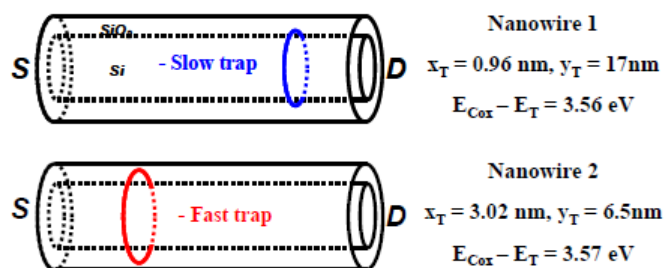


圖 17 位於矽奈米線結構內的兩個 trap[14]

## (2) High-k dielectric MOSFET

在元件尺寸縮小後，傳統用來當閘極與通道間氧化層的  $\text{SiO}_2$  已經無法阻擋閘極的漏電流了，因此發展出 High K 材料的氧化層，高介電係數的材質可以使電容值  $C_{\text{OX}}$  增加，進而增加電流值  $I_{\text{D}}$ 。為了精確的分析 high-k dielectric device 中的 RTN，得先確定 trap 的位置是在 high-k layer 或在 interfacial layer (IL)。無論 trap 是在 high-k dielectric layer 或在 interfacial layer、電子穿隧是從通道還是從閘電極，都可以利用下面圖 18 中的兩個表格來計算出 trap 的位置。



Table I. Equations of an oxide trap interacting with the channel.

A trap in the interfacial layer	
$x_T$	$x_{T1} = \left( T_{ox1} + \frac{\epsilon_{ox1}}{\epsilon_{ox2}} T_{ox2} \right) \left( \frac{k_B T}{q} \frac{d \ln(\tau_c / \tau_e)}{dV_G} + \frac{d\psi_s}{dV_G} \right) / \left( \frac{d\psi_s}{dV_G} - 1 \right)$
$y_T$	$y_{T1} = \left[ \frac{k_B T}{q} \frac{1}{x_{T1}} \left( T_{ox1} + \frac{\epsilon_{ox1}}{\epsilon_{ox2}} T_{ox2} \right) \ln \left( \frac{\tau_c / \tau_e}{(\tau_c / \tau_e)_r} \right) + V_{DS,r} \right] / \left( \frac{V_{DS,f} + V_{DS,r}}{L_{eff}} \right)$
Energy	$\ln \frac{\tau_c}{\tau_e} = \frac{1}{k_B T} \left[ \left\{ q\phi_1 + (E_C - E_{fp} + qV_C) - q\psi_s \right\} - \left\{ (E_{cox1} - E_{T1}) + q \frac{x_{T1}}{T_{ox1}} \frac{C_{ox2}}{C_{ox1} + C_{ox2}} (V_G - \psi_s - \phi_{MS}) \right\} \right]$
A trap in the high-k layer	
$x_T$	$x_{T2} = \left( T_{ox2} + \frac{\epsilon_{ox2}}{\epsilon_{ox1}} T_{ox1} \right) \left( \frac{k_B T}{q} \frac{d \ln(\tau_c / \tau_e)}{dV_G} + \frac{d\psi_s}{dV_G} \right) / \left( \frac{d\psi_s}{dV_G} - 1 \right) + \left( 1 - \frac{\epsilon_{ox2}}{\epsilon_{ox1}} \right) T_{ox1}$
$y_T$	$y_{T2} = \left[ \frac{k_B T}{q} \frac{(\epsilon_{ox1} T_{ox2} + \epsilon_{ox2} T_{ox1})}{\epsilon_{ox1}(x_{T2} - T_{ox1}) + \epsilon_{ox2} T_{ox1}} \ln \left( \frac{\tau_c / \tau_e}{(\tau_c / \tau_e)_r} \right) + V_{DS,r} \right] / \left( \frac{V_{DS,f} + V_{DS,r}}{L_{eff}} \right)$
Energy	$\ln \frac{\tau_c}{\tau_e} = \frac{1}{k_B T} \left[ \left\{ q\phi_1 + (E_C - E_{fp} + qV_C) - q\psi_s \right\} - \left\{ (E_{cox2} - E_{T2}) + q\phi_2 + \frac{q(V_G - \psi_s - \phi_{MS})}{C_{ox1} + C_{ox2}} \left( \frac{x_{T2} - T_{ox1}}{T_{ox2}} C_{ox1} + C_{ox2} \right) \right\} \right]$

Table II. Equations of an oxide trap interacting with the gate electrode.

A trap in the interfacial layer	
$x_T$	$x_{T1} = \left[ 1 - \frac{k_B T}{q} \frac{d \ln(\tau_c / \tau_e)}{dV_G} \left( 1 - \frac{d\psi_s}{dV_G} \right) \right] \left( T_{ox1} + \frac{\epsilon_{ox1}}{\epsilon_{ox2}} T_{ox2} \right)$
$y_T$	$y_{T1} = \left[ \frac{k_B T}{q} \ln \left( \frac{\tau_c / \tau_e}{(\tau_c / \tau_e)_r} \right) / \left[ 1 - \left( \frac{\epsilon_{ox2} x_{T1}}{\epsilon_{ox2} T_{ox1} + \epsilon_{ox1} T_{ox2}} \right) \right] + V_{DS,r} \right] / \left( \frac{V_{DS,f} + V_{DS,r}}{L_{eff}} \right)$
Energy	$\ln \frac{\tau_c}{\tau_e} = \frac{1}{k_B T} \left[ \left\{ q\phi_2 + q\phi_3 - (E_{cox1} - E_{T1}) + \left[ q \left( 1 - \frac{x_{T1}}{T_{ox1}} \left( \frac{C_{ox2}}{C_{ox1} + C_{ox2}} \right) \right) (V_G - (\psi_{s0} + V_C) - \phi_{MS}) \right] \right\} \right]$
A trap in the high-k layer	
$x_T$	$x_{T2} = \left[ 1 - \frac{k_B T}{q} \frac{d \ln(\tau_c / \tau_e)}{dV_G} \left( 1 + \frac{\epsilon_{ox2} T_{ox1}}{\epsilon_{ox1} T_{ox2}} \right) / \left( 1 - \frac{d\psi_s}{dV_G} \right) \right] T_{ox2} + T_{ox1}$
$y_T$	$y_{T2} = \left[ \frac{k_B T}{q} \ln \left( \frac{\tau_c / \tau_e}{(\tau_c / \tau_e)_r} \right) \left( 1 + \frac{\epsilon_{ox2} T_{ox1}}{\epsilon_{ox1} T_{ox2}} \right) / \left( 1 - \frac{x_{T2} - T_{ox1}}{T_{ox2}} \right) \right] / \left( \frac{V_{DS,f} + V_{DS,r}}{L_{eff}} \right)$
Energy	$\ln \frac{\tau_c}{\tau_e} = \frac{1}{k_B T} \left[ \left\{ q\phi_3 - (E_{cox2} - E_{T2}) + \left[ q \left( 1 - \frac{x_{T2} - T_{ox1}}{T_{ox2}} \right) \left( \frac{C_{ox1}}{C_{ox1} + C_{ox2}} \right) (V_G - (\psi_{s0} + V_C) - \phi_{MS}) \right] \right\} \right]$

圖 18 High-k 在 dielectric 和在 interfacial layer 的衍生公式 [14]

## 第三章 實驗結果與討論

### 3-1 實驗元件製程

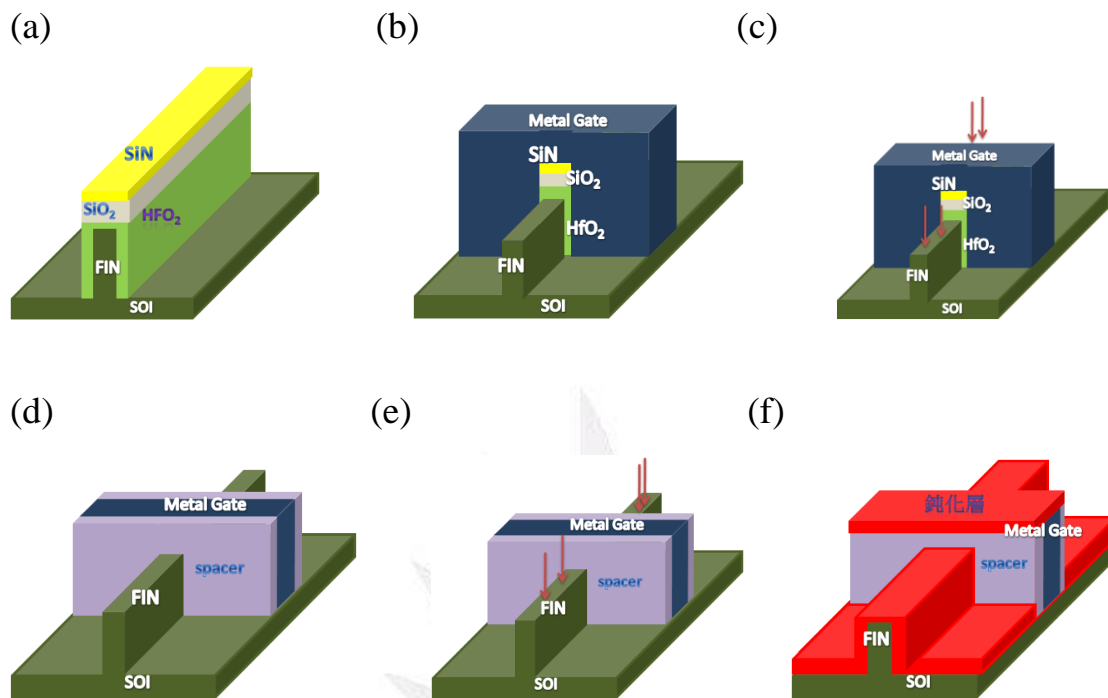
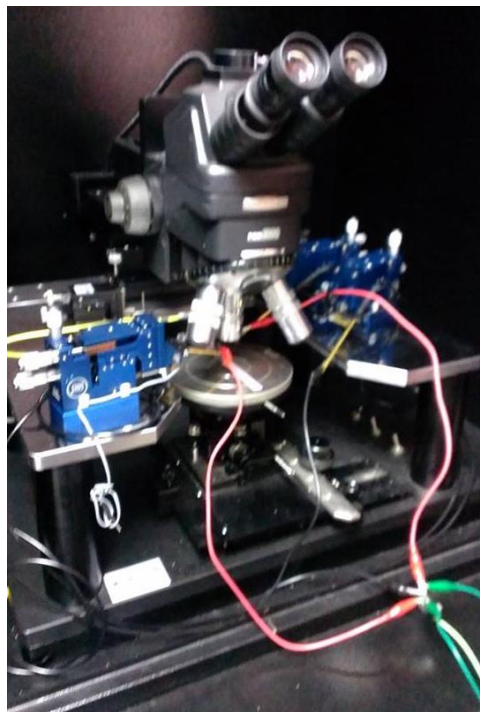


圖 19 (a)~(f) 實驗元件製程圖

- (a)
  1. 以 SOI 矽晶圓作為基板。
  2. 以硬遮罩( $\text{Si}_3\text{N}_4$ )定義出 FIN。
  3. 沉積犧牲氧化層在 FIN 上。
- (b)
  4. 移除犧牲氧化層。
- (c)
  5. 以離子佈植調整臨界電壓：N 型→磷;P 型→硼。
  6. N 型沉積 TiN 當作閘極;P 型則是沉積 TaN 當作閘極。
- (d)
  7. 於閘極兩側沉積 Spacer。
- (e)
  8. 離子佈植源極與汲極：N 型→磷;P 型→硼。
- (f)
  9. 沉積鈍化層。

### 3-1.1 量測機台

#### 晶圓探測機台



驗證及量測電子元件之電性參數及特性，針對電壓-電流、電容-電壓特性曲線，電阻、電容、電感值等之探針量測

#### HP4155C I-V 量測



### 3-2 N-type FinFET $I_D$ - $V_D$ 圖

本次實驗所使用的元件尺寸為：Fin 高 30 nm、Fin 寬 10 nm 和 25 nm、通道長度是 40 nm 的 n-type FinFET。

$I_D$ - $V_D$  量測機台:Agilent 4155C 機台、軟體 Agilent Easy Expert software

I-V 圖形:

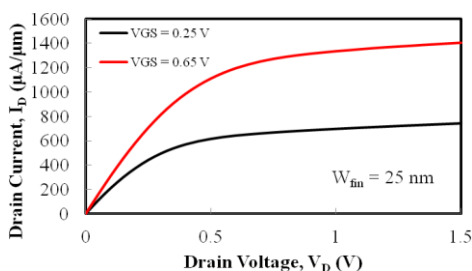


圖 20 在  $W_{fin}=25nm$  下所得到的  $I_D$ - $V_D$  圖

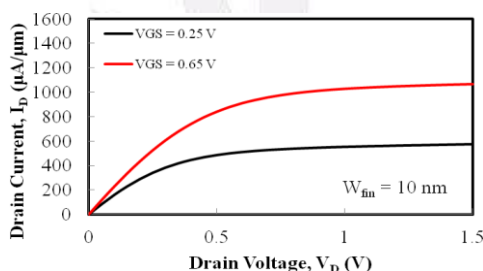


圖 21 在  $W_{fin}=10nm$  下所得到的  $I_D$ - $V_D$  圖

圖 20、圖 21 為 FinFET 在鳍寬 10nm 及 25nm 下的  $I_D$ - $V_D$  圖，可得知鳍寬 10nm 的 n-type FinFET 其  $I_{Dsat}$  為  $1067 \mu A/\mu m$ ，而鳍寬 25nm 的 n-type FinFET 的  $I_{Dsat}$  為  $1403 \mu A/\mu m$ ，透過這些數據可以發現  $I_D$  值會隨著鳍寬變窄而減少，而曲線中線性部分的斜率也隨之變小，其斜率值為電阻值的倒數，因此這也代表著  $R_{SD}$  值隨著其寬變窄而變大。

### 3-3 N-type FinFET $I_D$ - $V_G$ 圖

$I_D$ - $V_G$  量測機台:Agilent 4155C 機台、軟體 Agilent Easy Expert software

I-V 圖形:

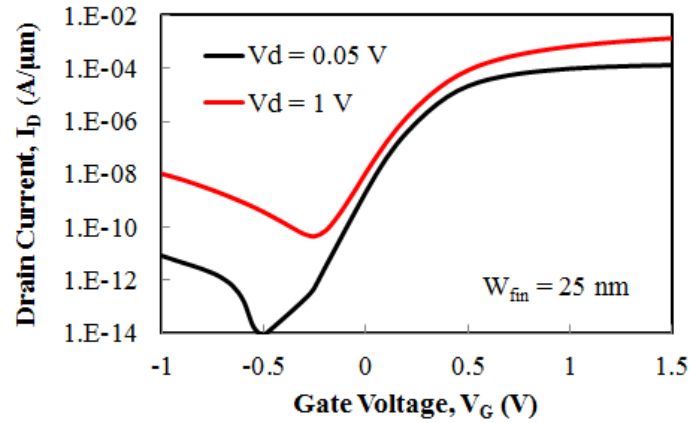


圖 23 在  $W_{fin}=25$ nm 下  $V_d=0.05$ V 和 1V 的  $I_D$ - $V_G$  圖

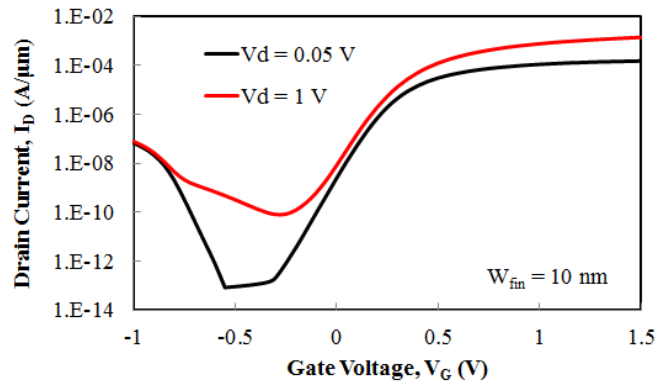


圖 24 在  $W_{fin}=10$ nm 下  $V_d=0.05$ V 和 1V 的  $I_D$ - $V_G$  圖

Vth	0.350171	V
DIBL	57.88158	mV/V
SS	73.28438	mV/dec
gm	2.02E-04	mA/V

(a)

Vth	0.350171	V
DIBL	31.1204	mV/V
SS	70.05749	mV/dec
gm	2.14E-04	mA/V

(b)

圖 25 (a)  $W_{fin}=25\text{nm}$  (b)  $W_{fin}=10\text{nm}$  元件的  $V_{TH}$ 、DIBL、SS 值

圖 23,24 為 FinFET 在鳍宽 10nm 及 25nm 下的  $I_D-V_G$  圖，透過此曲線圖可以分析出圖 25 (a)、圖(b)的數據，圖中可看到鳍宽 25nm 的元件 SS 值為 73.284 mV 而鳍宽 10nm 的元件的 SS 值為 70.057mV，SS 值越小代表元件開關特性較明顯，因此透過數據可以知道鳍宽越小的元件其開關特性越明顯。

### 3-4 N-type FinFET $I_G-V_G$ 圖

$I_G-V_G$  量測機台:Agilent 4155C 機台、軟體 Agilent Easy Expert software

I-V 圖形:

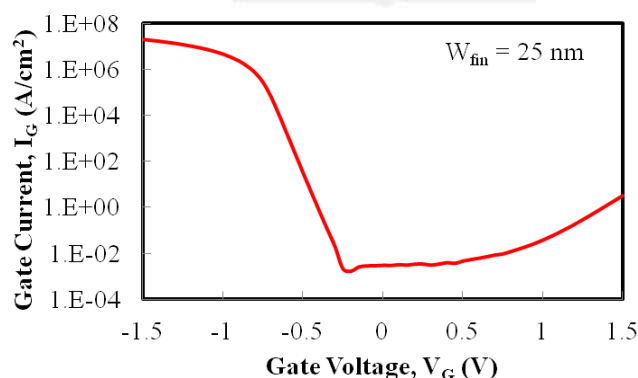


圖 26 在  $W_{fin}=25\text{nm}$  下所得到的  $I_G-V_G$  圖



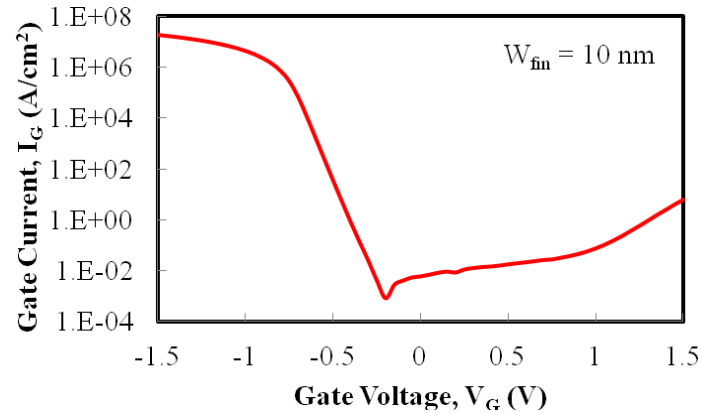


圖 27 在  $W_{fin}=10nm$  下所得到的  $I_G-V_G$  圖

圖 26,27 中前半段為保護元件的二極體，而從圖的後半段可發現  $I_G$  電流會隨著  $V_G$  的增加而增加，透過這種電性量測可以知道元件可以耐壓到伏特而不會崩潰，藉此了解元件 oxide 的品質。

### 3-5 臨界電壓( $V_{TH}$ )和鳍寬(Fin Width)的關係圖

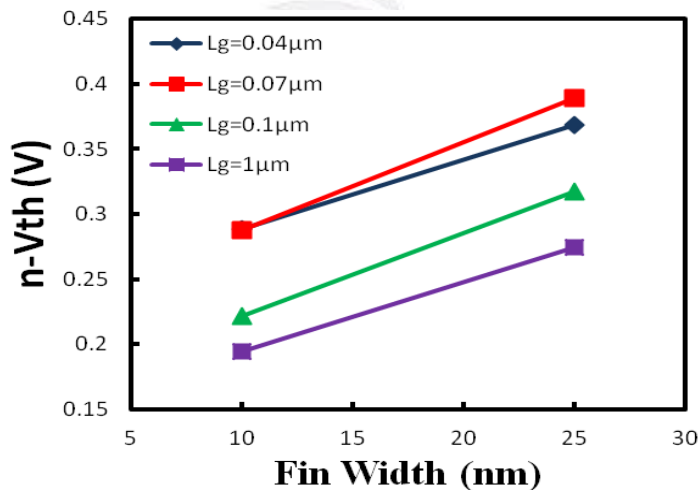
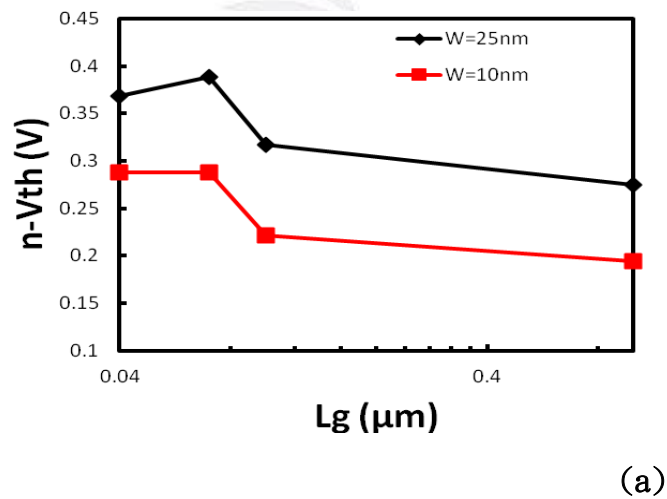


圖 28 gate length=0.04,0.07,0.1 和 1nm n-type FinFET 的  $V_{TH}-W_{fin}$  圖

圖 28 為 n-type 在不同 gate length 下的  $V_{TH}$ - $W_{fin}$  圖，通道長度愈短相對於愈長的在  $V_{th}$  與鳍寬的關係愈明顯，顯示了當鳍寬越窄  $V_{th}$  值就越小的現象。

### 3-6 臨界電壓( $V_{TH}$ ) 和通道長度( $L_g$ )的關係圖



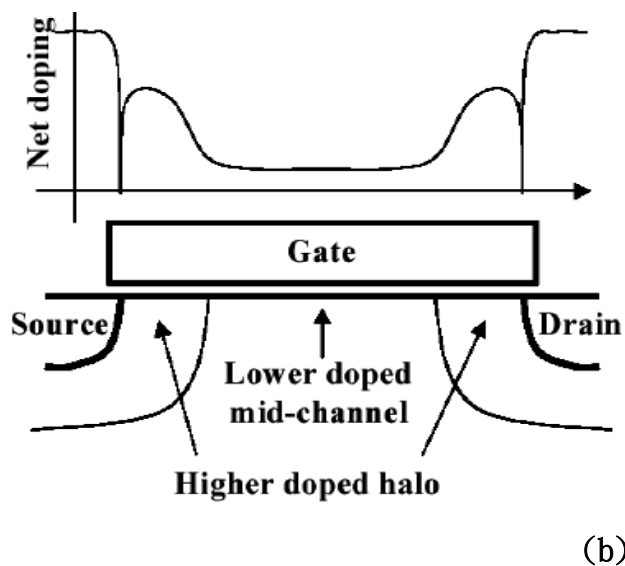


圖 29 (a)  $W_{fin}=25$  和  $10\text{nm}$  n-type FinFET 的  $V_{TH}\text{-}L_g$  圖

(b)解釋 n-type FinFET 之 reverse SCE 圖

圖 29(a) n-type 在  $W_{fin}$  分別為  $25\text{nm}$  和  $10\text{nm}$  下的  $V_{TH}\text{-}L_g$  圖，圖中顯示 n-type FinFET 是比較符合 reverse short channel effect，當通道長度變短臨界電壓會上升，p-type 的部分為單純的 short channel effect。

### 3-7 $S_{Id}/I_d^2$ 與頻率關係圖

	10 nm	25 nm
gm	3.44E-05	7.50E-05
slope	1.184965	0.843736

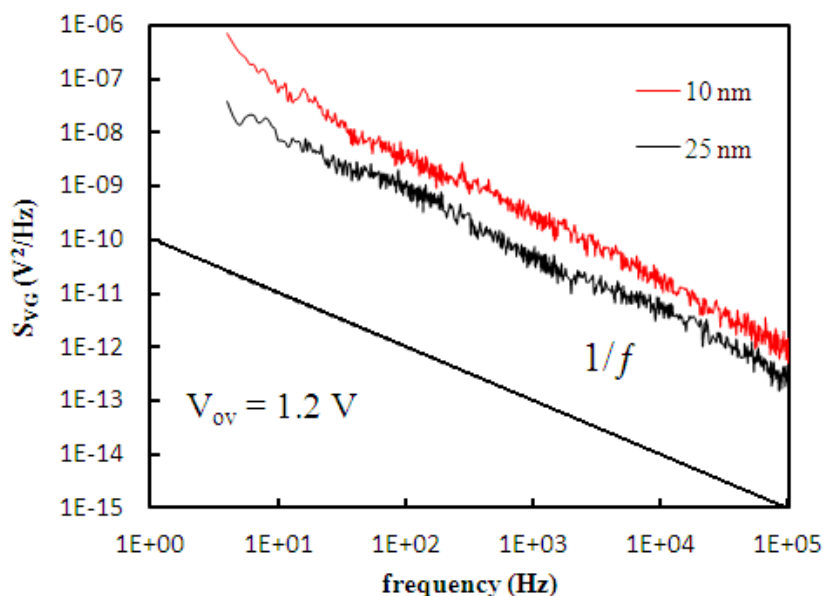


圖 30  $W_{fin}=25$  和  $10\text{nm}$ ,  $V_{OV}=1.2\text{V}$ ,  $S_{Id}/I_d^2$  與頻率的關係圖

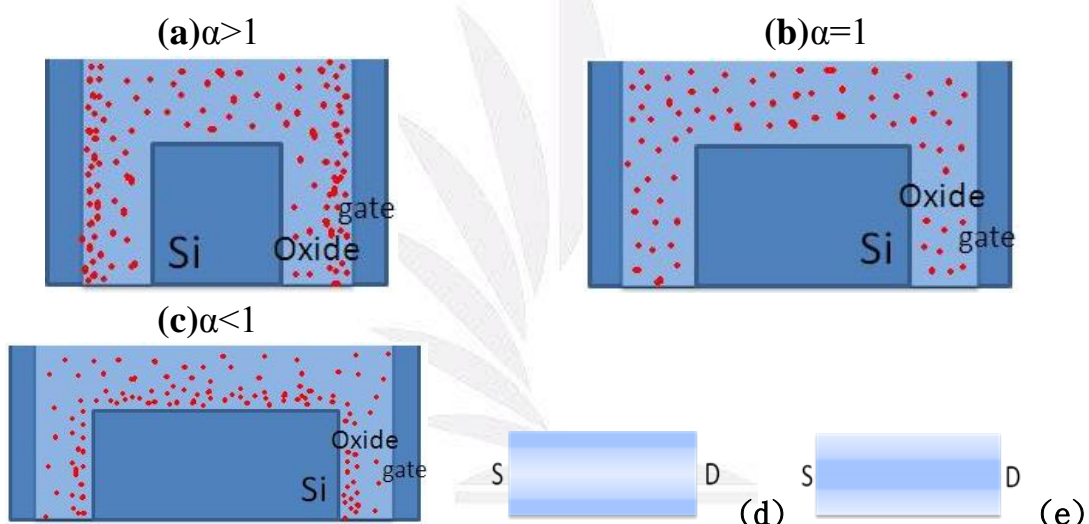
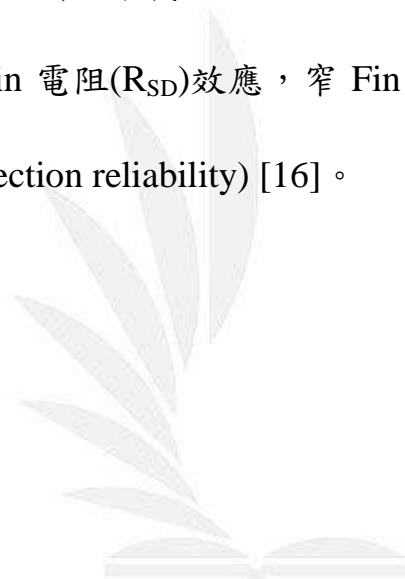


圖 31 (a) $\alpha>1$ (b) $\alpha=1$ (c) $\alpha<1$  時，氧化層缺陷(trap)的分佈位置，圖中紅點即為 trap。(d) $W_{fin}=25\text{nm}$  通道接面處電流密度較高(e) $W_{fin}=10\text{nm}$  通道中心電流密度較高

透過圖 30 得到的數據，經由計算過後所得到的斜率的對數值( $\alpha$ )去進行分析氧化層缺陷的分佈，在斜率  $\alpha>1$  時，缺陷是如圖 31(a) 顯示的紅點區域，其缺陷位置較靠近閘極和介電層的界面；當  $\alpha=1$  時

缺陷的分佈如圖 31(b)是均勻的分佈在整個氧化層內，而當  $\alpha < 1$  時，缺陷則是如圖 31(c)比較靠近 Si fin 和介電層之間的界面[16]，因此可借由  $\alpha$  的數值來知道缺陷的分布位置。

經由圖 30 的雜訊分析，可知窄 Fin 元件其庫倫散射較小，同時經由量子侷限效應(quantum confinement effect)，其載子傳導較偏向為體反轉傳輸(volume inversion)，即載子偏向 Si Fin 中間傳輸，去除窄 Fin 元件之寄生 source/drain 電阻( $R_{SD}$ )效應，窄 Fin 元件有較差之熱載子可靠度 (hot carrier injection reliability) [16]。



## 第四章 總結

### 4-1 結論

透過基本電性的量測，比較鳍寬 10nm 及 25nm 下 double gate n-type FinFET 的差異，測量結果顯示鳍寬 10nm 的 n-type FinFET 其  $ID_{sat}$  為  $1067 \mu A/\mu m$ 、DIBL 值為 31.1204 mV/V、SS 值為 70.05749

(矽式電晶體矽鳍載子電荷分佈探討及可靠度研究)

mV/dec，而鳍寬 25nm 的 n-type FinFET 的  $ID_{sat}$  為  $1403 \mu A/\mu m$ 、DIBL 值為 57.88158 mV/V、SS 值為 73.28438 mV/dec，很明顯的矽鳍越窄的元件其 DIBL 及 SS 值越小，透過此結果可得知鳍較窄的元件對於短通道效應有較好的抵抗力而且元件的開關特性較好。

而在 LFN 的分析上，透過  $S_{Id}/I_d^2$  與頻率的關係圖，可以求出數據  $\alpha$  值，計算過後得到鳍寬 10nm 的 n-type FinFET 的  $\alpha$  值為  $1.184 > 1$ ，鳍寬 25nm 的 n-type FinFET 的  $\alpha$  為  $0.843 < 1$ ，透過  $\alpha$  值及缺陷分佈的關係，可以得知 si 鳍較窄的元件其雜訊曲線斜率較大，缺陷分佈較靠近深層氧化層內，而其載子也較偏向矽鳍中間進行傳輸，藉此討論 FinFET 元件的可靠度。

## 4-2 參考文獻

- [1] 林庭宇, “系奈米線場效電晶體之研究”, 國立臺灣師範大學光電科技研究所, 碩士論文, 2008
- [2] Mirko Poljak, Vladimir Jovanović, and Tomislav Suligoj, “SOI vs. Bulk FinFET: Body Doping and Corner Effects Influence on Device Characteristics”, IEEE, 2008
- [3] Singhal, S.; Kumar, S.; Upadhyay, S.; Nagaria, R.K, “Comparative Study of Double Gate SOI FinFET and Trigate Bulk MOSFET

(鰭式電晶體矽載子電荷分佈探討及可靠度研究)

Structures”, Engineering and Systems (SCES), 2013 Students Conference on,2013.

[4]陳履安,“環繞式閘極多晶矽奈米線薄膜電晶體於非揮發性”,國立交通大學奈米科技研究所,碩士論文,2009

[5]Chengqing Wei ; Yong-Zhong Xiong ; Xing Zhou ; Singh, N. ; Xiao-Jun Yuan ; Guo-Qiang Lo ; Lap Chan ; Dim-Lee Kwong , “Comparative Study of 1/f Noise Degradation Caused by Fowler –Nordheim Tunneling Stress in Silicon Nanowire Transistors and FinFETs”,Electron Devices, IEEE Transactions on,2010.

[6]F. D’Agostino, D. Quercia, “ Short-Channel Effects in MOSFETs”, EECS 467, December 11th, 2000

[7]謝永裕,“30 奈米以下絕緣體上多閘極金氧半場效電晶體模擬之研究”,國立東華大學電機工程學系電子工程研究所,碩士論文,2011

[8]徐志翔,“氧化釷(La<sub>2</sub>O<sub>3</sub>)薄膜電容器之依時性介電崩潰特性與傳導電流機制”,清華大學碩士論文,2005

[9]陳柏翰,“儲存環境因子對於含烷基的低聚噻吩有機薄膜電晶體偏壓應力的可靠度測試與評估探討”,國立中央大學電機工程學系,碩士論文,2011

[10]陳紫瑜,“高頻元件雜訊測量”,國立中興大學物理系,學士論文,2002

[11]黃珈擇,“系奈米線場效應元件低頻雜訊量測與分析”,國立中央大

學物理學研究所,碩士論文,2006

- [12]劉汶德,“矽鍺P型通道電晶體於外加單軸應力下之溫度效應分析”,國立中央大學電機工程學系論文,2011
- [13]C. Mukherjee, T. K. Maiti, and C. K. Maiti, “Random Telegraph Noise Characterization of P-type Silicon Nanowire FinFETs”,MIEL,2010
- [14]Hyungcheol Shin and Byoungchan Oh ,“Characterization of Oxide Traps by RTN Measurement in MOSFETs and Memory Devices”
- [15]Seungwon Yang, Kyoung Hwan Yeo+, Dong-Won Kim+, Kang-ill Seo+, Donggun Park+, Gyoyoung Jin+,KyungSeok Oh+ and Hyungcheol Shin,“Random Telegraph Noise in N-type and P-type Silicon Nanowire Transistors”, Inter-University Semiconductor Research Center(ISRC) and School of Electrical Engineering,Seoul National University,IEDM,2008
- [16]Cheng-Li Lin, “Effects of Fin Width on Device Performance and Reliability of Double-Gate n-Type FinFETs”,IEEE VOL.60, NO. 11, NOVEMBER 2013