

逢甲大學學生報告 ePaper

報告題名：

高介電空間層無源/汲極接面電晶體之特性模擬研究

Effect of Different High- κ Spacer on Characteristic of Junctionless Field Effect
Transistor (JL-FET)

作者： 陳昱志、張聖煌

系級： 電子工程學系

學號： D0241799、D0241489

開課老師：林成利 博士

課程名稱：專題研究(二)

開課系所：電子工程學系

開課學年： 105 學年度 第一學期



中文摘要

本專題研究我們利用高介電係數閘極側壁空間層(Spacer)進行短通道無接面電晶體(JL-FET)之特性改善研究，透過理論分析與元件模擬預測結果。藉由使用半導體元件模擬軟體 Synopsys TCAD Sentaurus 進行 3D 鰭式元件結構 $L_G=80\text{ nm}$ 、 $W=40\text{ nm}$ 與通道厚度 $T_{\text{si}}=26\text{ nm}$ ，進行元件最佳化模擬，並且針對不同空間層材料例如： $\text{HfO}_2(\kappa=25)$ 、 $\text{Si}_3\text{N}_4(\kappa=7.5)$ 、 $\text{SiO}_2(\kappa=3.9)$ 等對無接面電晶體造成之 I-V 特性曲線、DIBL 效應與元件漏電流影響作一探討。模擬結果分析，側壁空間層之介電常數越高越能有效降低元件漏電流，並提升輸出電流 I_{on} ，改善短通道元件之元件開關比($I_{\text{on}}/I_{\text{off}}$)與 DIBL 效應，故使用 HfO_2 空間層能對 JL-FET 帶來最佳的電性。

關鍵字：空間層介電常數、高介電常數、無接面電晶體、側壁空間層

Abstract

In this study, we investigate in the high dielectric constant spacer at device gate sidewall to improve the characteristics of short channel junctionless transistor (JL-FET). With theoretical analysis and device simulation results; therefore, we measure the actual product to verify the expected results. Firstly, we simulated the device structure of the 3D FinFET structure with $L_G = 80$ nm, $W = 40$ nm and channel thickness $T_{Si} = 26$ nm achieve the optimal results, using a semiconductor device simulation software of the Synopsys Sentaurus TCAD. And also discussed the effects of JL-FET with different spacer materials, such as HfO_2 ($\kappa = 25$), Si_3N_4 ($\kappa = 7.5$) and SiO_2 ($\kappa = 3.9$) on the I-V characteristic curve, DIBL effect and leakage current. The simulation results show that the higher dielectric constant of the spacer, the more effectively reduce the off-state leakage current, increase the output current I_{on} , improve the on/off current ratio and DIBL effect for the short channel JL-FET. Therefore, JL-FET with HfO_2 spacer will have the best device performance.

**Keyword : Dielectric constant 、 High- κ spacer 、 High- κ material
Junctionless 、 JL-FET 、 Sidewall spacer**

致謝

在長達一年的的專題研究中我們從無到有一步步地完成專題，過程中雖遇到重重阻礙但卻受到了許多師長與學長姊的幫助，讓我們在這一年來受益良多。

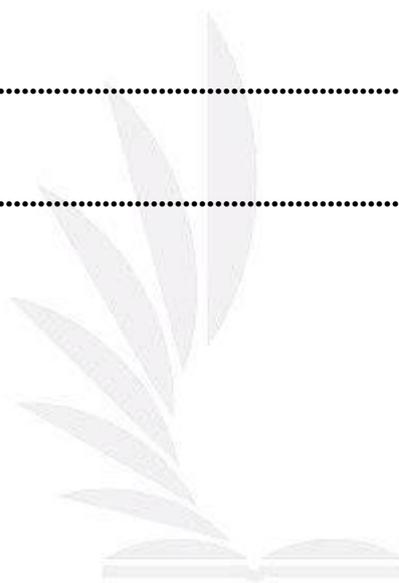
特別感謝指導教授 林成利 博士，老師不斷的訓練我們閱讀文獻的能力並告誡這個能力的重要性，且由於老師的專業與豐富的業界經驗讓我們學到不僅限於課本上的內容，甚至於國高速網路與計算中心申請 Synopsys TCAD Sentaurus 半導體元件模擬軟體提供我們的專題使用。老師的教學方式讓我們體會到一個觀念：凡事都要自己動手做、動手來，沒有不勞而獲的事情，唯有扎實訓練才能真材實料。

感謝先進元件製程與可靠度實驗室(ADPR)提供器材與量測機台。感謝碩班 李建東 學長、吳俊賢 學長、盧昱君 學姊、朱育萱 學姊、洪偉庭 學姊，提供專題研究所需元件與教導我們量測手法。感謝國家高速網路與計算中心提供半導體元件模擬軟體 Synopsys TCAD Sentaurus 讓我們進行元件模擬。感謝組員這一年來的互相配合，從文獻閱讀、工作分配到專題撰寫，我們學到了團隊溝通、獨立思考與問題解決的能力。

目次

第一章	元件結構與介紹	1
1-1 無接面電晶體(JL-FET)簡介.....		1
1-1.1 無接面電晶體簡介.....		1
1-1.2 無接面電晶體結構介紹.....		3
1-2 側壁空間層(Sidewall Spacer)簡介.....		5
1-2.1 空間層(Spacer)介紹.....		5
1-2.2 高介電係數空間層(High- κ Spacer)結構與特性.....		7
第二章	無接面電晶體的傳導機制	8
2-1 無接面電晶體基本工作原理.....		8
2-1.1 基本 MOSFET 工作原理.....		8
2-1.2 無接面電晶體工作原理與操作機制.....		10
2-2 高介電係數空間層之電性影響.....		12
2-2.1 傳統電容器.....		12
2-2.2 MOS 電容器.....		13
2-2.3 空間層之電性影響.....		14
第三章	元件製程步驟	17
3-1 高介電係數空間層無接面電晶體製作流程.....		17
第四章	TCAD 模擬結果與討論	19
4-1 元件模擬結構.....		19
4-2 JL-FET 通道載子濃度模擬特性分析.....		20
4-2.1 JL-FET off-state 通道電子濃度分布.....		20
4-2.2 JL-FET on-state 通道電子濃度分布.....		22
4-3 JL-FET with spacer I-V 模擬特性曲線.....		24
4-3.1 JL-FET I-V 模擬特性曲線.....		25

4-3.2	JL-FET SiO ₂ 空間層 I-V 模擬特性曲線	26
4-3.3	JL-FET Si ₃ N ₄ 空間層 I-V 模擬特性曲線	27
4-3.4	JL-FET HfO ₂ 空間層 I-V 模擬特性曲線	28
4-4	JL-FET 不同空間層 I-V 模擬特性曲線比較	29
4-4.1	JL-FET 不同空間層 I _D -V _D 模擬特性曲線比較	30
4-4.2	JL-FET 不同空間層 I _D -V _G 模擬特性曲線比較	31
4-5	JL-FET 不同空間層模擬電流特性分析比較	31
4-6	短通道 JL-FET non spacer vs. HfO ₂ spacer DIBL effect	32
第五章	總結 34
參考資料	36



第一章 元件結構與介紹

1-1 無接面電晶體(JL-FET)簡介

1-1.1 無接面電晶體簡介

隨著摩爾定律的演進，半導體元件尺寸不斷微縮(Scaled down)，傳統互補式金氧半場效應電晶體(CMOS)元件由於需要考慮 P/N 接面摻雜擴散等的關係，使高品質 P/N 接面的製作越發困難，製程難度相對越來越高，且當元件進入次奈米等級，產生之非理想特性如:短通道效應(Short channel effect)、較差的次臨界斜率(Subthreshold swing)與汲極引致位能障下降(Drain-induced barrier lowering)等更是嚴重影響元件有效尺寸[1][2]，因而影響到積體電路與半導體元件的發展過程，故發展新的技術研究突破元件微縮出現的各種瓶頸更是現今的重點目標，例如:無接面場效應電晶體(JL-FET)、鰭式場效應電晶體(FinFET)與閘極堆疊(Gate Stacked) 結構等新穎技術皆陸續被提出。

無接面(Junctionless)的概念最早是由愛爾蘭科克大學廷德爾國家研究院(Tyndall National Institute of University College Cork)的 Jean-Pierre Colinge 等研究人員，其捨棄傳統半導體接面，改採用 1925 年由萊比錫大學的物理學家 Julius Edgar Lilienfeld 所提出的概念：它是個簡單的電阻，包含一個閘極以控制電子與電洞密度，進而控制電流[3]。因而開始了無接面電晶體的研究發展。

無接面場效應電晶體(JL-FET)汲極、源極以及通道具有相同的摻雜型態，且高濃度的載子大幅提升輸出電流(I_{on})，而相較於傳統 CMOS 元件， JL-FET 不具有 P/N 接面，並無摻雜擴散與濃度梯度等的問題，能簡化製程步驟與降低熱處理預算，有效解決次奈米元件之短通道效應等等的問題，此外還具有低功率消耗、開關速率快等近乎完美的電性[1]-[7]，預期將比傳統 MOSFET 具有更大的微縮空間，未來對於積體電路與半導體元件的發展勢必有其重要的研究價值。



1-1.2 無接面電晶體結構介紹

無接面電晶體其構造與一般場效應電晶體並無太大差異，一樣具有 Source、Drain 與 Gate，最大的不同在於 JL-FET 具有順勢摻雜的結構，通道內含有高濃度的傳輸載子，大幅提升驅動電流，此外也不具 P/N 接面，能減少自身空乏造成之短通道效應。以 n-channel 電晶體為例，如下圖 Fig. 1 (a)、(b)為傳統 MOSFET 與 JL-FET 之元件結構剖面圖。

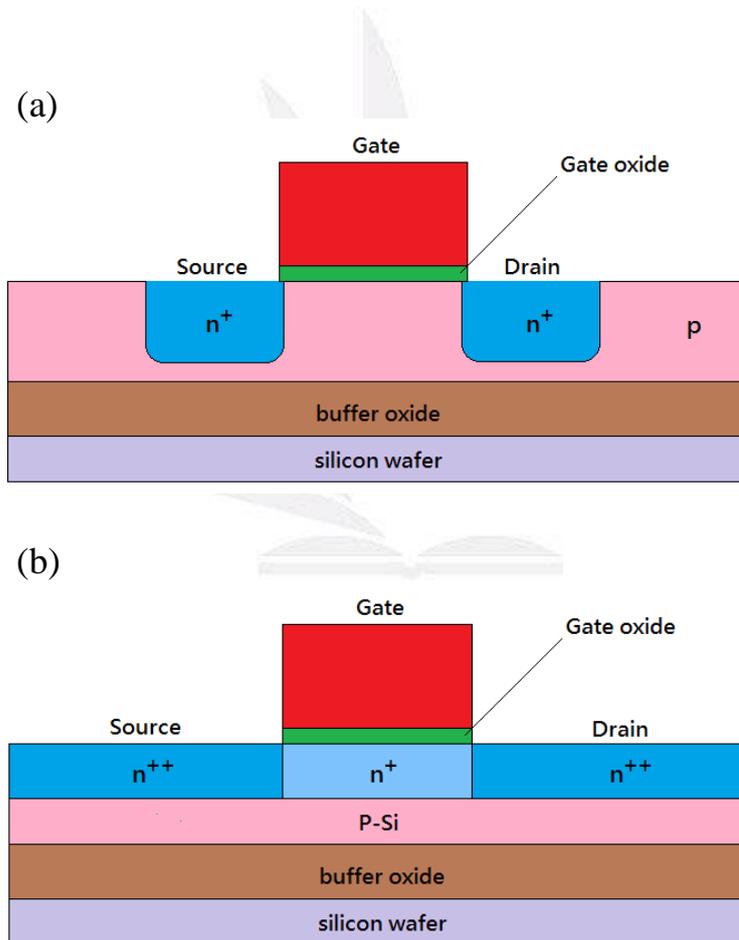


Fig. 1 (a)MOSFET 結構剖面圖 (b)JL-FET 結構剖面圖

而 JL-FET 與傳統的 inversion-mode MOSFET 最大的差異就是在其不加偏壓的情況下，傳統 MOSFET 能藉由 P/N 區域摻雜型態的不同在通道產生較高的能障，阻止電流導通，已達到相當低的關閉電流 ($I_{off} < 1\text{nA}/\mu\text{m}$)。然而 JL-FET 的 Channel、Source、Drain 皆採用相通型態的摻雜，所以通道無法產生能障來關閉元件抑制電流導通，為了使 JL-FET 達到 normally-off，必須透過

- (1) 利用閘極與通道的高功函數差距(使用高閘極功函數材料)，使通道能帶彎曲產生較強空乏區，進而拉高通道位能障抑制元件導通。
- (2) 使用超薄主動層(Ultra-thin body or channel)的元件結構，讓通道得以完全空乏。
- (3) 透過鰭式(Tri-gate)通道結構，增強閘極對通道空乏能力。

1-2 側壁空間層(Sidewall Spacer)簡介

1-2.1 空間層介紹

為了持續提升積體電路的發展，克服製程上的困難與考慮複雜的元件非理想效應一直都是目前半導體 IC 產業最重要的問題，近來由於元件尺寸不斷微縮，閘極長度也受到縮減，其側壁空間層的問題愈來愈重要，當閘極尺寸小於 $2\ \mu\text{m}$ 時，空間層即被需要用於保護閘極與改善元件製程，且對於不斷微縮的閘極長度，空間層的相對佔有面積卻越來越高，對元件各方面之影響也日益明顯，顯得空間層設計越來越重要。透過空間層的設計，不但能夠增加等效閘極長度，提升閘極控制力，更可以抑制元件短通道效應與關閉狀態漏電流，減少功率消耗[1][2][4][5]。

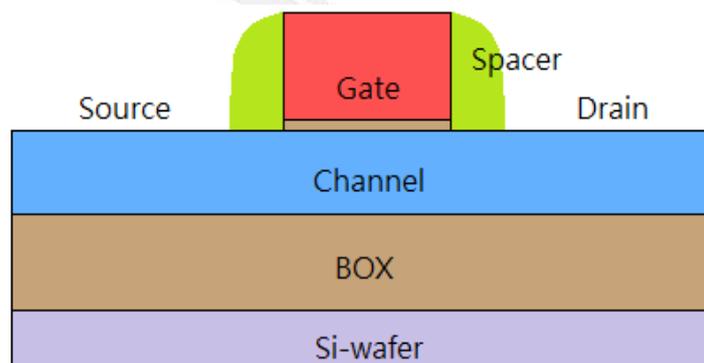


Fig.2 JL-FET 之側壁空間層結構

閘極側壁空間層結構如上圖 Fig. 2，其最原先的目的是為了用於保護元件閘極，免於受到製程影響而破壞閘極結構。然而在製程上也能藉由側壁空間層來形成低摻雜汲極(LDD)區域，以抑制熱載子效應

[6]。此外空間層也可作為需額外源/汲極摻雜原子(與通道同 type 的離子摻雜)的擴散緩衝區。另外還可以避免源/汲極與閘極之間的短路。而近來更是有研究指出，於次奈米元件尺寸之下，在自對準的金屬矽化物製程中(Salicide)，閘極之邊緣電場效應(Fringing field effect)與側壁空間層的介電常數大小會影響通道開關之性能、元件關閉的汲極漏電流與次臨限擺幅[7][8]。由 Suresh Gundapaneni 等人所發表文獻如下圖 Fig. 3 [5]，空間層介電係數愈高，元件漏電愈低，且驅動電流也能得到相當程度的改善，由此可知，隨著元件尺寸的縮減，側壁空間層其特性之研究勢必定是其中一項相當重要的問題，其對元件之電性影響不容小覷。

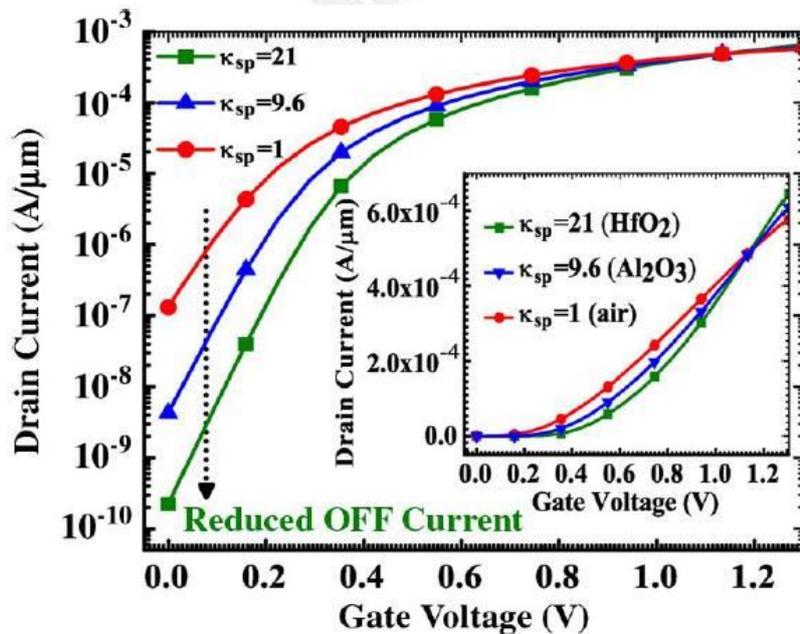


Fig. 3 不同介電係數空間層其 I_D - V_G 特性比較圖 [5]

1-2.2 高介電係數空間層(High- κ Spacer)結構與特性

單對一顆電晶體來說其內部就存在著許多複雜的物理機制，這些機制互相干擾使得元件衍生出許多非理想效應，使元件的電性不再理想，其中漏電流可以是個評定元件性能的指標之一，當元件處在關閉狀態理論上應是完全無功率消耗，但由於許多複雜效應導致元件無法理想關閉，如熱載子效應將會使得元件產生漏電，且隨著元件的微縮，漏電流的影響更是不可忽視，為此許多方法如 Lightly Doped Drain(LDD)、High- κ oxide 等方法用來抑制漏電流，降低元件的額外功耗。

所謂的 High- κ material 即是相對介電常數高於 SiO_2 (3.9)的材料，如 Si_3N_4 (7.5)、 Al_2O_3 (9.5)、 HfO_2 (21)與 TiO_2 (80) …等[5][8]，相對於 Low- κ material。由於 High- κ material 其 V_{ox} 較低的特性被發現可建構在閘極兩側即為閘極側壁空間層(Gate sidewall spacer)，可使側壁下方的通道區產生較大的空間電荷區進而降低通道的漏電流、改善次臨界斜率(S.S.)與汲極引致位能障下降值(DIBL)等[1][2]，以及提升驅動電流與 $I_{\text{on}}/I_{\text{off}}$ 元件開關比[1][2][4]-[9]。

Table I Material Dielectric constant

Material	SiO_2	Si_3N_4	Al_2O_3	HfO_2	TiO_2
Dielectric constant	3.9	7.5	9.5	21	80

第二章 無接面電晶體的傳導機制

2-1 無接面電晶體基本工作原理

無接面電晶體(JL-FET)在某種程度上可以視為將 MOSFET 結構改進後的半導體元件之一，擁有高輸出電流、減少製程難度與增加微縮性等的特點，所以我們將先針對 MOSFET 做一初步介紹，再來探討 JL-FET 的傳導原理。

2-1.1 基本 MOSFET 工作原理

MOSFET 的原意是：金屬(Metal)、氧化物(Oxide)與半導體(Semiconductor)，組成之場效應電晶體 (Metal Oxide Semiconductor Field Effect Transistor, MOSFET)，藉由金屬層，中間隔著氧化物，利用閘極電場來控制半導體行為的元件，且依照閘極電壓的大小能讓元件產生不同的情況。

在 Fig. 4 (a)中，負電壓施於閘極，所以會有負電荷聚集在閘極上，而半導體內會移動的正電荷電洞，則被吸引至閘極下方的區域，此稱之為累增模式 (accumulation mode)。於 Fig. 4(b)中，低正電壓施於閘極，使正電荷出現在閘極，這時基體的電洞，就會自閘極正下方的區域驅離，而在閘極下方形成空乏區 (depletion region)。在圖 Fig. 4 (c)中，當施加較高的正電位，而超過臨界電壓 V_T 時，閘極下方基體內的電洞會更加被驅離開原位置，且半導體中的自由電子，會被吸

引至閘極下方的區域，當其表面累積電位 $\phi_s > 2\phi_{fp}$ ，p 型基體表面的

傳導層累積大量載子因而轉

態，形成反轉層 (inversion

layer)。

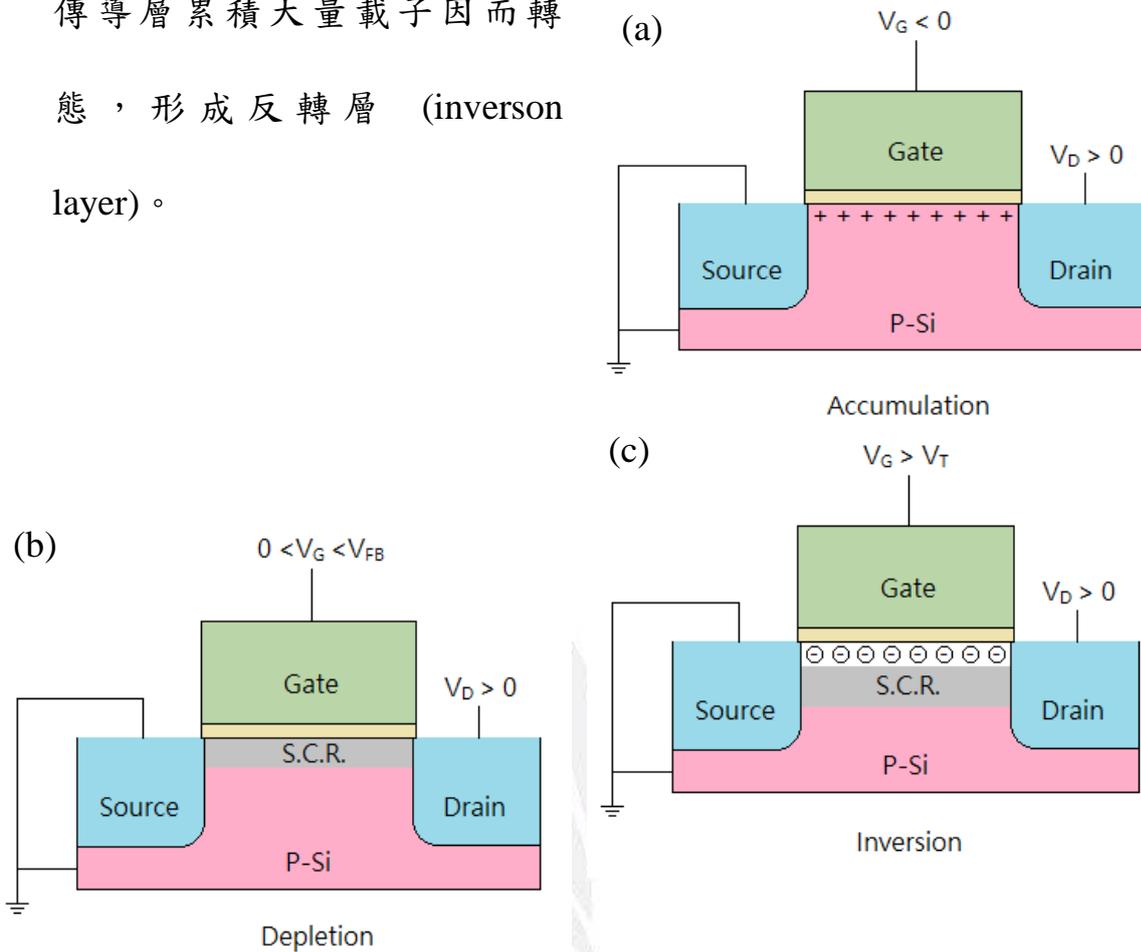


Fig. 4 MOSFET 之 (a)累增 (b)空乏 (c)反轉 模式示意圖

其平帶電壓(V_{FB})與臨界電壓(V_T)

表示如下:

n-channel MOSFET

$$V_{FB} = \phi_{ms} - \frac{Q'_{ss}}{C_{ox}}$$

$$V_{TN} = V_{FB} + 2\phi_{fp} + \frac{\sqrt{2qN_a\epsilon_s(2\phi_{fp})}}{C_{ox}}$$

p-channel MOSFET

$$V_{FB} = \phi_{ms} - \frac{Q'_{ss}}{C_{ox}}$$

$$V_{TP} = V_{FB} - 2\phi_{fn} + \frac{\sqrt{2qN_d\epsilon_s(2\phi_{fn})}}{C_{ox}}$$

2-1.2 無接面電晶體工作原理與操作機制

無接面電晶體與傳統 MOSFET 差異在於源/汲極與通道為同態摻雜，也就是無接面電晶體早已經在製程時就沉積出通道，不需要像 MOSFET 一樣產生反轉層通道。因此若要使無接面電晶體 normally-off 則需在閘極使用高功函數材料，利用閘極-通道的功函數差距使其間能帶產生彎曲，進而在通道產生空乏區，阻斷載子通過如圖 Fig. 5(a)。因此閘極氧化層的厚薄度以及閘極與通道的功函數差距對元件會有關鍵性的影響。閘極氧化層愈薄，雖然能更有效率的控制元件，減少汲極漏電流，但也帶來了較大的閘極漏電流。而閘極功函數越大，能帶彎曲的越明顯，能產生較大的空乏區，有效阻止汲極漏電流的發生，但也因此降低元件工作狀態整體的輸出電流。所以如何調整各項參數以達到最佳的元件特性，是非常重要的。

由於無接面電晶體其通道含有大量且高濃度的傳輸載子，於一般情況下即可表現出良好的電性能力，故要使 JL-FET 開啟運作僅需要克服閘極與通道接觸後產生之能帶偏移，減弱能帶彎曲造成通道之空乏區，即可導通。以 n-channel JL-FET 為例，於閘極施加一正電壓 V_G 將會使通道的空乏區漸小，當閘極電壓 V_G 等於臨界電壓 V_T 時，

電晶體便開始導通如圖 Fig. 5(b)。因此若能掌握源、汲極與通道摻雜濃度、閘極功函數、氧化層厚度與各種材料特性，將使元件的效能與微縮性大大提升。

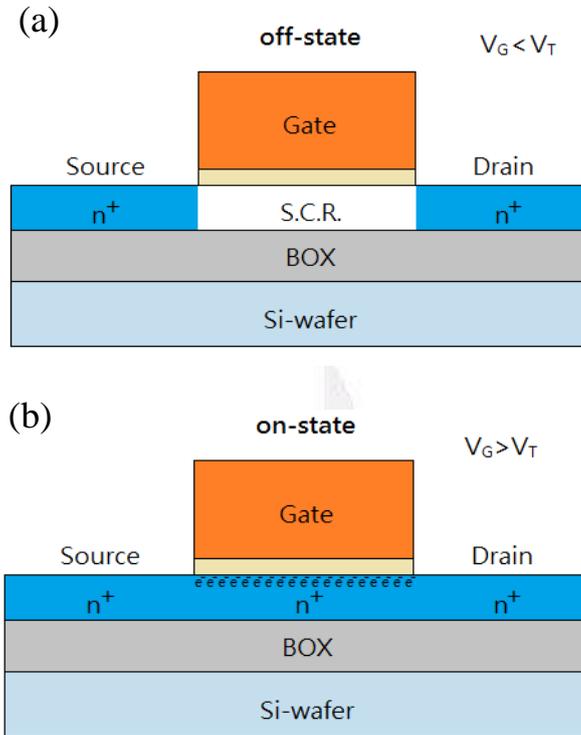


Fig. 5 JL-FET 之(a) on-state 與(b) off-state 元件示意圖

比較 n-通道 MOSFET 與 JL-FET，其都是藉由閘極正電壓來開啟元件，差異在於 MOSFET 是由正電壓吸引少數載子產生反轉通道導通。而 JL-FET 使用正電壓目的在於消除閘極與通道接觸後之功函數差距產生的空乏區，使原本摻雜的高濃度載子回流來啟動元件。

2-2 高介電係數空間層之電性影響

2-2.1 傳統電容器

傳統電容器是由兩片平行金屬板與中間的絕緣介電質所組成，藉由在兩金屬板端施加的電位差來達到電荷儲存等功能。電容值的大小決定於介電質的介電常數、平行板間的距離($C = \epsilon \frac{A}{d}$ ， $\epsilon = \epsilon_r \epsilon_0$)與平行板面積，若其他條件不變之下，介電質的介電常數越高則電容器的電容值越高。

介電常數表電介質在電場中貯存電荷的相對能力，在一外電場下，介電質內材料之分子或原子受外電場影響形成之微觀現象，即正電荷朝著外電場方向稍微偏移，負電荷朝著反方向偏移，正負電荷的相對位移會形成電偶極矩如下圖 Fig. 6，這現象稱為「電子極化」(electronic polarization)，極化現象造成外電場與電偶極矩的耦合減弱整個介電質裡的電場，從而給出介電質的物理行為。故 κ 值越大，介電質受電場極化程度越強，於兩端可累積的電荷量越多，電容率可以越大。

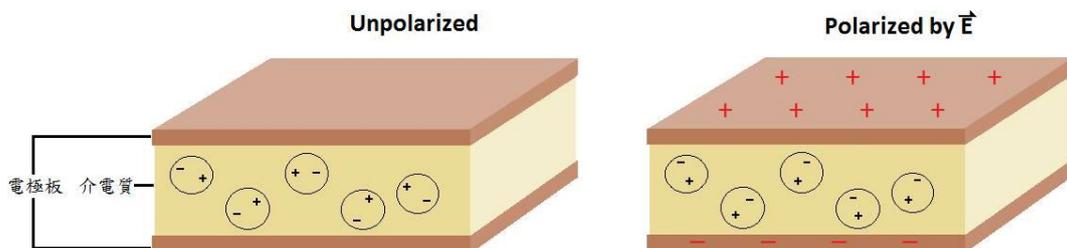


Fig. 6 電容結構及其極化現象 (a)未極化 (b)極化後

2-2.2 MOS 電容器

此外半導體元件-金屬氧化物半導體場效電晶體(MOSFET)結構中金屬-氧化物-半導體(MOS)即為一個電容結構，兩極由金屬-半導體或半導體-半導體構成，氧化物則作為介電質，若將 MOS 電容在兩側建構源/汲極則形成所謂的 MOSFET。

如下圖 Fig. 7 MOS 電容在此作為元件開關，藉由對電容施加壓來控制通道的形成與否，當一電壓施加於電晶體之閘極上，可視為於一電容上給一電壓差，此時電容兩端開始累積電荷，若閘極電壓持續加大，通道開始空乏直到其少數載子大於多數載子形成反轉，此時表面電位 ϕ_s 等於 $2\phi_f$ ，閘極電壓即為其臨界電壓，通道裡積聚大量載子即可使源極與汲極導通產生電流 I_D 。

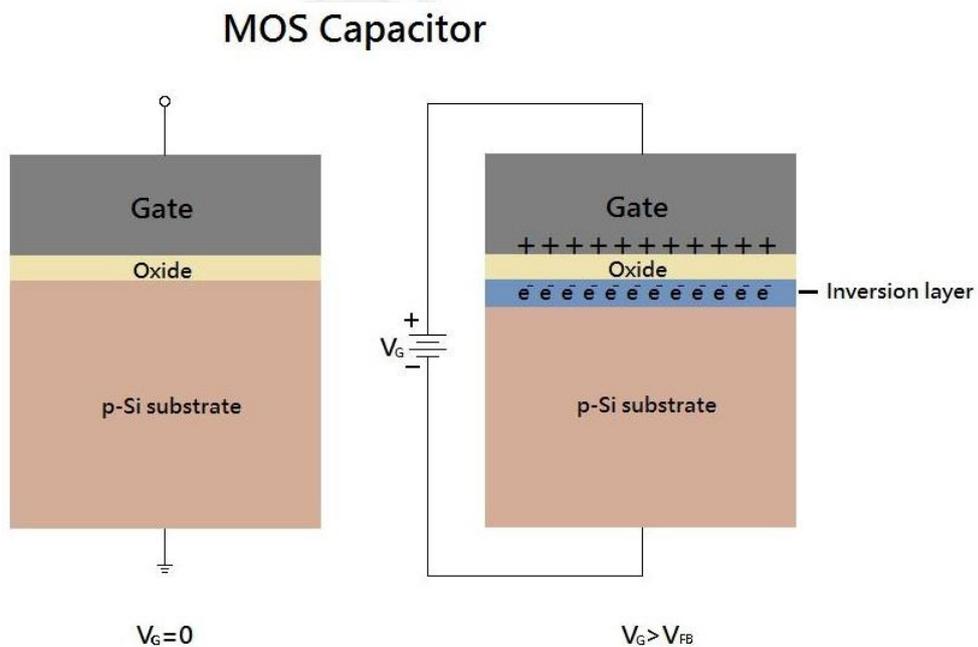


Fig. 7 MOS 電容器運作關係 (a) $V_G=0$ (b) $V_G>V_{FB}$

2-2.3 空間層之電性影響

空間層其實就像是一個電容器，由於介電常數越高電容值越大的緣故，在電晶體閘極兩側建構高介電常數介電質(Spacer)不只可於關閉狀態(off-state)時擴大通道空乏區抑制元件漏電流，於開啟(on-state)時亦可增加延伸區載子濃度。相較於 Low- κ 材料，我們利用 High- κ 材料來建構 Spacer 目的是因為其分子電極化強度較高，受極化介電質分子與外電場耦合後內部電場較小，因此 V_{ox} 較低，再依據下式(1)可得知 V_{ox} 越小，表面電位($e\phi_s$)越大，S.C.R.也隨之越大，因此 High- κ 空間層可以有效減少無接面電晶體關閉狀態的汲極漏電流，提升元件開關比。

$$e\phi_m - e\phi_s = eV_{ox} + e\phi_s \quad \text{— 式(1)}$$

當無接面電晶體為開啟狀態時，空間介電層的介電常數越高，邊緣電場值受高介電係數影響變得不可忽略，使空間層電容率增加，而讓閘極能更有效的控制通道載子濃度分布，側壁空間層延伸區通道中累積的載子濃度也隨之提升如下式(2)，因而 High- κ 側壁空間層可以有效提高無接面電晶體的工作電流 I_{on} ，改善短通道元件特性。

$$C = \epsilon \frac{A}{d} \quad , \quad Q = CV \quad \text{— 式(2)}$$

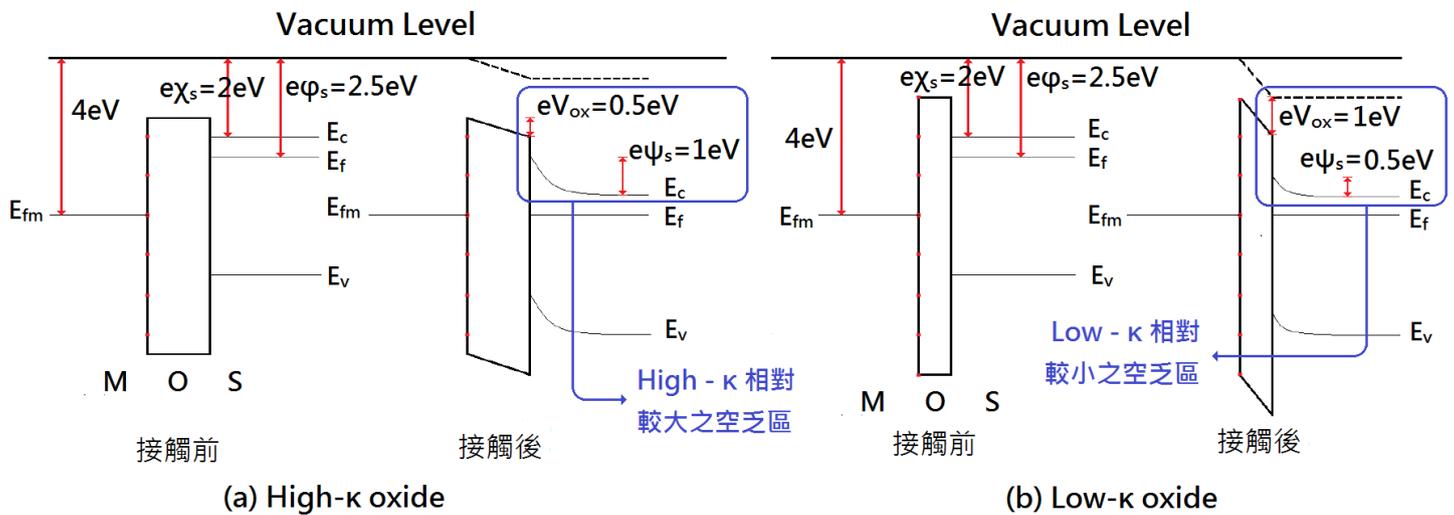


Fig. 8 Si 半導體之(a)High- κ 材料與(b)Low- κ 材料接觸之能帶圖分析

Fig. 8 為高、低介電係數氧化層之 MOS 電容結構接觸能帶變化示意圖，由於金屬與半導體間的功函數差等於其中氧化層電位差 V_{OX} 加上半導體的表面電位 ψ_s 式(1)，又由 2-2.3 小節我們可以推論 High- κ 材料較 Low- κ 材料具有較低的 V_{OX} ，所以我們進行推論假設，令 high- κ oxide $V_{OX}=0.5eV$ 、low- κ oxide $V_{OX}=1eV$ ，且在其他條件都相同下，半導體電子親和力 $\chi_s=2eV$ ，而功函數金屬與半導體分別為 $\phi_M=4eV$ 、 $\phi_S=2.5eV$ 。在利用能帶圖比較後發現使用 high- κ oxide 的 MOS 電容結構具有較大的表面電位，換而言之就是此能帶彎曲能產生一個較大的空乏區，降低元件漏電特性，也因此現今各種高介電係數氧化層會用來取代傳統的二氧化矽氧化層其中的原因之一。

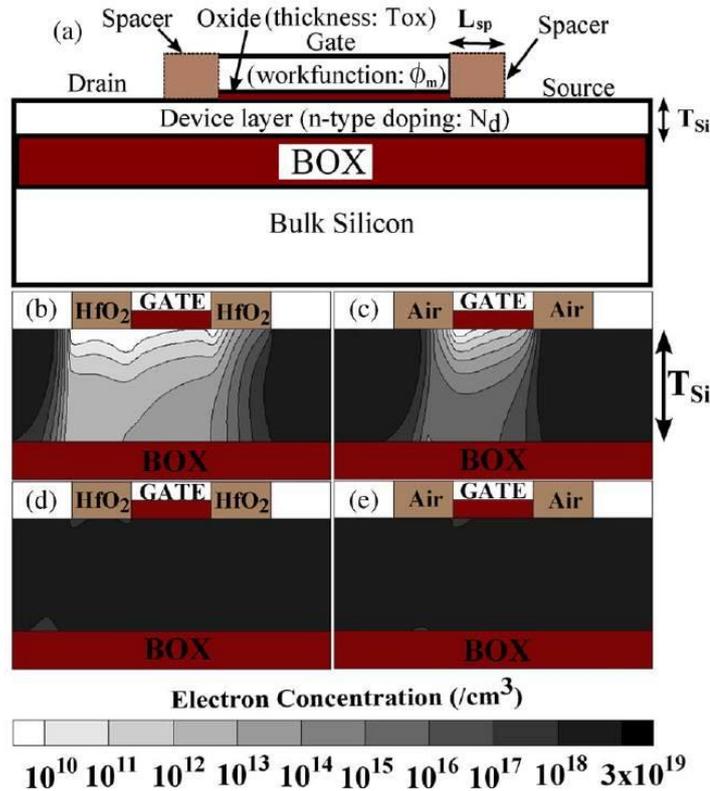


Fig. 9 (a)具空間層結構無界面電晶體 HfO_2 ($\kappa=21$) Air($\kappa=1$)。
 (b)與(c)off-state($V_{DD}=1V, V_{GS}=0V$)電子濃度分布圖。
 (d)與(e)on-state($V_{DD}=1V, V_{GS}=1V$)電子濃度分布圖。[5]

透過 Suresh Gundapaneni 等人所發表的文獻，由上圖 Fig. 9 [5] 可得知不同空間層 (HfO_2 ($\kappa=21$)、Air($\kappa=1$)) 元件結構會對關閉狀態通道載子濃度分布帶來明顯的影響如圖(b)(c)。空間層 κ 值愈高，能有效提升元件關閉狀態($V_G=0V$)閘極對通道的空乏能力，限制通道載子濃度，因而達到降低 JL-FET 關閉漏電流(b)。而於工作狀態時(d)(e)，導通主要為體電流(body-current)，與傳統 MOSFET 的表面反轉電子通道不同，而影響通道載子濃度主要取決於初始摻雜濃度，故整體輸出電流 JL-FET 能較傳統 MOSFET 來的優秀，而施加電壓主要目的為抵銷閘極與通道的功函數差距造成的空乏效應。

第三章 元件製程步驟

3-1 高介電係數空間層無接面電晶體製作流程

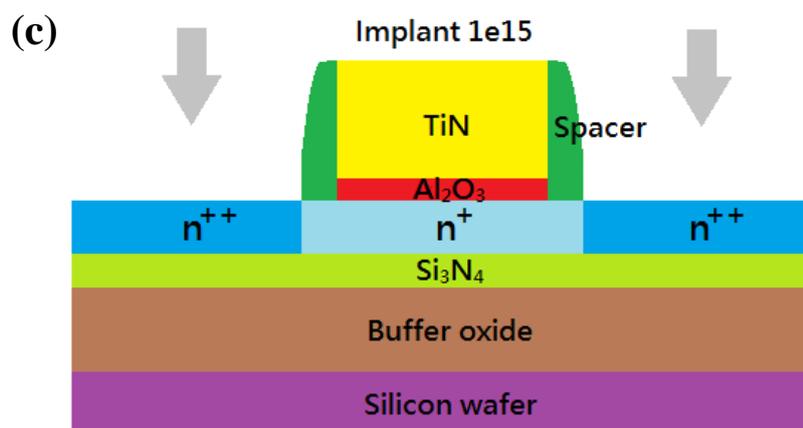
本章節，我們也介紹實際製程方面關於無接面電晶體相關之空間層結構製作，目的在於探討空間層結構製作的可行性。JL-FET 實驗元件製作流程，首先於矽基板濕氧化學氣相沉積(LPCVD)長出 200nm Buffer oxide，再利用電漿輔助化學氣相沈積(PECVD) 50 nm 氮化矽 (Si_3N_4)。沈積 α -Si 並進行 N 型摻雜，利用固相結晶法(SPC, 600°C 24 hrs)將其轉換成 n^+ poly-Si 完成無接面主動層通道，再使用原子層沉積技術(ALD)定義 Al_2O_3 介電層並濺鍍金屬閘極 Fig. 10(a)。接著定義閘極並使用電漿輔助化學氣相沈積空間層材料(b)，再進行乾蝕刻殘餘物空間層形成，並進行源汲極的歐姆接觸摻雜處理(c)，然後沉積氧化保護層與定義接觸窗口，最後進行後段金屬連線製程(d)，完成具空間層結構之無接面電晶體，流程如下圖。



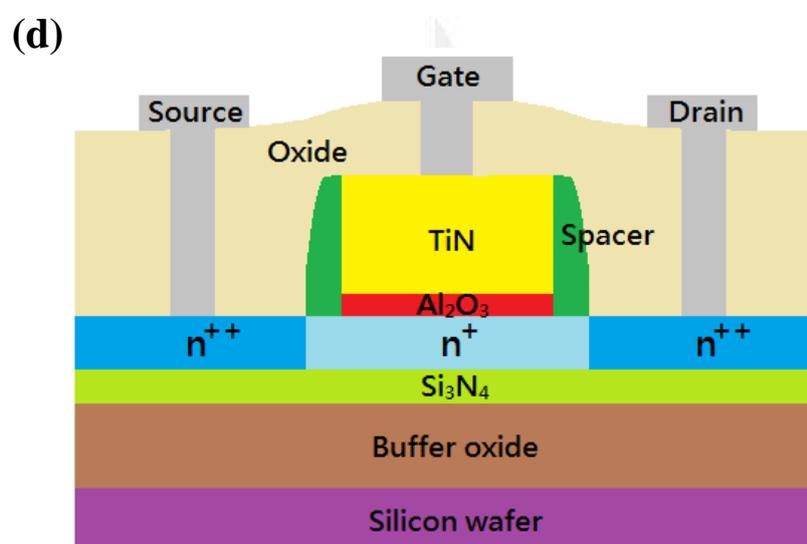
定義不同元件結構層



蝕刻形成閘極，然後使用 PECVD 沉積 60 nm 空間層材料



蝕刻出 SiN 空間層，接著再進行磷佈植



最後 Al-Si-Cu 層形成

Fig. 10 步驟(b)、(c)與(d)不同空間層 JL-FET 實驗元件製作流程圖接續上一頁

第四章 TCAD 模擬結果與討論

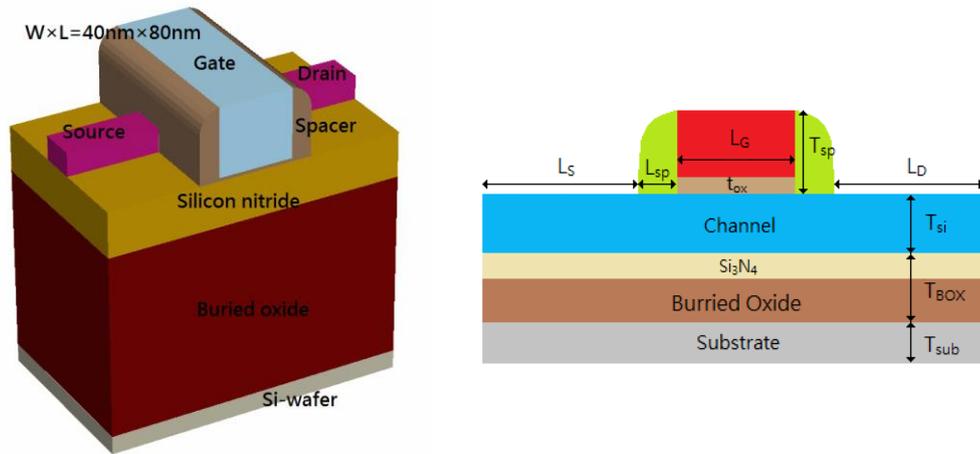


Fig. 11 Device JL-FET with spacer 模擬結構示意圖

4-1 元件模擬結構

上圖 Fig. 11 為模擬 JL-FET 元件結構示意圖，使用半導體模擬軟體 TCAD Sentaurus 進行 3D 鰭式元件最佳化模擬，並針對不同介電常數之空間層材料做元件電性探討，元件模擬參數如下表 Table II。

Table II Device JL-FET Simulation Parameter

Parameter	n-channel JL-FET Value
Gate Length (L_G)	80 nm
Device width (W)	40 nm
Spacer Length (L_{sp})	21 nm
Source/Drain Length ($L_{S/D}$)	100 nm
Gate Oxide Thickness (t_{ox})	3.5 nm
Spacer Thickness (T_{sp})	53.5 nm
Device layer Thickness (T_{Si})	26 nm
Burried Oxide Thickness (T_{Box})	250 nm
Substrate Thickness (T_{sub})	20 nm
Spacer material	SiO_2 、 Si_3N_4 、 HfO_2
Gate Oxide material	Al_2O_3
Device layer Doping level	$N_D=5e12 \text{ cm}^{-2}$
Source/Drain Peak Concentration ($N_{S/D}$)	$1e15 \text{ cm}^{-2}$
Gate Work function ($e \phi_m$)	4.65 eV、5.2eV

4-2 JL-FET 通道載子濃度模擬特性分析

4-2.1 JL-FET off-state 通道電子濃度分布

如下圖 Fig. 12、Fig. 13，閘極功函數為 4.65eV，比較不同空間層元件結構，可以發現 HfO_2 ($\kappa=25$) 空間層之 JL-FET 能較 SiO_2 ($\kappa=3.9$) 空間層更抑制元件關閉狀態通道載子濃度，因此有較低的漏電流表現。

Off-state ($V_D=0.1\text{V}$, $V_G=0\text{V}$)

Gate Material Workfunction = 4.65eV

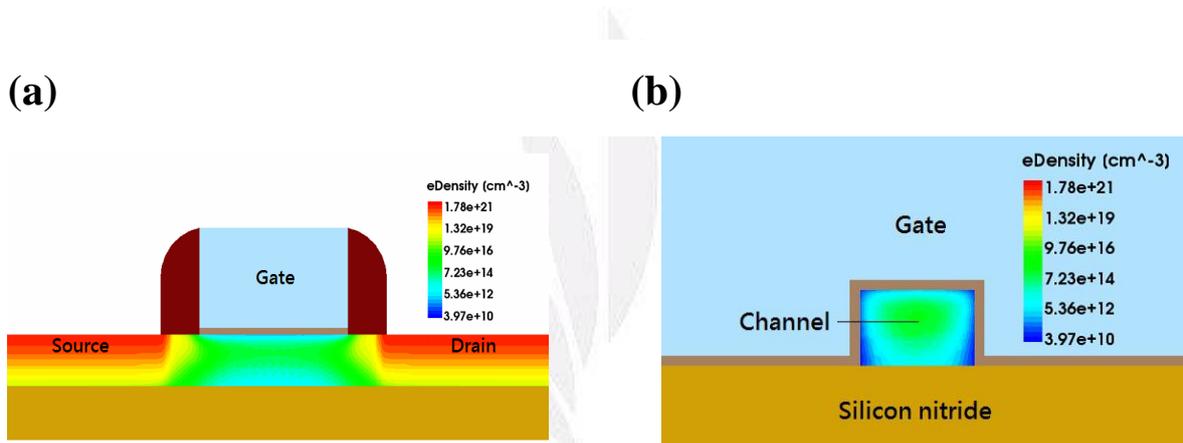


Fig. 12 JL-FET with SiO_2 spacer off-state 通道(a)縱切面、(b)橫切面電子濃度分布

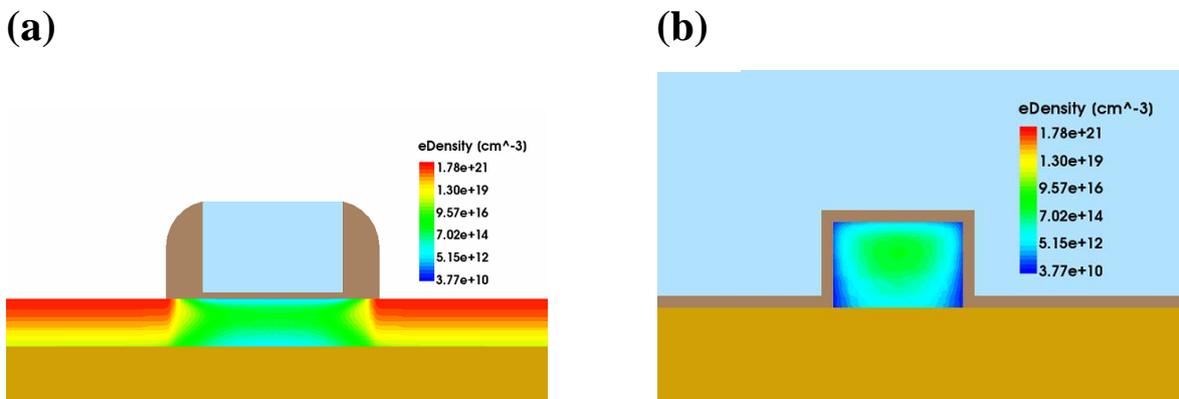


Fig. 13 JL-FET with HfO_2 spacer off-state 通道(a)縱切面、(b)橫切面電子濃度分布

Fig. 14、Fig. 15 為閘極功函數 5.2eV 之不同空間層元件關閉通道載子分佈情形，HfO₂ 空間層元件還是有較低的關閉通道載子濃度，符合我們的預期結果。而藉由模擬結果觀察，空間層結構能改善元件關閉時通道的載子濃度分佈，且空間層介電係數愈高，濃度愈低，故可以節省元件功率消耗。

Off-state ($V_D=0.1V$, $V_G=0V$)
Gate Material Workfunction = 5.2eV

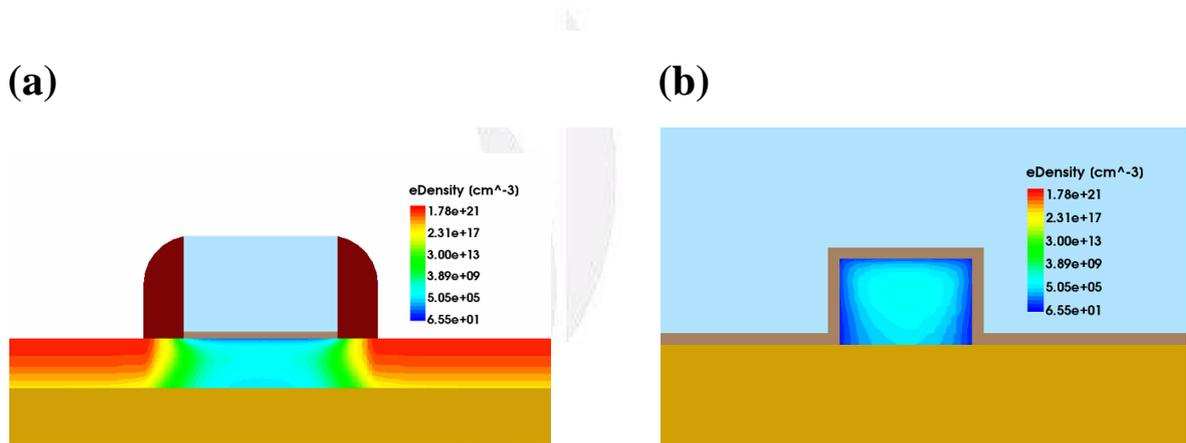


Fig. 14 JL-FET with SiO₂ spacer off-state 通道(a)縱切面、(b)橫切面電子濃度分布

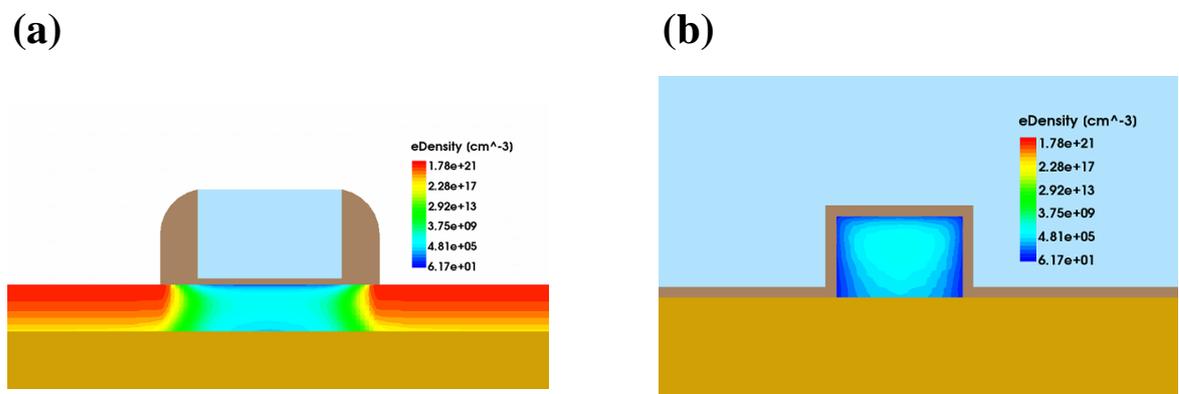


Fig. 15 JL-FET with HfO₂ spacer off-state 通道(a)縱切面、(b)橫切面電子濃度分布

4-2.2 JL-FET on-state 通道電子濃度分布

Fig. 16、Fig. 17 閘極功函數 4.65eV，不同空間層 JL-FET 工作狀態通道電子濃度分佈圖，高介電係數空間層(Fig. 17)除了改善漏電特性，還能透過其高的等效側壁電容，累積更多的通道電子，能增加輸出電流、改善 on/off 電流開關比。

On-state ($V_D=1V$, $V_G=1.5V$)
Gate Material Workfunction = 4.65eV

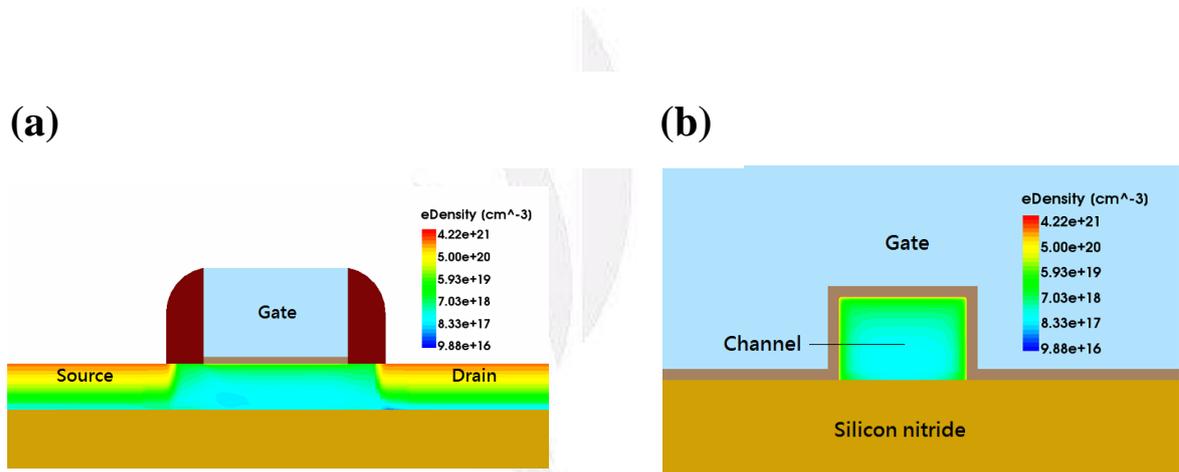


Fig. 16 JL-FET with SiO₂ spacer on-state 通道(a)縱切面、(b)橫切面電子濃度分布

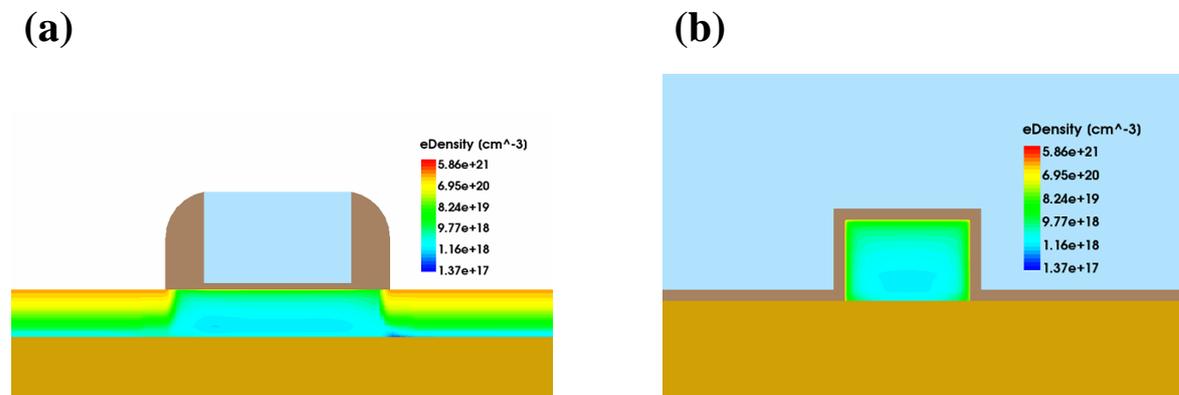


Fig. 17 JL-FET with HfO₂ spacer on-state 通道(a)縱切面、(b)橫切面電子濃度分布

Fig. 18、Fig. 19 閘極功函數 5.2eV，不同空間層 JL-FET 工作狀態通道電子濃度分佈圖，由於高功函數閘極的影響，通道整體電子濃度分佈較平均，但還是可以明確觀察到整個主動層高濃度的傳輸載子 (body-current)，與傳統 MOSFET 表面反轉電子通道不同。而空間層介電常數愈高，電子濃度愈濃，帶來更佳的輸出電流。

On-state ($V_D=1V$, $V_G=1.5V$)
Gate Material Workfunction = 5.2eV

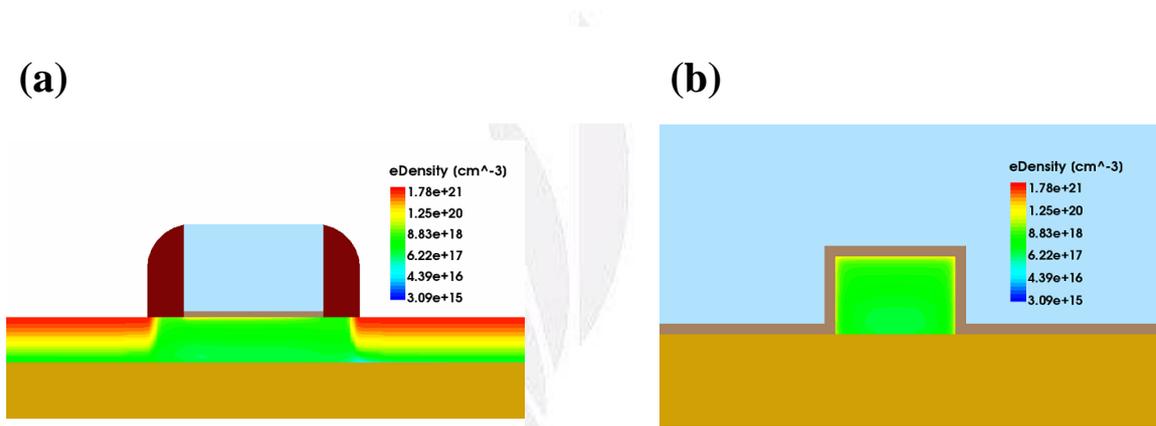


Fig. 18 JL-FET with SiO₂ spacer on-state 通道(a)縱切面、(b)橫切面電子濃度分布

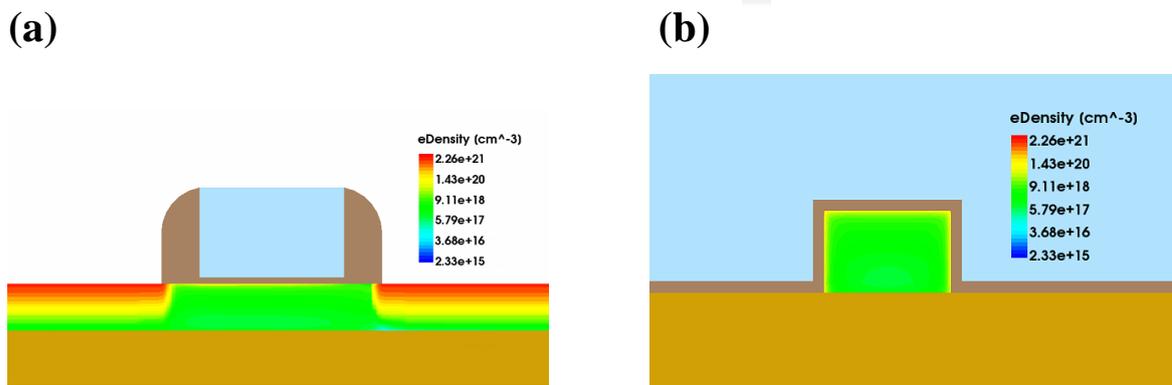


Fig. 19 JL-FET with HfO₂ spacer on-state 通道(a)縱切面、(b)橫切面電子濃度分布

4-3 JL-FET with spacer I-V 模擬特性曲線

瞭解通道載子濃度分佈概況後，為了更進一步明確探討 JL-FET 相關電性表現，本章節我們透過半導體模擬軟體 Synopsys TCAD Sentaurus 進行 I_D-V_D 、 I_D-V_G 等曲線模擬進行理論推導的驗證，主要針對(4-3.1 ~ 4-3.4) non spacer、 SiO_2 spacer、 Si_3N_4 spacer、 HfO_2 spacer 等對 JL-FET 帶來的電性變化，觀察重點為側壁等效電容是否能帶來輸出電流的提升，以及關閉狀態不同空間層的電流抑制效果，並且分析理論與模擬結果趨勢分佈正確性。



4-3.1 JL-FET I-V 模擬特性曲線

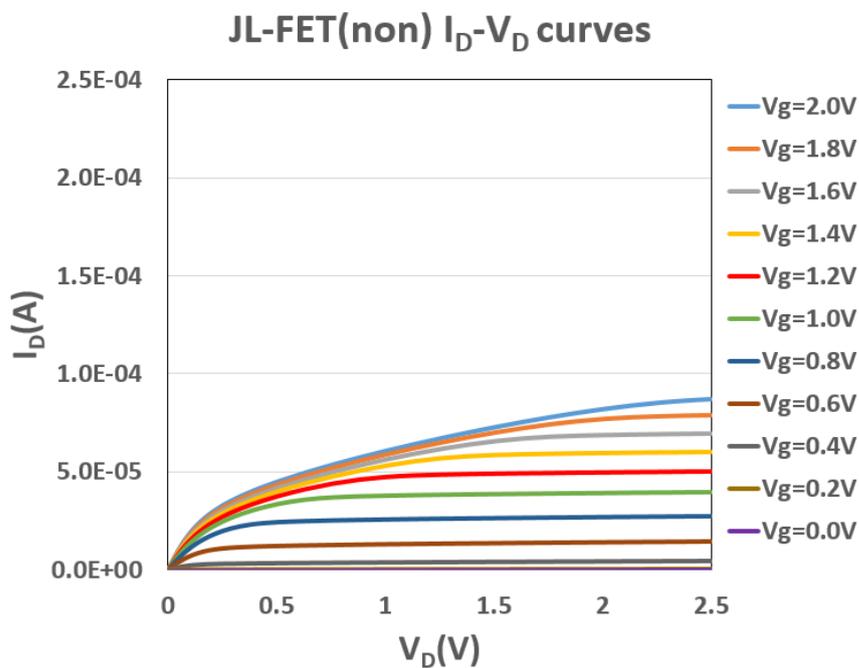


Fig. 20 JL-FET non spacer I_D - V_D characteristics curve.

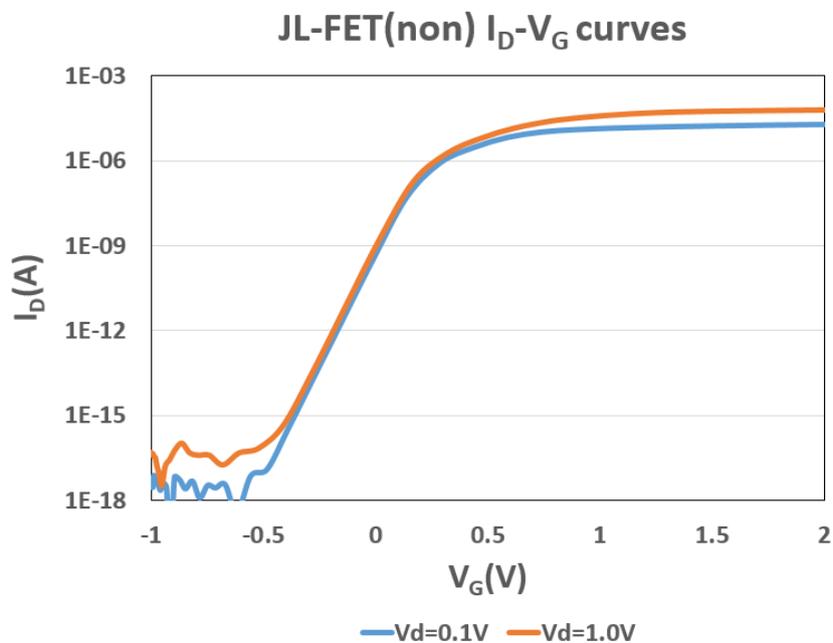


Fig. 21 JL-FET non spacer I_D - V_G characteristics curve.

4-3.2 JL-FET SiO₂ 空間層 I-V 模擬特性曲線

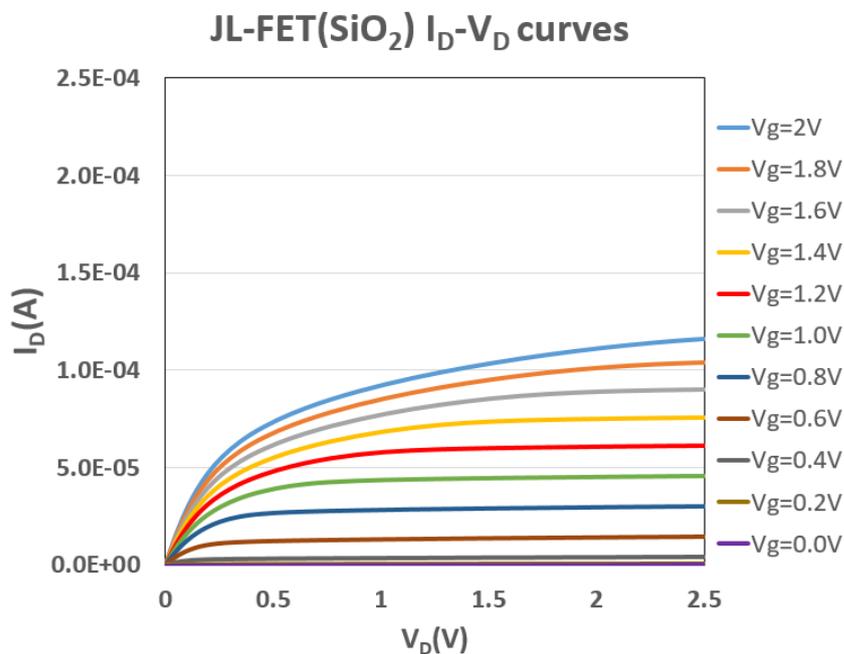


Fig. 22 JL-FET SiO₂ spacer I_D-V_D characteristics curve.

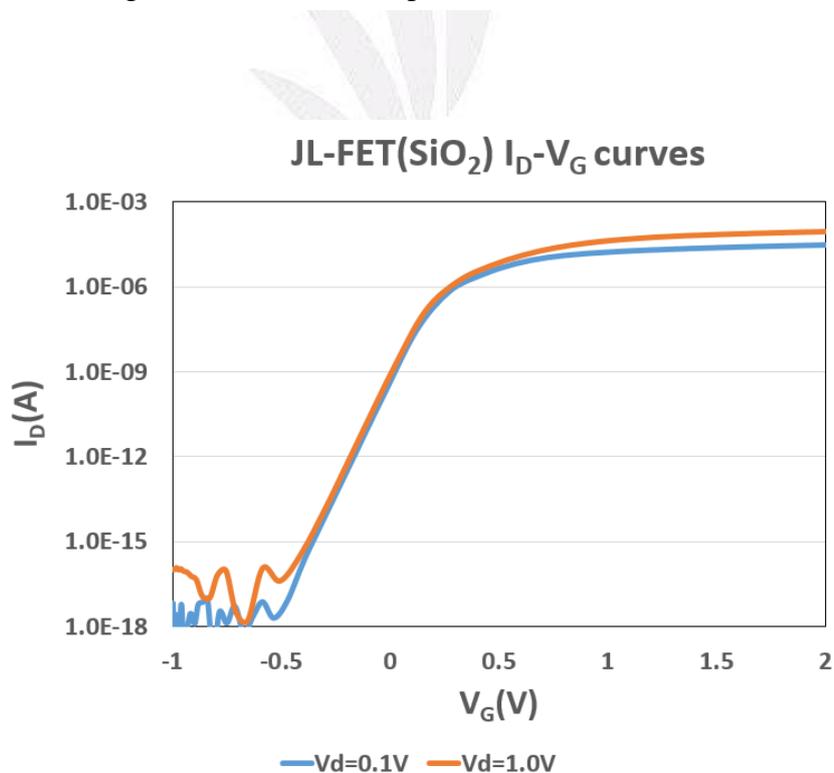


Fig. 23 JL-FET SiO₂ spacer I_D-V_G characteristics curve.

4-3.3 JL-FET Si₃N₄ 空間層 I-V 模擬特性曲線

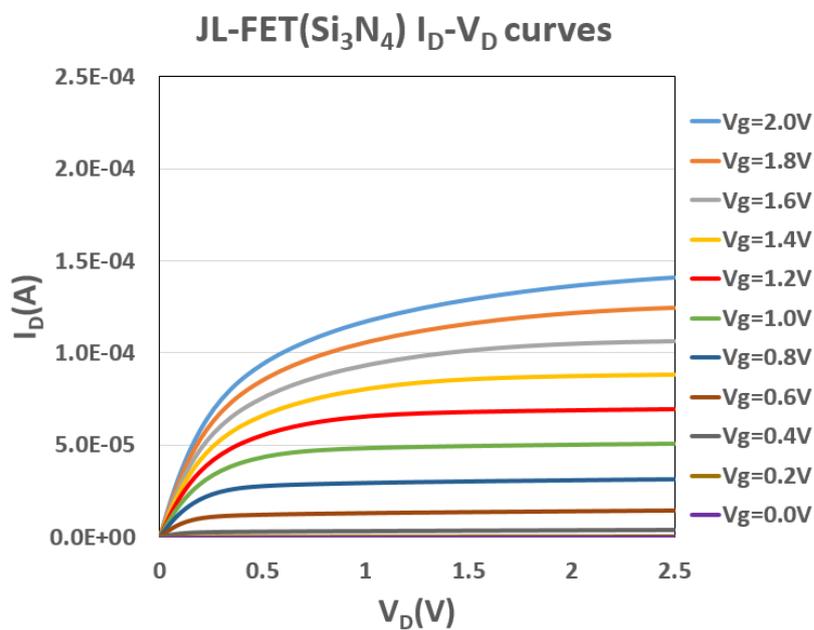


Fig. 24 JL-FET Si₃N₄ spacer I_D-V_D characteristics curve.

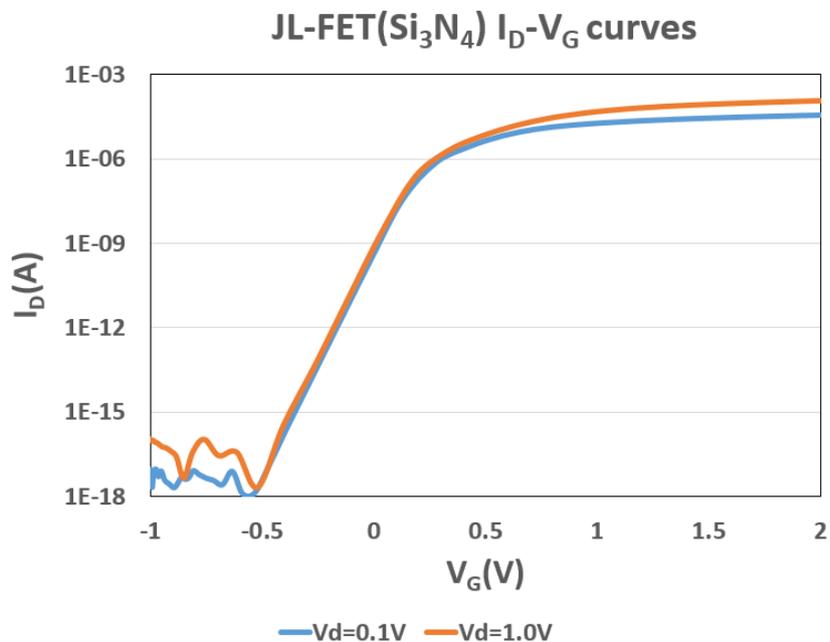


Fig. 25 JL-FET Si₃N₄ spacer I_D-V_G characteristics curve.

4-3.4 JL-FET HfO₂ 空間層 I-V 模擬特性曲線

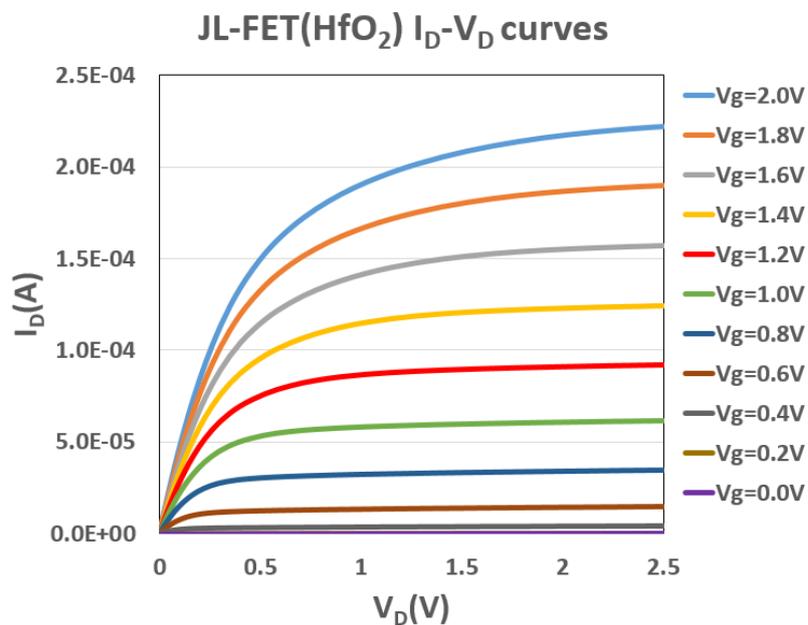


Fig. 26 JL-FET HfO₂ spacer I_D-V_D characteristics curve.

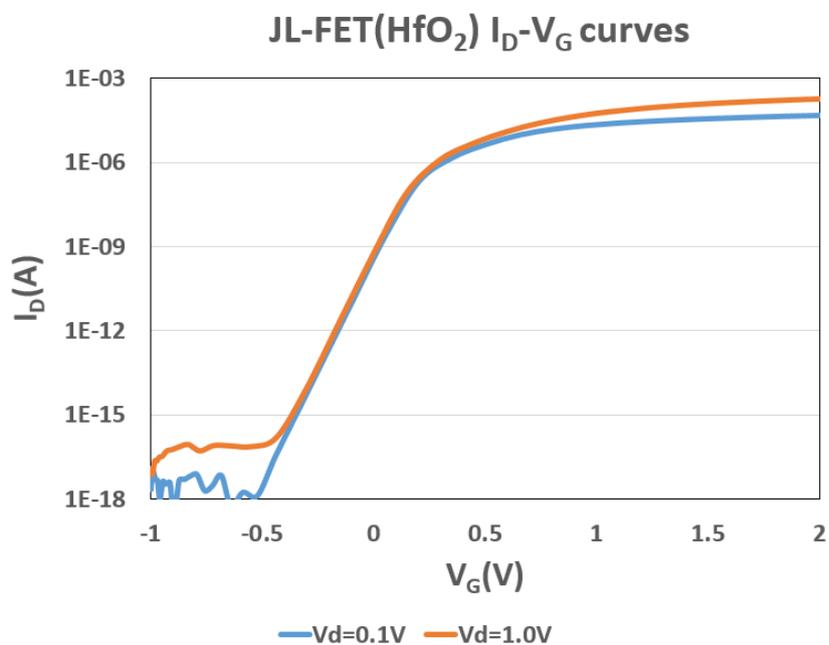


Fig. 27 JL-FET HfO₂ spacer I_D-V_G characteristics curve.

4-4 JL-FET 不同空間層 I-V 模擬特性曲線比較

如下圖(4-4.1) Fig. 29 不同空間層 I_D - V_D 特性曲線比較，在相同條件下，隨著空間層介電係數的提升，電流 I_D 也有明顯的增加，驗證了 High- κ spacer 能夠改善閘極邊緣電場效應(Fringing field effect)，透過高介電係數材料來提升閘極邊緣等效電容值如下圖 Fig. 28，以達到最有效的控制半導體行為，電容值愈大，於電容兩端累積的電荷量愈多，故空間層 κ 值越高能使電流 I_D 提升。

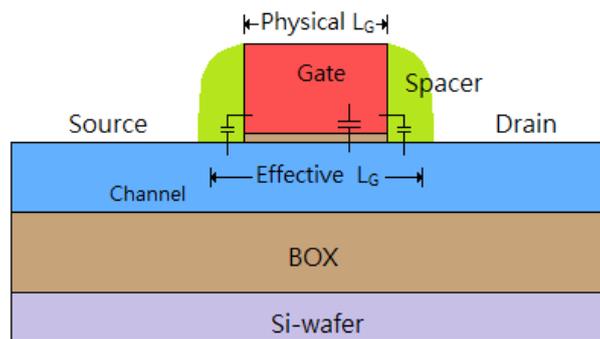


Fig. 28 JL-FET 側壁空間層等效電容示意圖

由圖(4-4.2)Fig. 30 不同空間層 I_D - V_G 特性曲線可以得知，模擬結果與我們的理論分析結果相符，具空間層之元件結構有較低的漏電流與較高的驅動電流，電性完全優於 non spacer 元件結構。然而空間層介電係數越高，越能有效降低元件漏電流，並且提升工作電流 I_{on} ，改善元件開關比(I_{on}/I_{off})、次臨界斜率(S.S.)，相當提升等效閘極長度，增加閘極控制力。

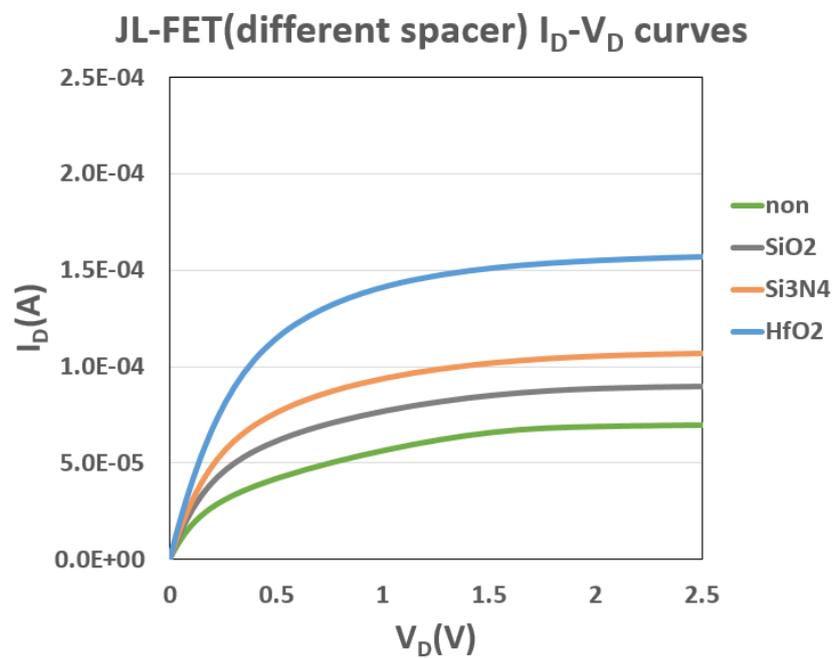
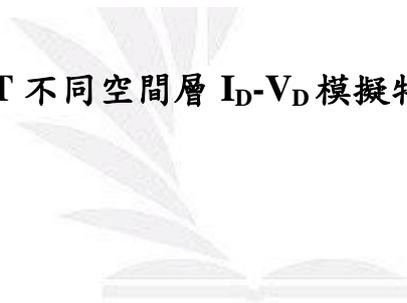


Fig. 29 JL-FET with different spacer I_D - V_D characteristics curve.

4-4.1 JL-FET 不同空間層 I_D - V_D 模擬特性曲線比較



4.4.2 JL-FET 不同空間層 I_D - V_G 模擬特性曲線比較

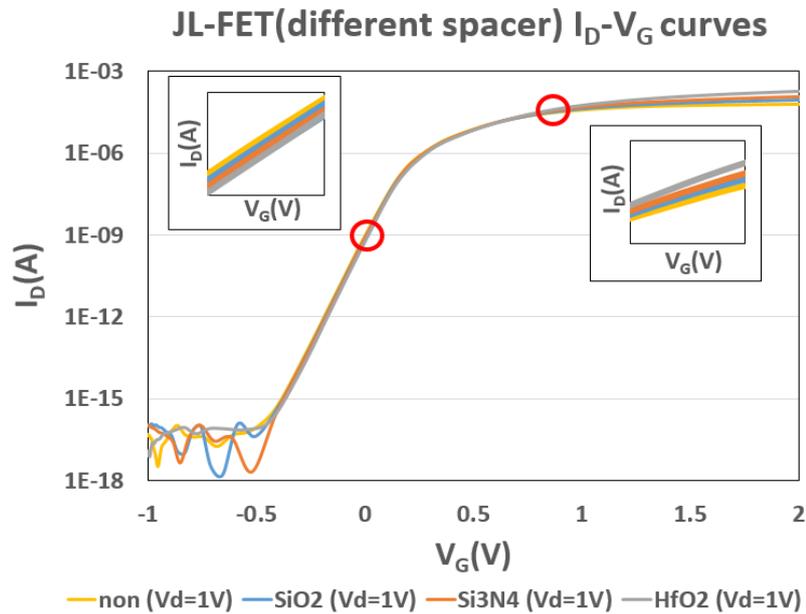


Fig. 30 JL-FET with different spacer I_D - V_G characteristics curve.

4-5 JL-FET 不同空間層模擬電流特性分析比較

由下表 Table III 我們進行相關模擬結果電流比較分析。在模擬結果方面，JL-FET 建構 SiO_2 spacer、 Si_3N_4 spacer、 HfO_2 spacer 空間層結構在 on-state 電流別得到 52%、92% 與 213% 的輸出電流改善。而在 off-state 漏電流分別下降了 14%、24% 與 65%，此結果與我們預期相符合，High- κ 空間層因側壁高電容而能累積較多載子所以有較大的驅動電流。關閉狀態藉由空間層而有較長的等效閘極長度，故 κ 值愈高，能有效抑制漏電流。

Table III JL-FET 不同空間層模擬電流特性分析比較

	Spacer	$I_{D(sat)}$ (A)	Increment (%)	I_{off} (A)	Decrement (%)	I_{on}/I_{off}
模擬	non	6.08×10^{-5}		4.54×10^{-16}		1.34×10^{11}
	SiO ₂	9.23×10^{-5}	52 %	3.99×10^{-16}	14 %	2.31×10^{11}
	Si ₃ N ₄	1.17×10^{-4}	92 %	3.45×10^{-16}	24 %	3.39×10^{11}
	HfO ₂	1.90×10^{-4}	213 %	1.61×10^{-16}	65 %	1.18×10^{12}

4-6 短通道 JL-FET non spacer vs. HfO₂ spacer DIBL effect

為探討高介電係數空間層 (HfO₂, $\kappa = 25$) 結構對 DIBL 效應造成之特性影響，針對短通道元件 ($L_G = 16 \text{ nm}$, $T_{Si} = 10 \text{ nm}$) 進行模擬討論。

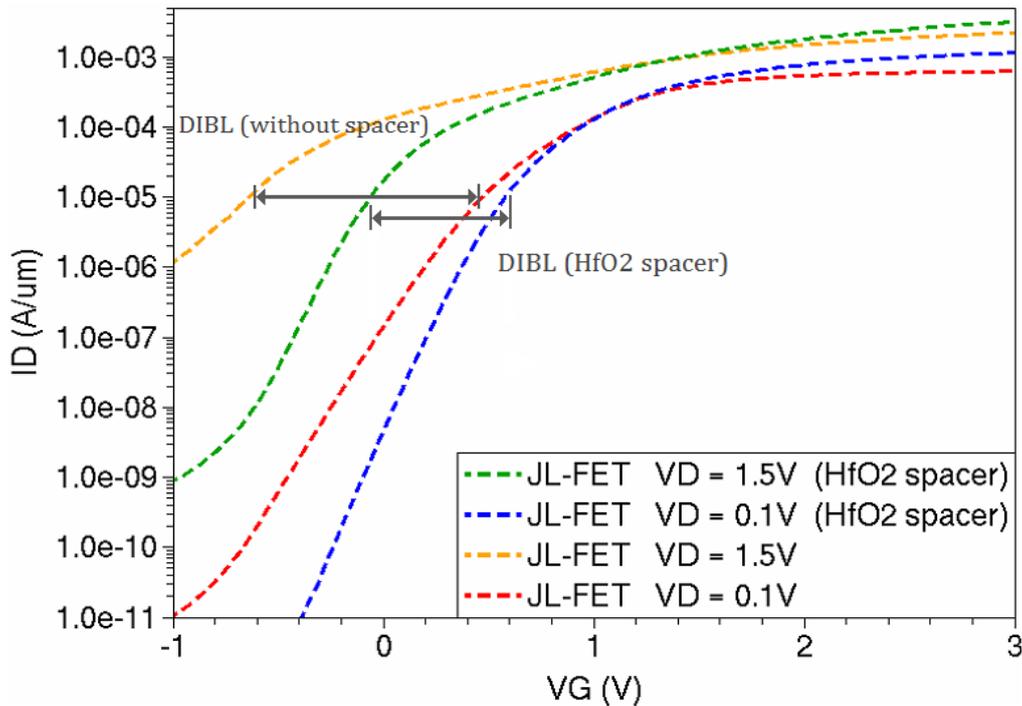
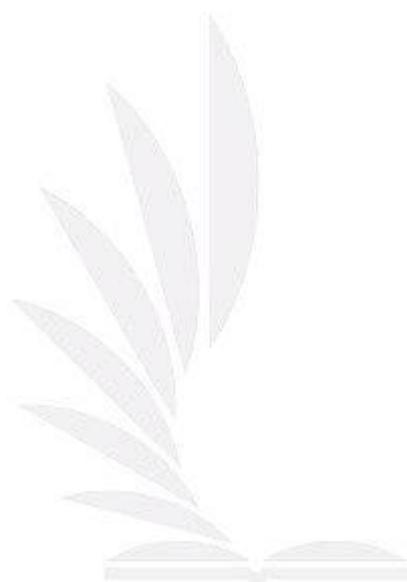


Fig. 31 JL-FET with HfO₂ spacer and non spacer DIBL effect

汲極以致位能障下降(DIBL, Drain induced barrier lowering)，是描述短通道電晶體出現的一種非理想效應，當通道長度 L_G 縮減到一定程度，隨著汲極與源極電壓 V_{DS} 的增加，使得其耗盡層互相靠近，源極電子更容易經由通道穿越到汲極，導致源極端能勢高度的降低，注入

汲極的電子數更多，影響閘極對通道的控制能力。由圖 Fig. 31 可以得知，High- κ Spacer 能明顯減少 JL-FET 元件 DIBL 效應，使元件關閉漏電流下降。



第六章 總結

針對高介電閘極側壁空間層無接面電晶體的特性研究，我們透過理論與模擬並行進行研究分析。JL-FET 不具傳統 MOS 源汲極的 P/N 接面，可大幅降低製程熱預算與簡化製程。在電性方面 JL-FET 由於通道高濃度的摻雜，具有較高的輸出電流，而具高介電空間層結構能使矽通道層於元件關閉狀態有較大的空乏區，降低關閉汲極漏電流；導通時藉由閘極側壁高電容因而累積較多載子而有較大的驅動電流，同時有較小的 DIBL 效應。我們從理論分析與軟體模擬測特性結果都表現出空間層介電常數越高，無接面電晶體具有越優良特性，故使用 HfO_2 空間層能對 JL-FET 帶來最佳的電性，在未來可做為次世代元件的重要應用，具相當重要的參考價值。

參考資料

- [1] Ji Hun Choi, Tae Kyun Kim, Student Member, IEEE, Jung Min Moon, Young Gwang Yoon, Byeong Woon Hwang, Dong Hyun Kim, and Seok-Hee Lee, Member, IEEE, “Origin of Device Performance Enhancement of Junctionless Accumulation-Mode (JAM) Bulk FinFETs With High-k Gate Spacers”, Electron Device Letters, IEEE, Vol.35, Issue 12, Pages 1182-1184, Oct. 2014.
- [2] Sanjeev Kumar Sharma, Balwinder Raj and Mamta Khosla, “Performance Enhancement of Junctionless Nanowire FET with Laterally Graded Channel Doping and High- κ Spacers”, IEEE 4th Global Conference Consumer Electronics (GCCE), Oct. 2015.
- [3] <http://nanotechweb.org/cws/article/tech/41883>
- [4] A. Bhattacharjee, M. Saikiran, A. Dutta, B. Anand, S. Dasgupta, “Spacer Engineering-Based High-Performance Reconfigurable FET With Low OFF Current Characteristics”, IEEE Electron Devices Society, March 2015.
- [5] S. Gundapaneni, S. Ganguly, A. Kottantharayil, “Enhanced Electrostatic Integrity of Short-Channel Junctionless Transistor With High- κ Spacers”, IEEE Electron Device Letters, Vol.32, Issue 10, Pages 1325-1327, Oct. 2011.
- [6] Zhibin Xiong, Student Member, IEEE, Haitao Liu, Member, IEEE, Chunxiang Zhu, Member, IEEE, and Johnny K. O. Sin, Senior Member, IEEE, “Characteristics of High- κ Spacer Offset-Gated Polysilicon TFTs”, IEEE Transactions on Electron Devices, Vol. 51, Issue 8, Pages 1304-1308, Aug. 2004.
- [7] Hui Zhao, Yee-Chia Yeo, Subhash C. Rustagi, Ganesh Shankar Samudra, “Analysis of the Effects of Fringing Electric Field on FinFET Device Performance and Structural Optimization Using 3-D Simulation”, IEEE Transactions on Electron Devices, Vol.5, Issue 5, Pages 1177-1184, May 2008.
- [8] Ming-Wen Ma, Student Member, IEEE, Chien-Hung Wu, Tsung-Yu Yang, Kuo-Hsing Kao, Woei-Cherng Wu, Student Member, IEEE, Shui-Jinn Wang, Tien-Sheng Chao, Senior Member, IEEE, and Tan-Fu Lei, “Impact of High- κ Offset Spacer in 65-nm Node SOI Devices”, IEEE Electron Device Letters, Vol. 28, Issue 3, Pages 238-241, March 2007.

- [9] Gang Chell, Rll Huang, Xing Zhang, Li Yang, DongyanZhao and Yangyllan Wang, “Spacer design between source/drain and gate for high-performance FinFET devices”, 7th International Conference on Solid-State and Integrated Circuits Technology, 2004.
- [10] Young Jun Yoon, Jae Hwa Seo, Ra Hee Kwon, Young In Jang, and In Man Kang, “InGaAs-based Junctionless Transistor with Dualspacer Dielectric for Low Power Loss and High Frequency Mobile Network System”, International Conference on Information Networking (ICOIN), Jan. 2016.
- [11] Yung-Chun Wu, Yi-Ruei Jhan, “3D TCAD Simulation for CMOS Nanoelectronic Device”, 台灣 國立清華大學, 滄海書局, 2016.
- [12] Synopsys TCAD Sentaurus Device User Guide Version H-2013.03, March 2013.
- [13] B.S Lim, M.K. Md Arshad, Noraini Othman, M.F.M. Fathil, M.F. Fatin and U. Hashim, “The Impact of Channel Doping in Junctionless Field Effect Transistor”, International Conference on Semiconductor Electronics (ICSE) IEEE, Aug. 2014.

