



逢甲大學學生報告 ePaper

報告題名：

垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計

The Optimum Gate Length Design of Vertical
Double-diffused Low Voltage Power MOSFET

作者：蔡志明、呂秉叡、戴明傑

系級：電子四甲

學號：D9149664

開課老師：簡鳳佐、李景松 老師

課程名稱：專題研究、化合物半導體元件

開課系所：電子工程系

開課學年：九十四學年度 第一學期



摘要

本專題研究 N 型 30 伏特垂直式雙擴散低壓功率金氧半場效應電晶體 (Vertical Double-diffused MOSFET, VDMOS) 之閘極長度的最佳化設計，閘極長度減小造成空乏區曲率降低與導致相鄰的 P-Well 距離縮小，促使晶胞 (Cell) 間的空乏區更緊密，使元件可操作在更高的偏壓下，有效提升元件的崩潰電壓 (BV_{dss})，也因單位晶胞 (Cell Pitch) 的面積減少而使其晶胞密度增加，增加了並聯電阻的數量，因此降低元件之導通電阻 ($R_{ds(on)}$)，但若過度縮小閘極長度，連帶增加了接面場效應電晶體 (Junction Field Effect Transistor, JFET(R_j)) 效應，反而大大的提高了元件之導通電阻。

以雙擴散製程 (Double-diffused process) 進行閘極長度的最佳化設計，經由 Integrated Systems Engineering (ISE) 製程及電性模擬軟體模擬，計算出元件之汲極對源極崩潰電壓 (BV_{dss})、汲極對源極導通電阻 ($R_{ds(on)}$)，兩個最主要的效能參數對閘極長度 (Gate Length) 調變，可得一個最佳化的閘極長度，使元件維持高崩潰電壓和低導通電阻。閘極長度的縮短，可使閘極電荷 (gate charge) 降低，因此元件的切換速度加快，開關功率損失也較小，並達到縮小元件尺寸以及降低成本的結果。

關鍵字：垂直式雙擴散功率元件、閘極長度、ISE TCAD

Abstract

In this paper, we research the optimum gate length design of the low-voltage power device of the 30 volts N-type VDMOS (Vertical Double-diffused MOSFET), the gate length is reduced, it will step-down the depletion region curvature, with the distance of the near P-well is shirked, the depletion region is more closer in Unit-Cell, it can make the device be operated under the higher bias, and effectual increase device's the breakdown voltage (BV_{dss}), when Cell-Pitch's area is decreased, then the density of the cells will increase, that can reduce the device's the on-resistance ($R_{ds(on)}$), but if excessively cut down the gate length, then cause the JFET (R_J) effect, and greatly raise the on-resistance of the device.

Under the Double-diffused process, making the optimum gate length design, and we use the "Integrated Systems Engineering" (ISE) software, in power device, the drain-source breakdown voltage (BV_{dss}) and the drain-source on-resistance ($R_{ds(on)}$), two most main parameters to the gate length modulation, the gate that can get an optimization length, making the device maintain the high breakdown voltage and the low on-resistance. When gate length is cut down, it can make the gate charge reduce, and increases the switching speed of the device, it can also lower the switch power loss, and reach the result of cutting down the device size and lowering cost.

Keywords: Power MOSFET, VDMOSFET, Gate Length, ISE TCAD

目 錄

摘要.....	1-
Abstract	2-
目錄.....	3-
圖錄.....	4-
表錄.....	6-
第一章 導論	01
1.1 功率半導體元件的應用與發展.....	01
1.2 功率金氧半場效應電晶體的種類及演化.....	05
1.3 垂直式雙擴散功率金氧半場效應電晶體的基本結構.....	09
1.4 垂直式雙擴散功率金氧半場效應電晶體的工作原理.....	13
1.5 垂直式雙擴散功率金氧半場效應電晶體的電性.....	20
第二章 實驗方法	27
2.1 垂直式雙擴散功率金氧半場效應電晶體的製程.....	27
2.2 垂直式雙擴散功率金氧半場效應電晶體的模擬參數.....	33
第三章 實驗結果	35
第四章 結論	43
參考文獻	44

圖 錄

圖 1-1	功率半導體元件在不同範圍電流、電壓上的應用.....	04
圖 1-2	水平式雙擴散金氧半場效應電晶體 (LDMOS) 之結構圖.....	07
圖 1-3	垂直式功率金氧半場效應電晶體三種結構之演化過程 由上而下分別為 VMOSFET、VDMOSFET、UMOSFET.....	08
圖 1-4	(a) 功率金氧半場效應電晶體之電路符號 (b) 垂直式雙擴散功率金氧半場效應電晶體單元晶胞 之結構.....	11
圖 1-5	垂直式雙擴散功率金氧半場效應電晶體在掃描式電子顯 微鏡 (Scanning Electron Microscope, SEM) 下的完整結構...	12
圖 1-6	垂直式雙擴散功率金氧半場效應電晶體之轉換特性曲線...	17
圖 1-7	垂直式雙擴散功率金氧半場效應電晶體之輸出特性曲線...	18
圖 1-8	垂直式雙擴散功率金氧半場效應電晶體 JFET 效應示意圖...	19
圖 1-9	雪崩崩潰 (Avalanche Breakdown) 電流路徑圖.....	24
圖 1-10	VDMOS 元件結構與導通電阻示意圖.....	25
圖 1-11	在低壓與高壓功率元件之各項電阻所佔比例	26
圖 2-1	VDMOSFET 的製程步驟	30
圖 2-2	垂直式雙擴散功率金氧半場效應電晶體半個晶胞結構.....	34

圖 3-1	雪崩型崩潰 (Avalanche Breakdown) 其離子化撞擊 (Impact Ionization) 的發生位置 (紅色部位)	37
圖 3-2	複晶矽閘極長度 6.0 μm 時的崩潰電壓	38
圖 3-3	(a) 複晶矽閘極長度 2.0 μm 時的臨限電壓 (b) 複晶矽閘極長度 4.0 μm 時的臨限電壓.....	39
圖 3-4	(a) 複晶矽閘極長度 3.0 μm 時的五條輸出特性曲線 (b) 複晶矽閘極長度 4.0 μm 時的五條輸出特性曲線.....	40
圖 3-5	(a) 閘極長度 (2.0 μm ~8.0 μm)、崩潰電壓 (BV_{dss}) 及導通電阻值 ($R_{ds(on),5V}$) 之變化趨勢 (b) 閘極長度 (2.0 μm ~8.0 μm)、崩潰電壓 (BV_{dss}) 及導通電阻值 ($R_{ds(on),10V}$) 之變化趨勢.....	42

表 錄

表2-1 VDMOSFET的主要製程 (Double-diffused Process)29

表3-1 閘極長度 (2.0 μm ~8.0 μm) 其崩潰電壓、臨限電壓
及導通電阻 ($V_{GS}=5\text{V}$ 、10V) 之值41



第一章 導論

1.1 功率半導體元件的應用與發展

功率半導體元件 (Power Semiconductor Device) 在汽車電子系統、充電器、交直流電源轉換器、伺服馬達驅動器、不斷電系統、電子安定器、電腦主機板等均有其應用。功率半導體元件在使用上，包括了很多不同範圍的電流、電壓及頻率上的應用，如圖1-1，近幾年隨著高頻電路的發展，功率元件在高頻的表現上成為一個重要的課題，在高頻的切換過程中，減少元件閘極電荷，加快切換速度以降低切換時的耗損。1970 年代，閘流體 (Thyristor)，閘極關閉閘流體 (Gate Turn-Off thyristor, GTO thyristor) 和雙載子功率電晶體 (Bipolar power transistor) 為三種最主要的功率半導體元件。閘流體由於具有相當高的電流及電壓的承受力，而被廣泛的應用在高電壓直流傳輸功率轉化器 (high transmission power converter)。由於高精準度的微影技術 (patterning process) 和元件製程的進步，閘極關閉閘流體也被應用在高功率的電路中。和閘流體比較起來，在同樣的額定功率下，閘極關閉閘流體的體積較小，而且應用在功率轉換器時 (power converter) 會有較高的功率效率。近年來，一些高功率元件結合 MOS 結構和閘流體元件設計的金氧半控制閘流體 (MOS Controlled Thyristor) 元件也有長足的發展；這些新的元件被認為在未來高功率

應用上會非常的熱門，而DMOS正是其中的一種。

在功率電晶體尚未被發展之前，對於高速度、中低功率之應用元件只有功率雙載子電晶體可被拿來使用。功率雙載子電晶體在 1950 年代初期被發展出來，目前已具有數百安培的電流操作能力，並且耐壓可達 600V 以上，功率雙載子電晶體雖擁有吸引人的額定功率（power rating），但在操作特性上仍然有幾個缺點，而最大問題則是其雙載子所存在之再複合問題，導致其切換速度無法跟上高頻電路所需要而逐漸式微。功率金氧半場效應電晶體最大的優點就是控制信號被應用在一個金屬閘極上，這個金屬閘極從半導體表面被一層絕緣層二氧化矽（ SiO_2 ）所隔離，使得元件的輸入阻抗非常高，這將使得閘極漏電流非常低，此外，不需要複雜的輸入驅動電路，並且由於是以單載子來傳導電流，使得元件在切換時，沒有如雙載子電晶體中少數載子儲存的現象，可操作於很高的頻率，並且其電流與溫度之負溫度係數，能增加元件操作時的穩定性，不會因為熱跑脫（thermal runaway）的問題，造成元件過熱燒毀。使功率金氧半場效應電晶體在 1970 年代發展後，取代了雙載子接面電晶體，而成為許多應用上的主要元件。

功率金氧半場效應電晶體依其耐壓程度，可分為高壓元件及低壓元件，主要區分方式是以 100V 為分水嶺，高於 100V 者為高壓元件，

反之則為低壓元件。一般 30V 之低壓功率金氧半場效應電晶體，在元件邊緣終端區沒有保護環 (guard ring) 的設計，這將使得元件主體直接承受崩潰電壓，如何使元件在切換瞬間遭遇大的電壓與電流變化時，不使元件寄生雙載子電晶體導通，造成元件的損毀，以及在元件高速切換下，減少功率損失、增加元件切換速度，這都是元件設計時必須解決的問題。



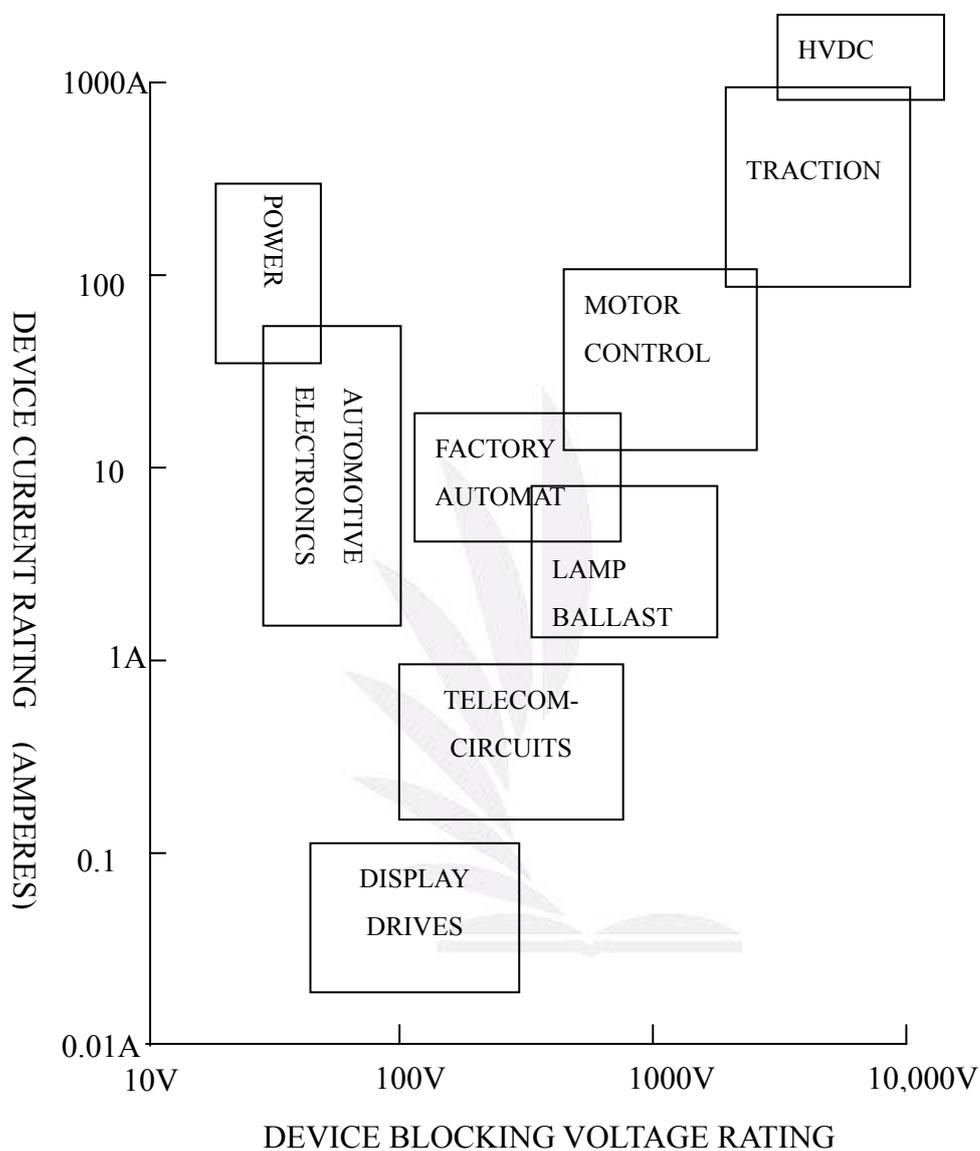


圖1-1 功率半導體元件在不同範圍電流、電壓上的應用。

1.2 功率金氧半場效應電晶體的種類及演化

功率金氧半場效應電晶體依其結構可分兩種，一種是水平式雙擴散金氧半場效應電晶體（Lateral Double-diffused MOSFET, LDMOSFET），如圖1-2；另一種是垂直式雙擴散金氧半場效應電晶體（Vertical Double-diffused MOSFET, VDMOSFET），其中較常見的垂直式金氧半場效應電晶體主要為以下三種結構：VMOSFET、UMOSFET、VDMOSFET。本研究只針對VDMOSFET的結構做分析。

垂直式功率金氧半場效應電晶體三種結構之演化過程，如圖1-3。在1983年時，Pelly在其論文中曾描述功率金氧半場效應電晶體的製造技術，基本上是由MOS的技術發展而來；在早期，為了改善元件的崩潰電壓（Breakdown Voltage）和額定電流（current rating），使用雙擴散製程技術（Double-diffused process）的方式來設計，並將汲極（drain）端點置於元件的下方。第一個量產的功率金氧半場效應電晶體是利用在矽表面上蝕刻出V字型的溝槽而製成的VMOS；1979年，Templey在其研究中提出由於製程上的問題，加上V字型的溝槽的尖端存在的高電場所引起的崩潰電壓降低的現象，因此VMOS元件的結構逐漸被VDMOS元件的結構所取代。但是VDMOS也有其缺點，為了消除VDMOS中的JFET（ R_J ）效應，便發展出溝槽式閘極（trench gate）的結構，溝槽式閘極電晶體雖然消除了VDMOS中的JFET效應，

但溝槽蝕刻技術也成為溝槽式電晶體最關鍵的技術，溝槽式閘極是藉由反應離子蝕刻（Reactive Ion Etch, RIE）來形成，而且其底部轉角處的電場比V型溝槽的尖端小很多。由於使用溝槽蝕刻技術，使得 R_J 電阻不存在，並由於單位晶胞所佔面積減小，而增加單位面積晶胞數量，使得溝槽式閘極元件的導通電阻大大的減少。



垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計

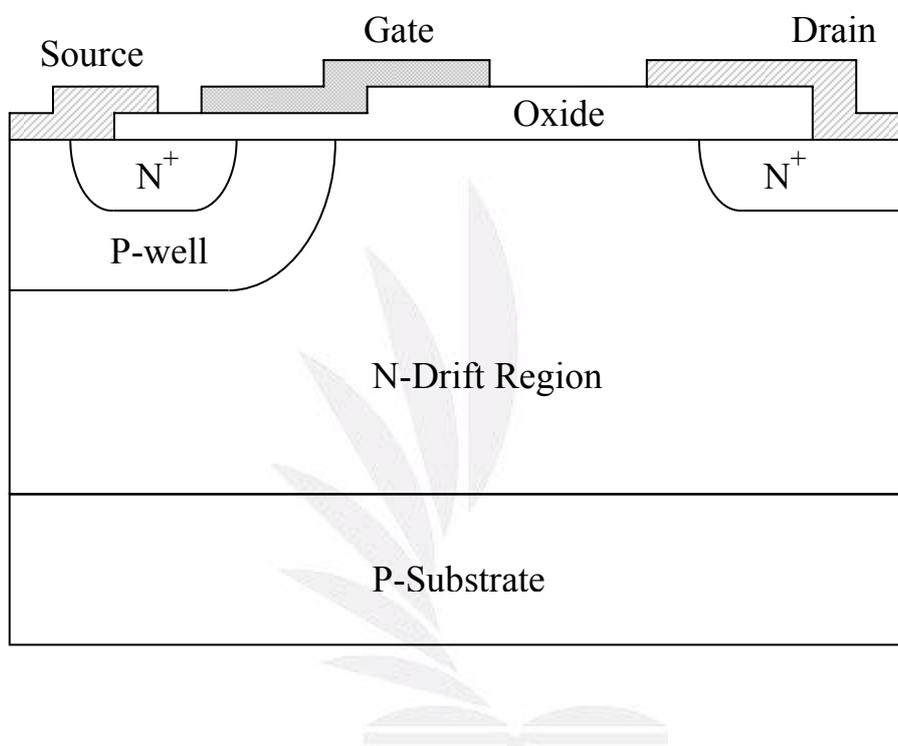


圖1-2 水平式雙擴散金氧半場效應電晶體（LDMOS）之結構圖。

垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計

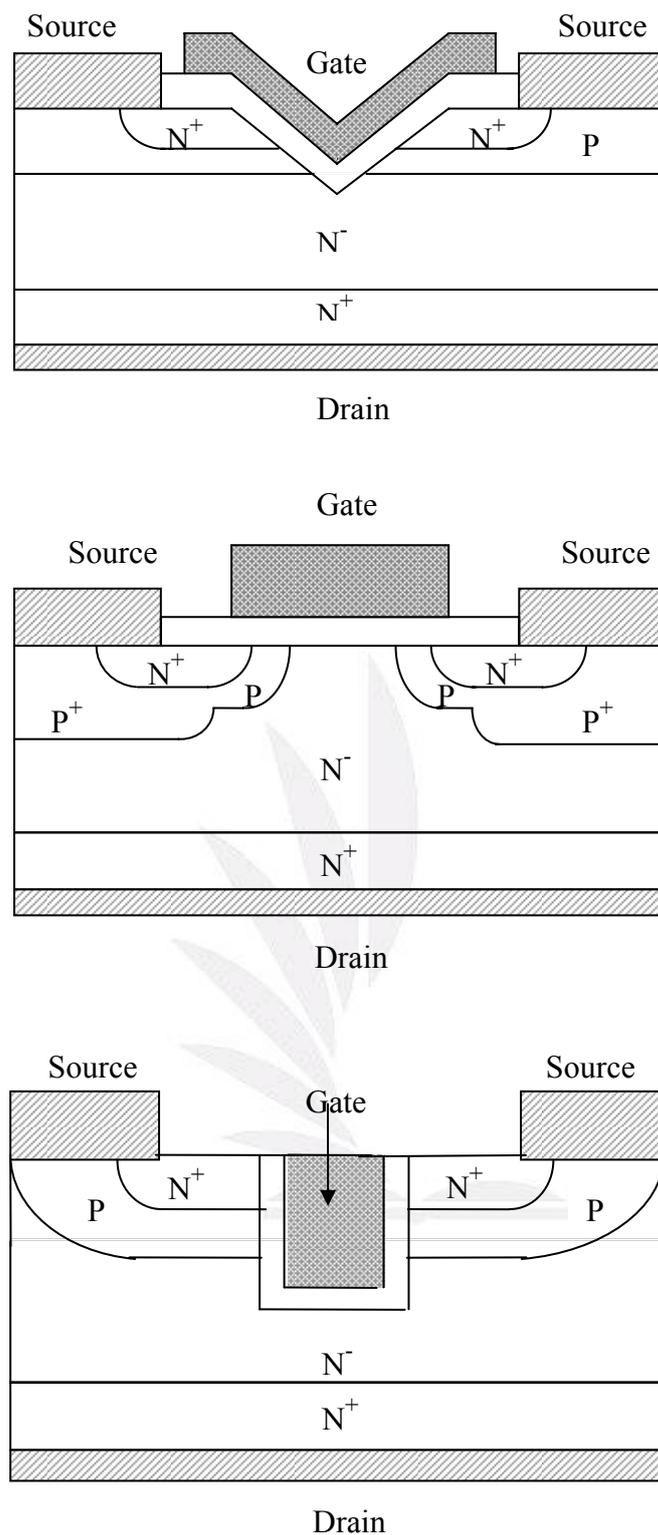


圖1-3 垂直式功率金氧半場效應電晶體三種結構之演化過程

由上而下分別為VMOSFET、VDMOSFET、UMOSFET。

1.3 垂直式雙擴散功率金氧半場效應電晶體的基本結構

垂直式雙擴散功率金氧半場效應電晶體的等效電路如圖 1-4 (a) 所示，而其單元晶胞之結構如圖 1-4 (b) 所示，它是一個三端點的元件：源極 (Source)、閘極 (Gate) 和汲極 (Drain)；而一個功率晶片是由許多功率金氧半場效應電晶體基本單元並聯起來。其在掃描式電子顯微鏡 (Scanning Electron Microscope, SEM) 下的完整結構，如圖 1-5。

圖 1-4 所列出的垂直式雙擴散金氧半功率電晶體為加強型 n 通道元件，最底層為汲極金屬層，作為傳導電壓電流用；金屬層上方 n^+ 區域是晶片的基座 (substrate)，濃度約在 10^{15}cm^{-3} 以上，通常在完成電晶體製造後會將基底磨薄以降低電阻；中間 n^- 區域稱為漂移區，濃度約在 10^{12}cm^{-3} 以下，一般都會用磊晶技術來達到均勻的濃度分布，漂移區的厚度與濃度將初步決定元件的崩潰電壓；在靠近電晶體表面的 p 型區域稱為基體，濃度約在 $5 \times 10^{13} \text{cm}^{-3}$ 左右，此區域為通道形成之處；在基體的中央有一個重摻雜的 p^+ 區域，濃度約在 $5 \times 10^{15} \text{cm}^{-3}$ 左右，可降低接觸電阻並且避免寄生雙極性電晶體的導通；最上層的 n^+ 區域稱為源極，濃度約在 $5 \times 10^{15} \text{cm}^{-3}$ 左右。

在矽晶表面之上有一氧化層，是熱氧化方式成長，作為閘極與矽晶片表面之絕緣層，閘極將透過閘極氧化層來感應在閘極氧化層下方

的電子而形成通道；閘極氧化層上方則為閘極，是以複晶矽為材料，必須摻雜離子以降低阻值，主要是提供元件的驅動電壓；閘極外圍有一沉積絕緣層，作為閘極與源極之間的絕緣層，是以硼磷矽玻璃(BPSG)為材料；最上面為源極金屬層，作為元件電流輸出用。



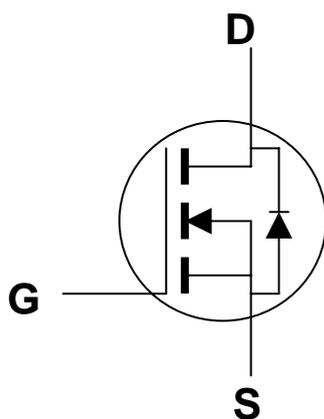


圖1-4(a) 功率金氧半場效應電晶體之電路符號。

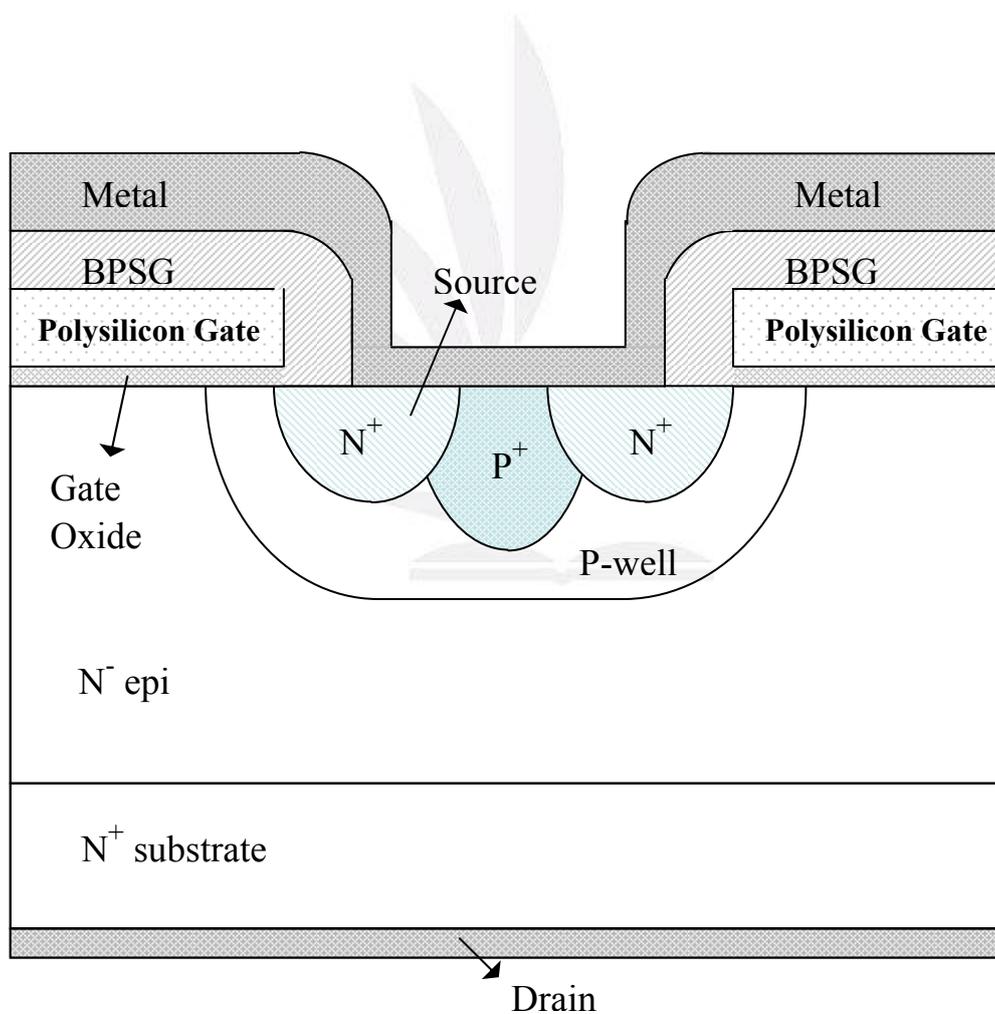


圖1-4(b) 垂直式雙擴散功率金氧半場效應電晶體單元晶胞之結構。

垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計

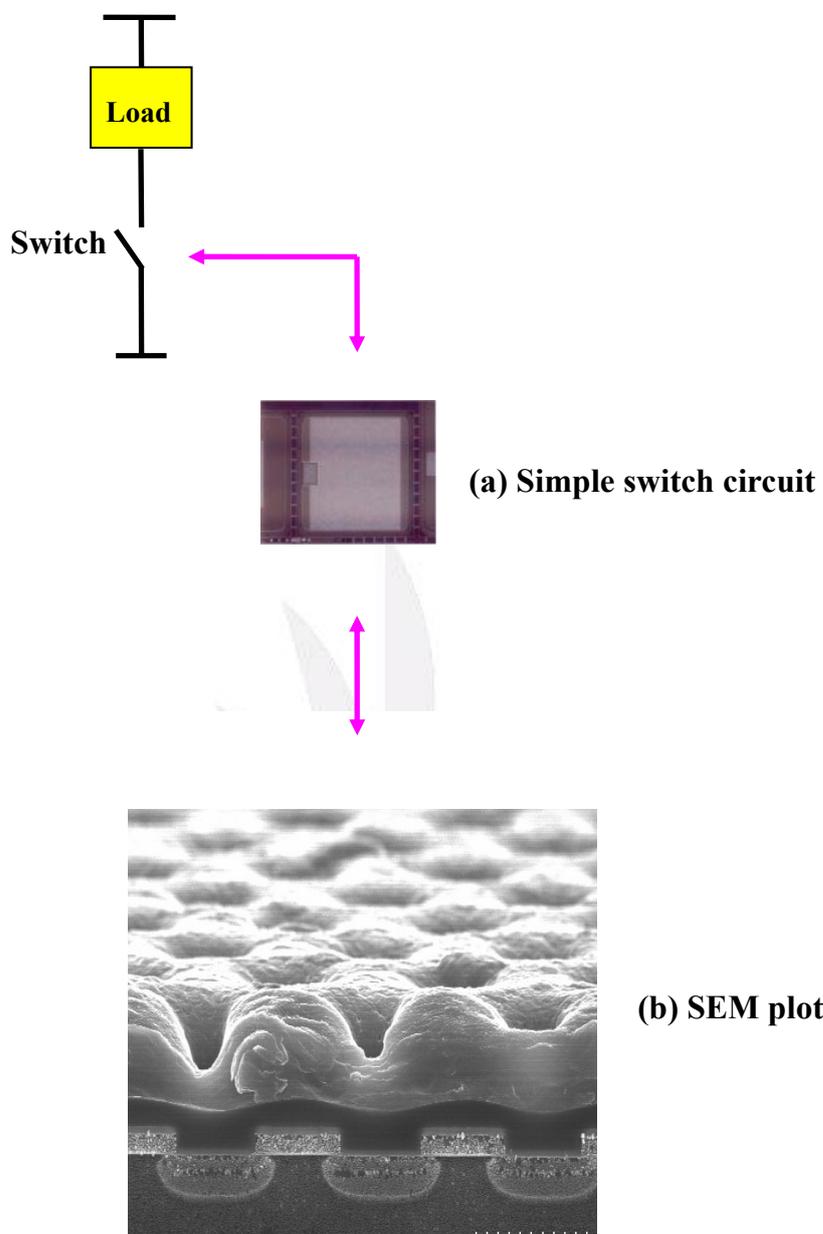


圖1-5 垂直式雙擴散功率金氧半場效應電晶體在掃描式電子顯微鏡
(Scanning Electron Microscope, SEM) 下的完整結構。

1.4 垂直式雙擴散功率金氧半場效應電晶體的工作原理

垂直式雙擴散功率金氧半場效應電晶體與一般積體電路中所使用之金氧半場效應電晶體，無論是基本工作原理或電路符號都大同小異，只是在結構上做了相當大的調整以便可以承載較大的導通電流及承載較高的電壓。

乍看之下在垂直式雙擴散功率金氧半場效應電晶體的汲極加上電壓後並不會有電流通過，然而當閘極加上適當的正偏壓，使閘極電壓大於電晶體的臨界電壓時，將會使得p型基體區和絕緣層間形成一強反轉層（inversion layer），這強反轉層便形成一個連接源極和漂移區的n通道，而提供一個電流路徑使電流可以從汲極經漂移區再經過通道而流向源極，完成電晶體的導通操作。隨著閘極電壓的提高，形成的通道寬度也越寬，能夠流通的電流也越大。因為流經通道的載子只有源極的多數載子（n型源極為電子，p型源極為電洞），所以為單一載子導通的元件。

而由元件的結構可以簡述垂直式雙擴散功率金氧半場效應電晶體耐高壓的原理。p基體區（P-well）和n⁻漂移區之間會形成一段空乏區（depletion region），當元件的汲極被施加一個大的正電壓時，這個n⁻漂移區會保護這個元件避免發生崩潰，由於p基體區的摻雜濃度比n⁻漂移區要來得高很多，所以空乏區邊界會往n⁻漂移區延伸，

使得空乏區幾乎落在 n^- 漂移區，如果降低 n^- 漂移區的摻雜濃度，則元件的耐壓能力也會跟著提高。

垂直式雙擴散功率金氧半電晶體在導通時基本上有兩個工作狀態：即線性區與飽和區。在實際應用時，如果將電晶體當作開關使用時通常會選擇工作點在線性區，因為電晶體工作在线性區時壓降很小，導通電阻也較小，電晶體本身的功率損耗便可以減到最低的程度而提高整個電路的工作效率，如果能讓電晶體在完全導通的狀態下工作，那麼它的導通電阻可以更低，一般而言，元件的閘極電壓都會設計在 2~4V，而測試元件的導通電阻值時，一般都選擇閘極電壓為 4.5V 或 10V 作為其測試條件；如果將電晶體當作放大器使用時，通常會選擇工作點在飽和區，因為電晶體工作在飽和區時會有較大的傳輸電導而能提高整個電路的放大倍率，另外閘極偏壓要選擇在適當的偏壓點才會有最大的傳輸電導。

根據垂直式雙擴散功率金氧半場效應電晶體在不同的工作狀態之下，其汲極電流與相關電壓的關係如下：

關閉狀態 $V_{GS} < V_T$; $I_D=0$

導通狀態 $V_{GS} > V_T$; $I_D>0$

線性區 $V_{DS} < V_{GS}-V_T$

$$I_D=(W/L)\mu_n C_{ox}[(V_{GS} - V_T)V_{DS} - 1/2V_{DS}^2]$$

飽和區 $V_{DS} \geq V_{GS} - V_T$

$$I_D = (W/2L) \mu_n C_{ox} (V_{GS} - V_T)^2$$

其中

V_{GS} 為閘極—源極電壓

V_{DS} 為汲極—源極間電壓

V_T 為電晶體臨界電壓

I_D 為汲極電流

W 為電晶體通道總寬度

L 為電晶體通道長度

μ_n 為電子在電晶體通道中之平均遷移率

C_{ox} 為閘極氧化層單位面積電容

垂直式雙擴散功率金氧半場效應電晶體典型的轉換特性曲線如圖 1-6 所示，橫座標是閘極電壓、縱座標是汲極電流。從圖中可以看出閘極電壓大於臨界電壓時電晶體才會導通，而汲極電流隨著閘極電壓的上升而增加，汲極電流與閘極電壓之間大約呈線性關係，但是當閘極電壓變的很大時汲極電流卻趨於緩和而達到定值，主要的原因如下：雖然閘極電壓較小時，導通電阻會隨著閘極電壓的增加而降低，而當閘極電壓增大時，導通電阻便不在隨著閘極電壓的增加而降低，所以最後汲極電流將被限制而無法隨著閘極電壓的增加而再增加。

垂直式雙擴散功率金氧半場效應電晶體典型的輸出特性曲線如圖 1-7 所示，橫座標是汲極電壓、縱座標是汲極電流，不同曲線代表不同的閘極電壓，圖 1-7 中最底下一條曲線是電晶體關閉時的特性曲線，而當所加之汲極電壓很大時電晶體會發生崩潰，主要的原因是因為電晶體的 n^+ 源極和 p 型井區之間的寄生雙載子接面電晶體被導通而造成雪崩崩潰，產生過多的電子電洞對而引起大量的電流，如何才能提高電晶體的崩潰電壓是設計元件時重要的工作之一；其他的曲線則是電晶體導通時的特性曲線，當汲極電壓比較小的時候，電晶體工作在線性區（在圖上虛線的左方），汲極電流與汲極電壓大約呈線性關係；當汲極電壓比較大的時候，電晶體工作在飽和區（在圖上虛線的右方），汲極電流便不再受汲極電壓的影響而是受閘極電壓的控制。

圖 1-8 為垂直式雙擴散功率金氧半場效應電晶體導通時的電流路徑圖，在圖的右側表示有一個寄生的接面場效應電晶體存在，而在圖的左側表示當汲極電壓在較大時會造成基體與漂移區的空乏區變寬（在圖中虛線的區域），此時若閘極長度太短，會使得寄生接面場效應電晶體效應明顯，導致導通電阻快速增加，這對元件的操作是個不好的現象，為了在不影響耐壓情形下，降低寄生接面場效應電晶體的效應，適當的閘極長度或者使用全面性離子佈值降低寄生接面場效應電晶體的影響，皆可以減少因寄生接面場效應電晶體的效應。

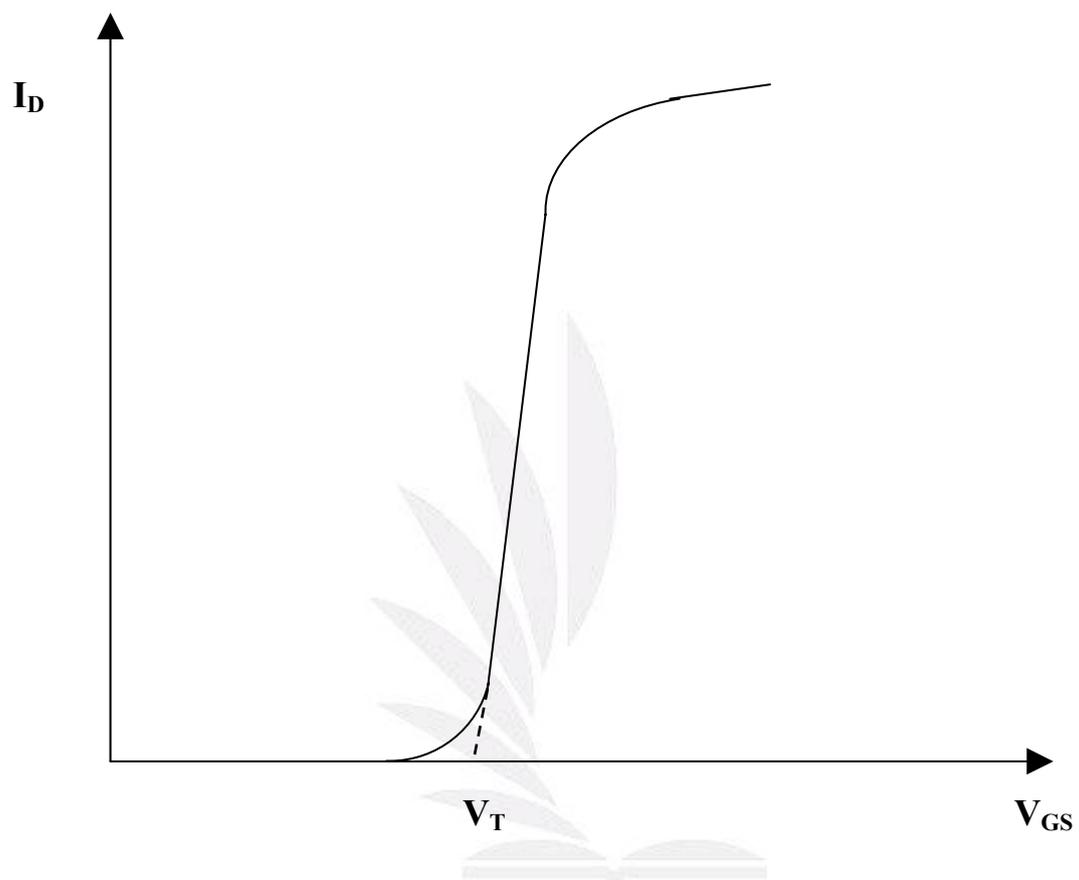


圖1-6 垂直式雙擴散功率金氧半場效應電晶體之轉換特性曲線。

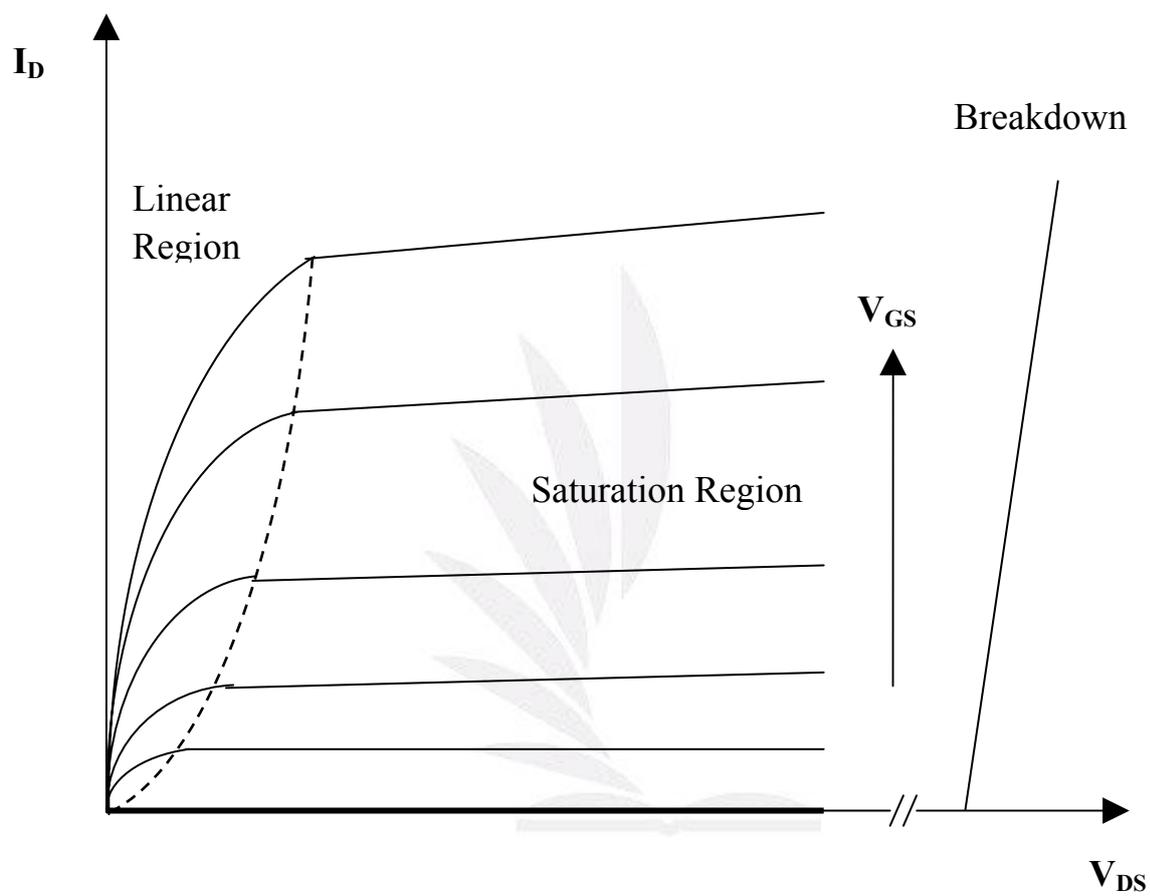


圖1-7 垂直式雙擴散功率金氧半場效應電晶體之輸出特性曲線。

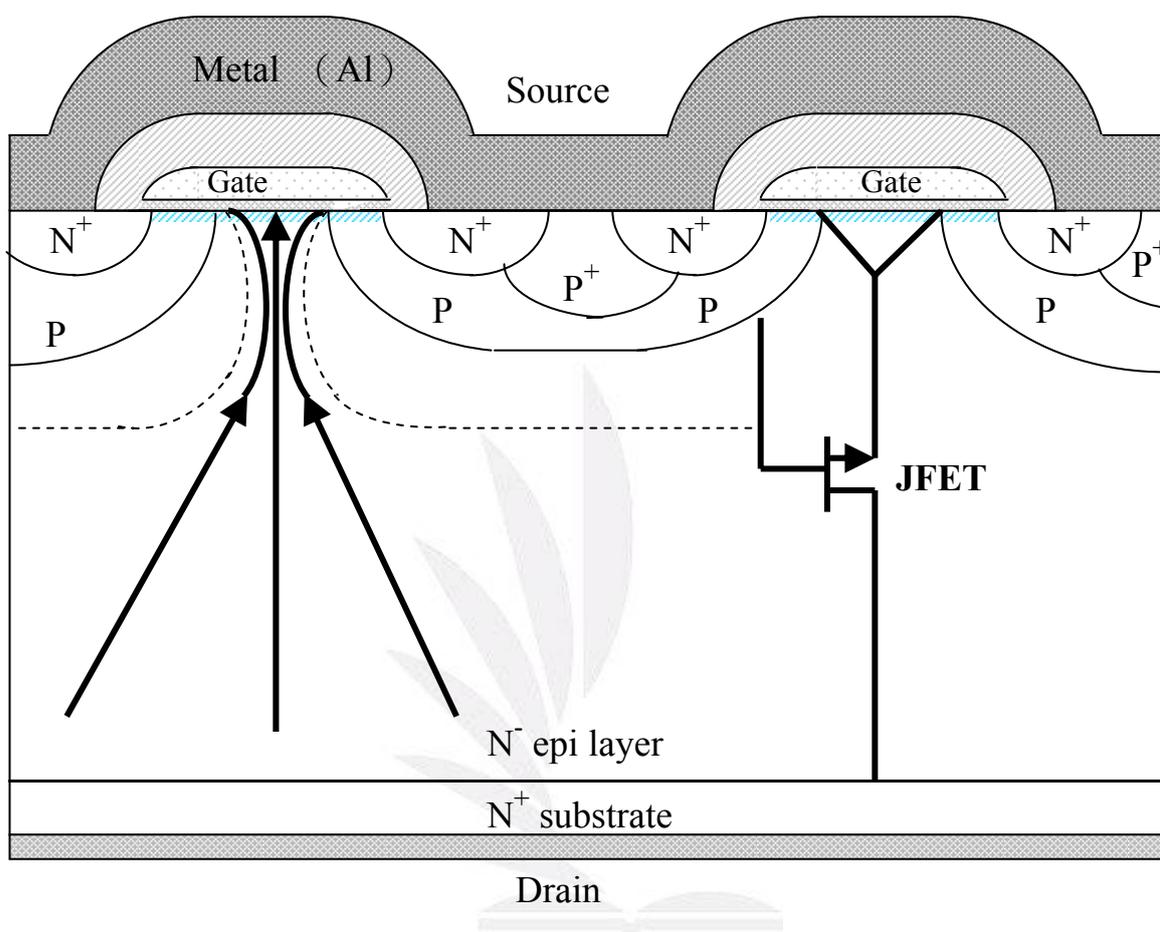


圖1-8 垂直式雙擴散功率金氧半場效應電晶體JFET效應示意圖。

1.5 垂直式雙擴散功率金氧半場效應電晶體的電性

(1) 崩潰機制：

1. 雪崩崩潰 (Avalanche Breakdown)

空乏區內的電子-電洞對 (electron-hole pairs) 因受到電場的影響而加速，當電場逐漸的變大時，此兩種載子經由此電場加速而獲得足夠的動能，使得被其撞擊之晶格原子的電子由導電帶 (conduction band) 掉至價電帶 (valance band)，這個過程就稱為離子化撞擊 (impact ionization)。如此產生的電子電洞對又再受到電場的加速而又撞擊出更多的電子電洞對，這種增殖的現象如滾雪崩般的載子流經空乏區，所以雪崩型崩潰的定義就是離子化撞擊速率到達無限大的情形。

垂直式雙擴散功率金氧半場效應電晶體在 n^- 漂移區的摻雜濃度比p基極區小，當正電壓施加於汲極上時，p基極接面為逆向偏壓，大部份的空乏區寬度將往漂移區發展。因此 n^- 漂移區的摻雜濃度以及寬度是決定汲極崩潰電壓能力的一個重要參數。另一方面，垂直式雙擴散功率金氧半場效應電晶體結構中有一寄生雙載子電晶體，為了避免寄生雙載子電晶體在操作時被導通，可以在p型井區加上 p^+ 以降低寄生在井區之橫向電阻值。若寄生雙載子電晶體在功率電晶體操作時被導通，則元件即發生雪崩崩潰 (Avalanche Breakdown)，其原因是部份電流會水平流經p型井區而到達 n^+ 源極，並在p型井區橫向電阻產生

一壓降，而此電阻與雙載子電晶體之基極相連結，如壓降大到使寄生雙載子電晶體被導通，發生載子乘積與雪崩崩潰之結果，造成元件、周邊電路甚至是系統的嚴重損毀，如圖1-9。

2. 氧化層崩潰 (Oxide Breakdown)

當氧化層無法承受外加的電場而發生毀損情形稱為氧化層崩潰，通常發生此種崩潰會破壞MOS結構而造成元件的損壞，是一種永久性的破壞。氧化層崩潰與氧化層之品質及厚度有關，元件如經過適當的製程上的調變，則氧化層崩潰機率減少。

(2) 導通電阻：

垂直式雙擴散功率金氧半場效應電晶體的導通電阻 ($R_{ds(on)}$) 定義如下式所示：

$$R_{ds(on)} = R_{contact} + R_{ch} + R_J + R_{epi} + R_{sub} \quad (1)$$

其中， $R_{contact}$ 、 R_{ch} 、 R_J 、 R_{epi} 、 R_{sub} 分別定義如下：

$$R_{contact} = N^+ / A_{N^+} \quad (2)$$

N^+ ：汲極接觸之 N^+ 井區濃度

A_{N^+} ：汲極接觸之 N^+ 井區之面積

$$R_{ch} = L / W \mu C_{ox} (V_G - V_T) \quad (3)$$

L ：為通道長度

W ：每單元晶胞之總閘極長度

μ ：電子於表層通道之遷移率

C_{ox} ：每單元晶胞閘極氧化層之寄生電容

$$R_J = \rho X_{jp} / L_j L_x \quad (4)$$

ρ ：磊晶層之電阻係數

X_{jp} ：P型井區之深度

L_j ：兩P型井區之距離

L_x ：每單元晶胞之長度

$$R_{epi} = \rho L_{net-epi} / A_{uint-cell} \quad (5)$$

$L_{net-epi}$ ：磊晶層之厚度

$A_{uint-cell}$ ：每單元晶胞之面積

$$R_{sub} = \rho_{N+sub} \times L_{sub} \quad (6)$$

ρ_{N+sub} ：基座之電阻係數

L_{sub} ：基座之厚度

圖1-10為垂直式雙擴散功率金氧半場效應電晶體導通電阻示意圖。 $R_{contact}$ 為金屬與半導體間之接觸電阻、 R_{ch} 為通道電阻、 R_J 為單元晶胞之井區 (Well) 與磊晶層產生之空乏區，相互夾擠形同界面場效應電晶體所形成之電阻， R_{epi} 及 R_{sub} 分別為磊晶層與基座之電阻值，因基座摻雜濃度相當高，且元件之金屬與半導體間之接觸皆為歐

姆接觸 (ohmic contact) ，因此 R_{sub} 與 $R_{contact}$ 此兩項之數值相當小，

故導通電阻可簡化為：

$$R_{ds(on)} = R_{ch} + R_J + R_{epi} \quad (7)$$

R_J 及 R_{epi} 與崩潰電壓相互權衡之關係，當磊晶層越厚及阻值越高時，元件的崩潰電壓越高，但磊晶層所佔的導通電阻值就越高，而 R_J 項的最佳化設計更為複雜，若增加複晶矽閘極長度來降低 R_J ，會導致元件耐壓能力下降，無法達到所要求的崩潰電壓；並且閘極長度的增加，會使得單位面積下可並聯的晶胞數量減少，造成元件的導通電阻值增加。在元件的設計上會減小複晶矽閘極長度來提高元件之崩潰電壓；而隨著複晶矽閘極長度的過度縮短，造成導通電阻 ($R_{ds(on)}$) 中的 R_J 項增加，使得導通電阻變大，產生過大的功率散逸，使元件發熱導致電性的不穩定。因此，閘極長度對於導通電阻值與崩潰電壓必須有最佳化的設計。

對低壓功率金氧半場效應電晶體而言， R_{ch} 、 R_J 及 R_{epi} 之總和佔據了 $R_{ds(on)}$ 較大的比例，功率金氧半場效應電晶體的磊晶層所能改變幅度不大，所以主要針對閘極長度作最佳化設計，以得到最低之 R_J 值，對整體 $R_{ds(on)}$ 之影響較為顯著，如圖1-11所示。

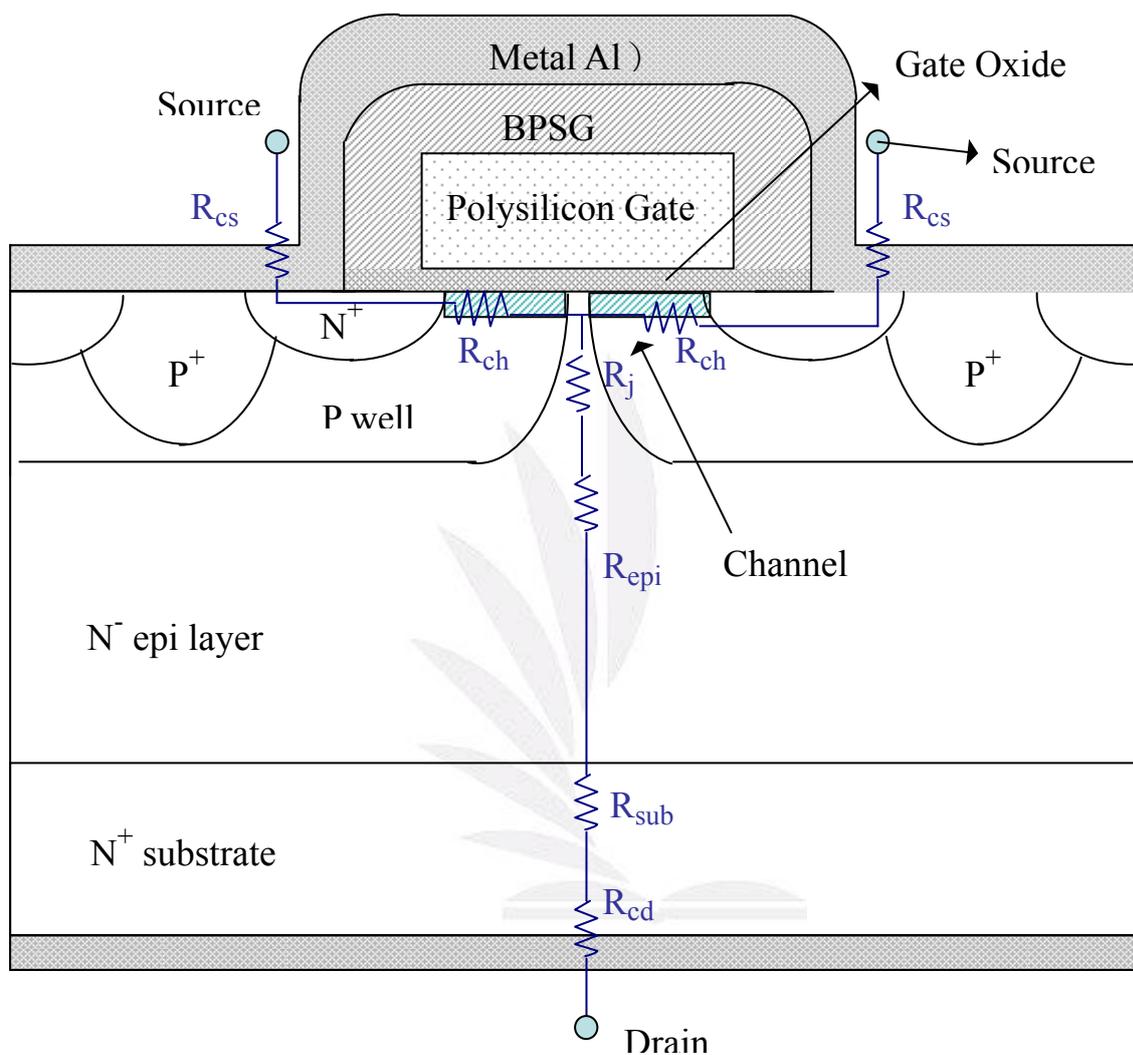


圖1-10 VDMOS元件結構與導通電阻示意圖。

垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計

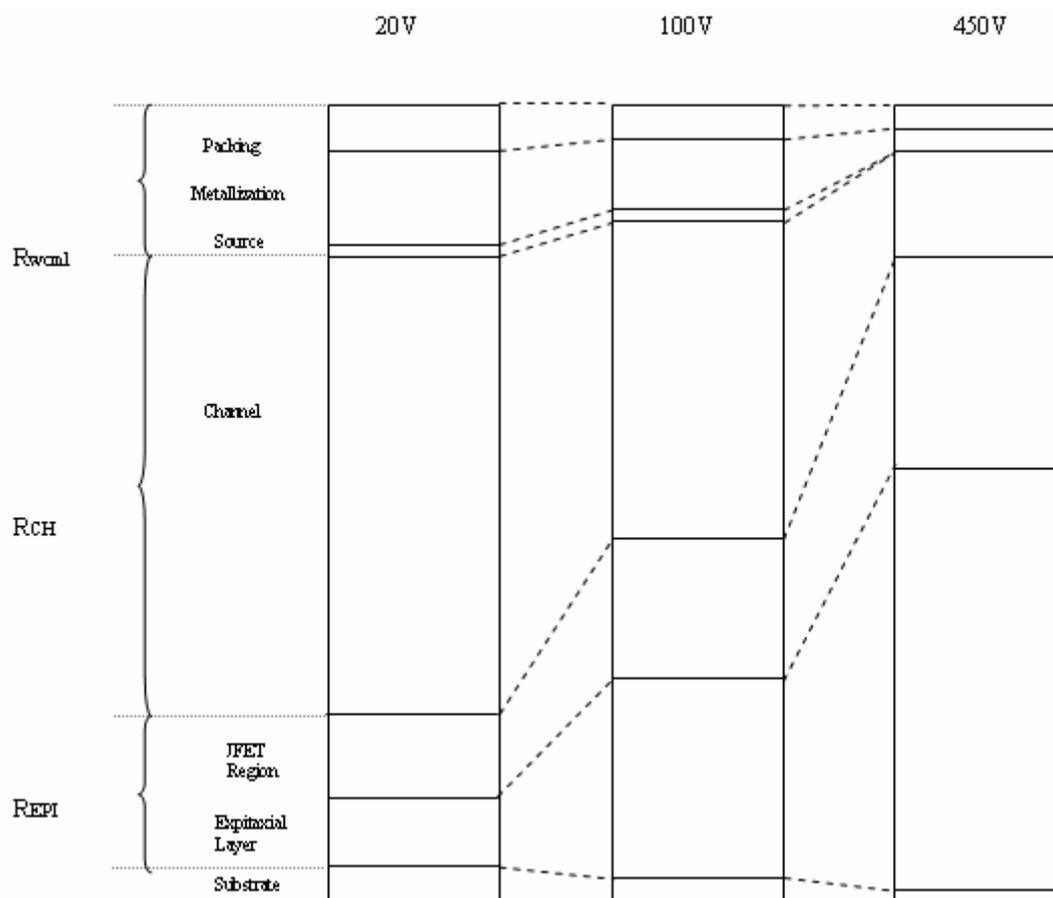


圖1-11 在低壓與高壓功率元件之各項電阻所佔比例。

第二章 實驗方法

2.1 垂直式雙擴散功率金氧半場效應電晶體的製程

雙擴散製程 (Double-diffused Process)

垂直式雙擴散功率金氧半場效應電晶體的製程流程如表2-1所示，是以平面技術 (planar technology) 來製造，在這個結構中，p型基體(P-Well) 和源極區(Source region)是利用同一的窗口(window)擴散而成，是屬於自我對準 (self-aligned) 製程而可獲得更深的接面深度 (junction depth)，所以稱為雙擴散製程技術。此結構的通道在閘極氧化層 (Gate oxide) 的下方。圖2-1是垂直式雙擴散功率金氧半場效應電晶體的製程步驟圖。首先，將沉積 n^+ 磊晶層在基座上，此基座是為元件的汲極。之後以濕氧化方式成長一層場氧化層 (field oxide)，並以主動區光罩 (active mask) 定義出主動區的範圍，再將場氧化層蝕刻去除，以熱氧化成長一層厚 460\AA 的閘極氧化層 (gate oxide)，再沉積一層複晶矽 (poly silicon)，並摻雜離子降低電阻，如圖2-1(a)。使用井區光罩(well mask)定義出井區範圍如圖2-1(b)，利用硼 (boron) 元素進行離子佈植形成井區，並適當的控制濃度、能量，以達到所需的臨界電壓 (threshold voltage) 及各項電性。接著使用高溫長時間加熱對硼作驅入 (drive-in) 及退火 (anneal) 動作，形成如圖2-1(b) 中的p型井區 (P-Well)。使用源極光罩 (source mask)

定義出元件之源極如圖2-1 (c) ，利用砷 (arsenic) 元素進行離子佈植如圖2-1 (c) 的形狀。之後，沉積BPSG作為閘極和源極的絕緣層，使用接觸光罩(contact mask)定義出元件之接觸窗口 (contact window) 如圖2-1(d)。佈植高濃度的硼元素行程重摻雜的 p^+ 區域如圖2-1(e)。精準的微影 (photolithography) 技術對於VDMOS元件的製程來說是非常關鍵的，因為對齊過程中的錯誤，會造成p型井區的接觸不良或是源極與閘極間的短路。最後，以圖2-1 (f) 的鋁金屬沉積作為接線來結束整個製程。



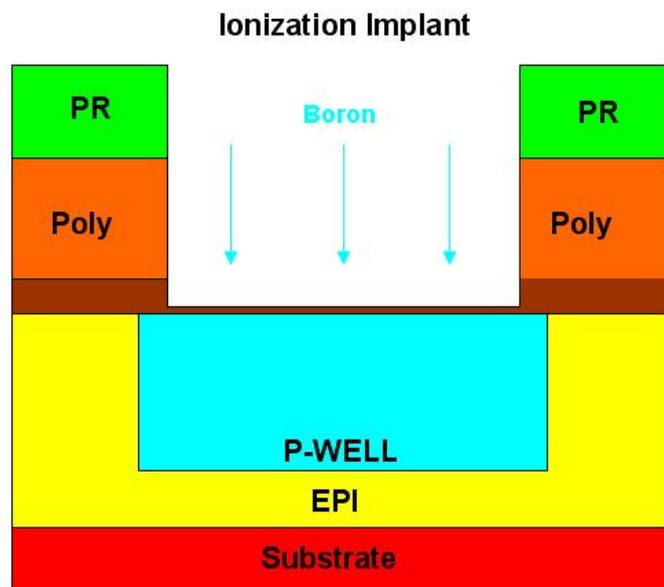
順序	製程描述
1	重摻雜N型基座
2	輕摻雜N型磊晶層
3	場氧化層的成长與範圍定義
4	成長閘極氧化層
5	沉積複晶矽
6	定義閘極長度
7	離子植入P型井
8	P型井的驅入
9	離子植入源極
10	沉積BPSG
11	開啟接觸窗口
12	離子植入P ⁺
13	P ⁺ 的驅入
14	回蝕表面自然氧化物
15	沉積金屬接線

表2-1 垂直式雙擴散功率金氧半場效應電晶體製程步驟

垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計

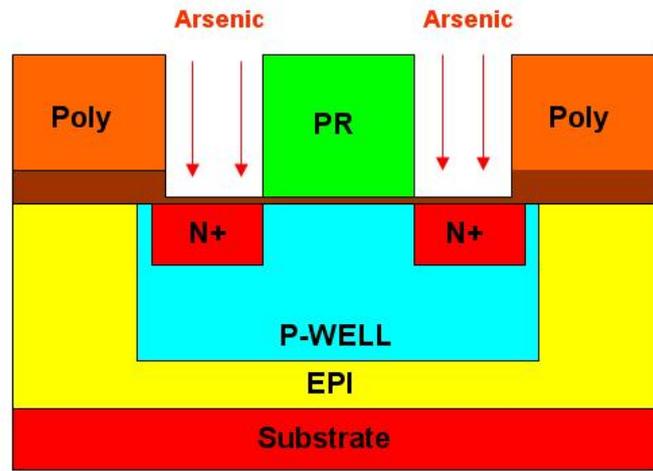


2-1 (a)

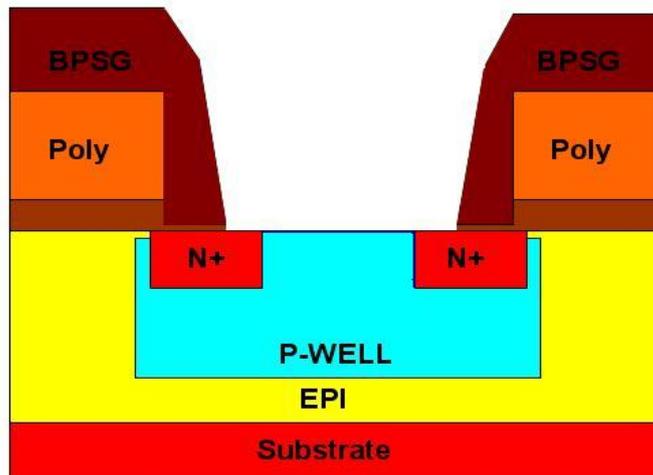


2-1 (b)

垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計

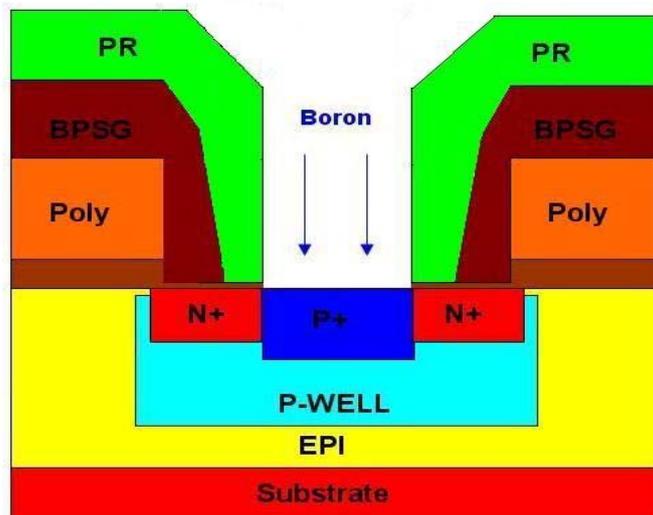


2-1 (c)

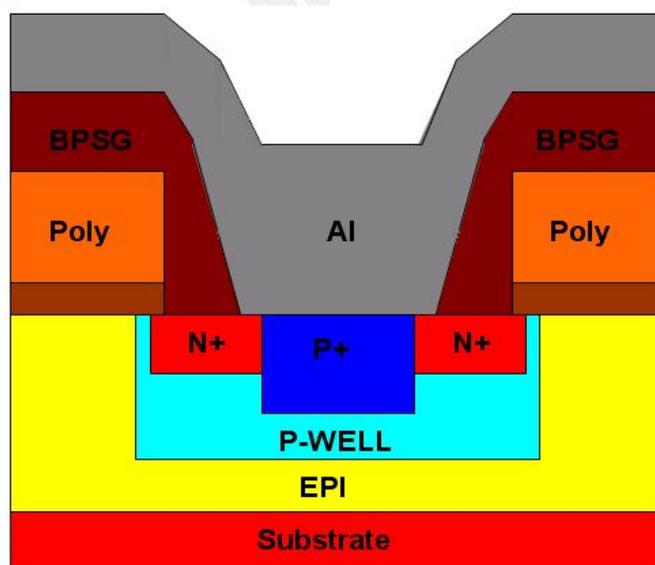


2-1 (d)

垂直式雙擴散低壓功率金氧半場效應電晶體
之閘極長度的最佳化設計



2-1 (e)



2-1 (f)

圖 2-1 VDMOSFET 的製程步驟

2.2 元件的模擬參數

本專題針對元件的電性參數崩潰電壓 (Breakdown Voltage)、臨限電壓 (Threshold Voltage) 及導通電阻 (On-resistance) 作探討設計。利用製程及電性模擬軟體(Integrated Systems Engineering, ISE)進行模擬實驗，固定大部分的製程參數，調變不同的閘極長度，隨著閘極長度的調變 ($2.0\mu\text{m}\sim 8.0\mu\text{m}$)，可得一個最佳化的閘極長度，使得元件維持高崩潰電壓和低導通電阻。

由於垂直式功率金氧半場效應電晶體為對稱的元件結構，所以使用 ISE 進行模擬實驗時，我們只須分析元件的半個晶胞，其結果不但與分析整個晶胞一樣，更可有效的降低模擬時間。

使用前章節所敘述之製程方法來設定 ISE 的製程步驟，使 ISE 模擬出功率元件的半個晶胞結構，如圖 2-2。接著便對元件的電性作分析，在此，我們主要針對元件的崩潰電壓、臨限電壓、導通電阻進行電性分析。

本專題研究主要針對 30V 低壓功率金氧半場效應電晶體之閘極長度及其耐壓尋求最佳化設計，使得在 30V 低壓功率金氧半場效應電晶體有一可尋的設計路徑，有利於功率電晶體在高頻及大功率電路方面之應用。

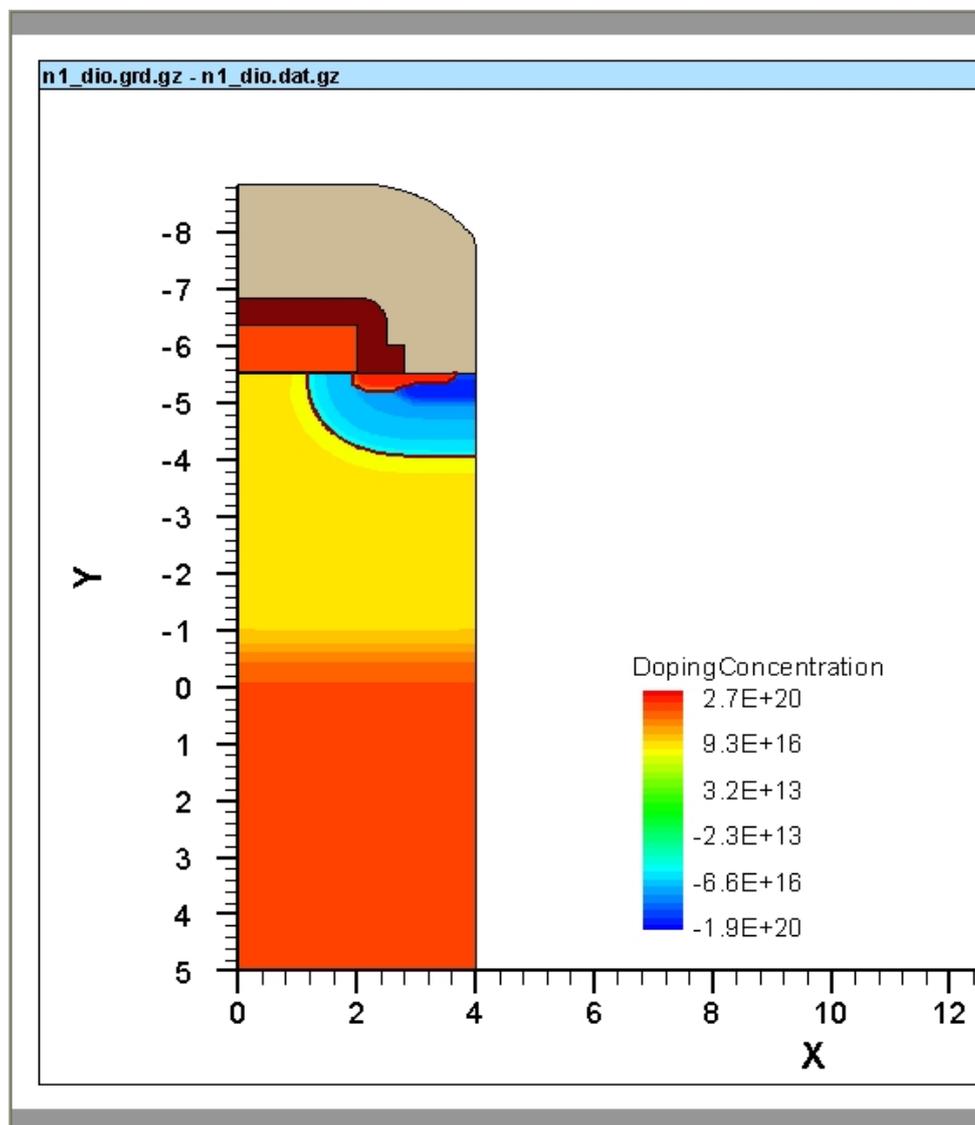


圖 2-2 垂直式雙擴散功率金氧半場效應電晶體半個晶胞結構

第三章 實驗結果

1. 崩潰電壓：

崩潰電壓就如同第一章功率元件的崩潰特性所敘述，我們希望元件崩潰時的機制是屬於雪崩型崩潰 (Avalanche Breakdown)，其離子化撞擊 (Impact Ionization) 的發生位置如圖 3-1 所示的紅色部位，如此才能做出真正有耐壓能力的元件。崩潰電壓模擬結果如圖 3-2 所示。

2. 導通電阻：

對導通電阻而言，本實驗分別採用閘極驅動電壓 5V 及 10V，萃取在這兩個電壓下的導通電阻，也印證了第二章元件的導通電阻敘述之理論，過度縮短閘極長度而引發的 JFET(R_J) 效應，在本實驗中對導通電阻的影響甚大。

3. 臨限電壓：

低壓之功率元件其臨限電壓範圍約從 0.5V~3V。由於電壓在臨限電壓以下，元件處於截止狀態，因此臨限電壓之值也可以視為耐雜訊能力的一項參數，臨限電壓愈高代表耐雜訊能力愈強，但也因此要使元件完全導通，所需要的電壓也會增大，必須做適當的調整。其量測方法是將汲極及閘極短路並加一電壓，此時 $V_{GS}=V_{DS}$ ，逐漸增加所加之電壓，測量源極之電流，由於閘極有電壓加入，因此通道開始產生，

並且開始有電流流出，一般定義所測得之電流大小為 $250\mu\text{A}$ 時，則此時之電壓即為臨限電壓。模擬結果如圖 3-3 所示。

4. I_D - V_D 曲線：

元件製程及電性模擬軟體 ISE 所模擬的 I_D - V_D 輸出特性曲線，首先將源極接地，並在不同閘極電壓（0~10V）下，以不同之汲極電壓（0~18V）進行掃描，量取汲極電流並對汲極電壓作圖，共可得到五條輸出特性曲線。模擬結果如圖 3-4 所示，圖中紅色圈選部位的斜率代表元件的導通電阻，圖 3-4(a) 中的電阻比圖 3-4(b) 大，表示過度縮短閘極長度會增加導通電阻。

5. 最佳化數值：

綜合以上之電性模擬分析，將不同的閘極長度（ $2.0\mu\text{m}\sim 8.0\mu\text{m}$ ）及其電性參數—崩潰電壓、臨限電壓、導通電阻（ $V_{GS}=5\text{V}$ 、 10V ）之結果列於表 3-1，其中 $R_{ds(on),5V}$ 、 $R_{ds(on),10V}$ 分別代表 $V_{GS}=5\text{V}$ 、 10V 時的導通電阻。並將閘極長度、崩潰電壓及導通電阻的模擬數值繪製於圖 3-5 進行比較分析，如此就可以明顯的看出隨著閘極長度（ $2.0\mu\text{m}\sim 8.0\mu\text{m}$ ）的變化，崩潰電壓及導通電阻值的變化趨勢。

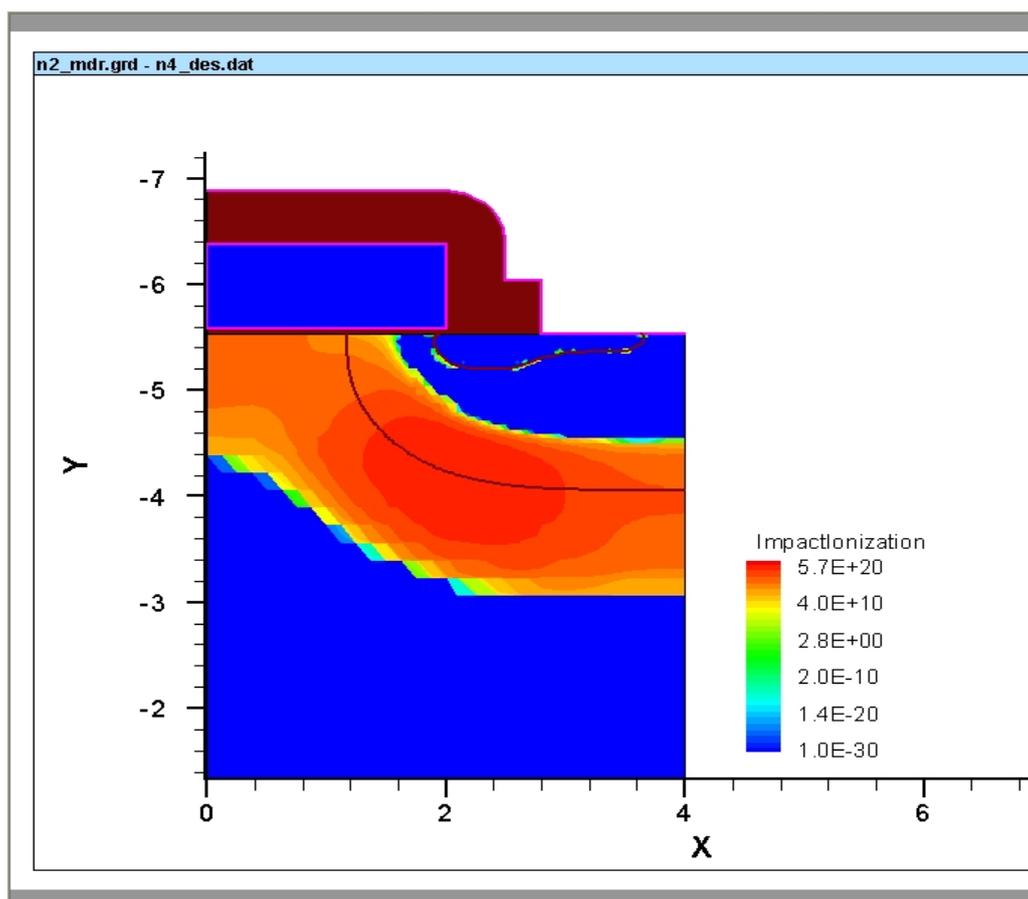


圖 3-1 雪崩型崩潰 (Avalanche Breakdown) 其離子化撞擊 (Impact Ionization) 的發生位置 (紅色部位)

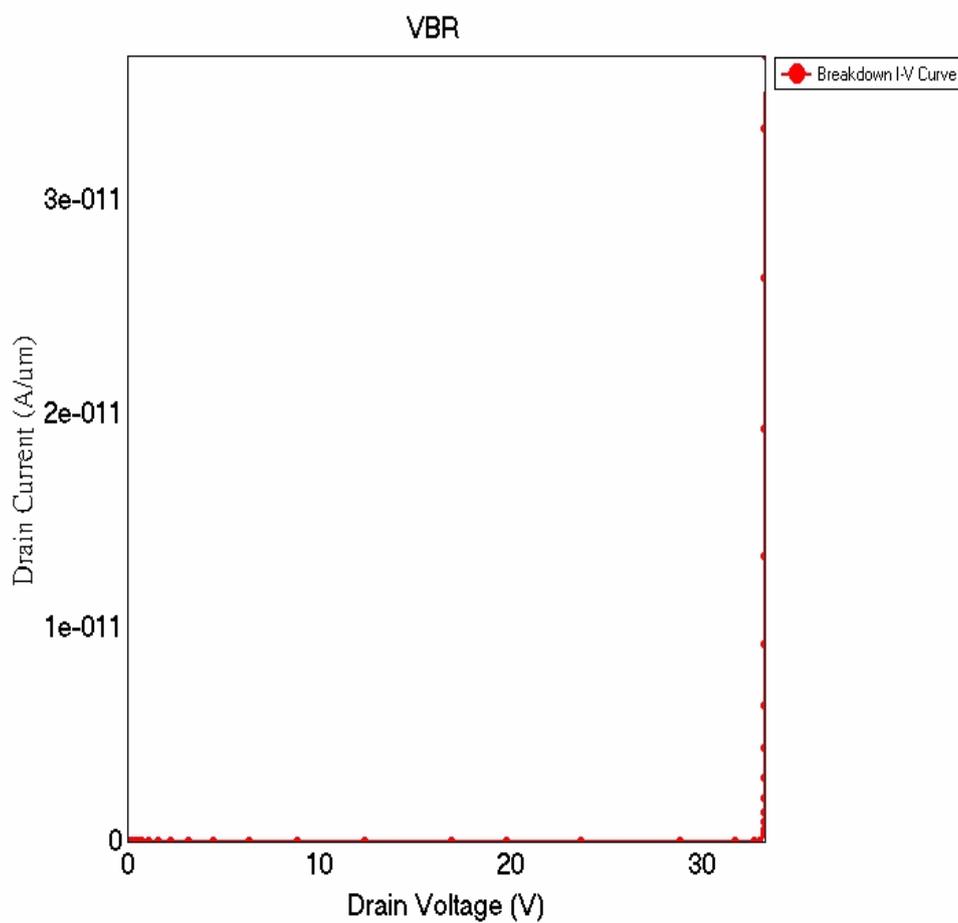


圖 3-2 閘極長度 6.0 μm 時的崩潰電壓

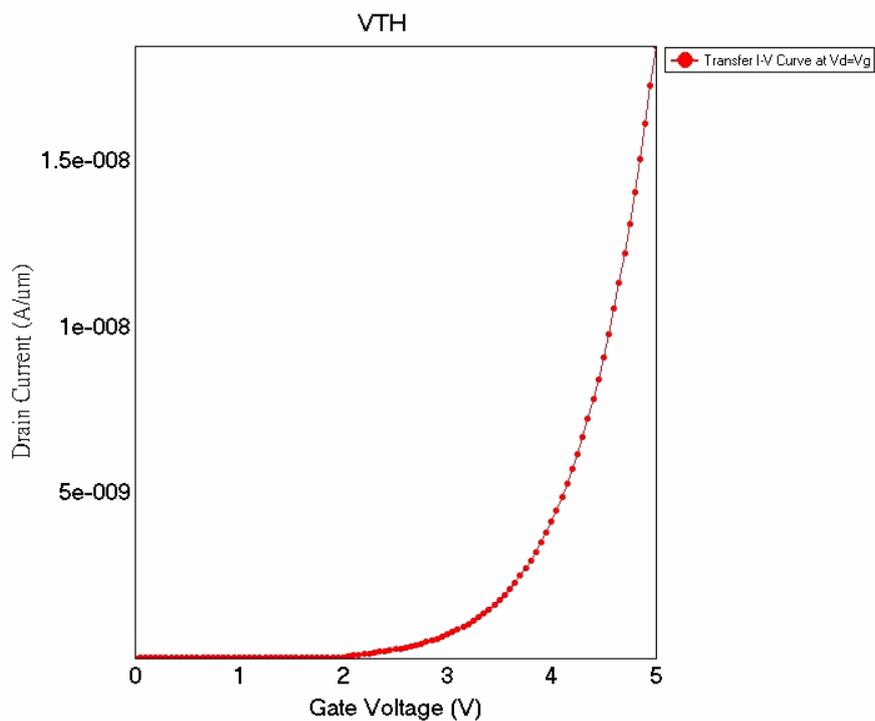


圖 3-3(a) 閘極長度 2.0 μm 時的臨限電壓

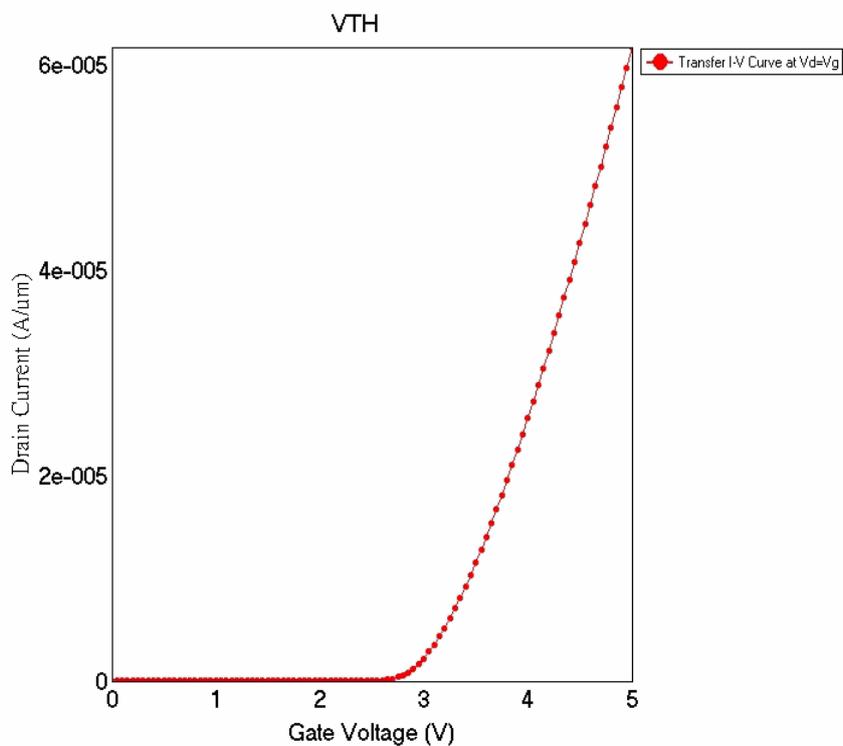


圖 3-3(b) 閘極長度 4.0 μm 時的臨限電壓

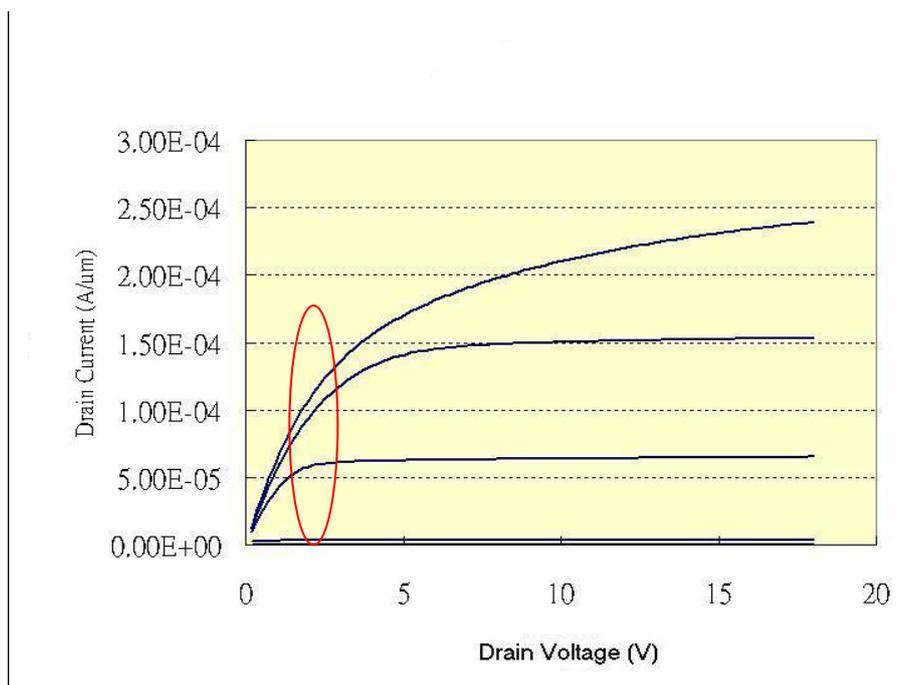


圖 3-4(a) 閘極長度 3.0 μm 時的輸出特性曲線

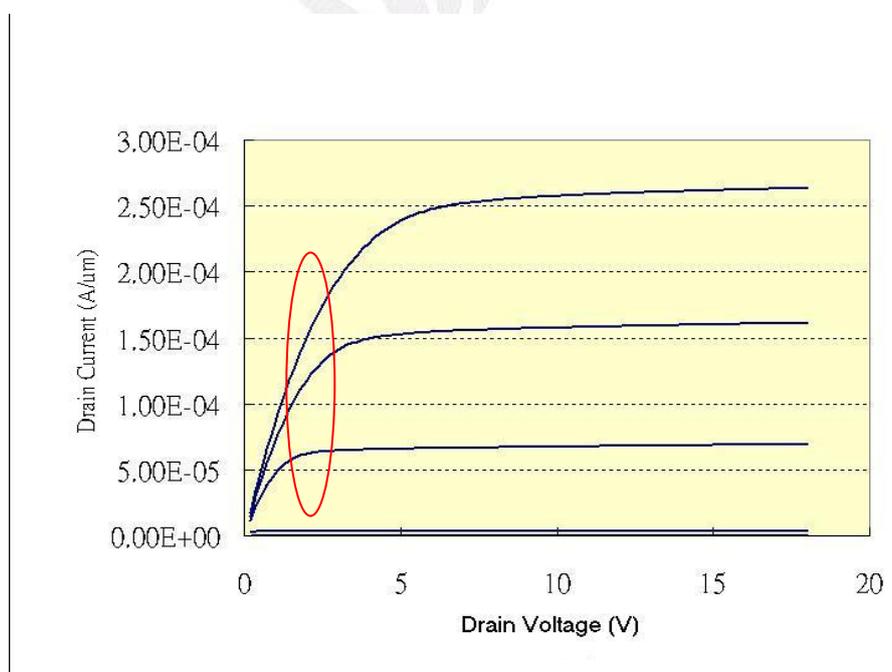


圖 3-4(b) 閘極長度 4.0 μm 時的輸出特性曲線

Gate	2.0 μm	3.0 μm	4.0 μm	5.0 μm	6.0 μm	7.0 μm	8.0 μm
BV_{dss}	34.75	34.66	34.57	34.07	33.28	33.19	33.05
V_{TH}	2.14868	2.08945	2.07673	2.08059	2.08217	2.09659	2.10876
$R_{ds(on),5V}$	1298.91	8.43251	7.92949	8.44695	8.87311	9.61101	10.3087
$R_{ds(on),10V}$	1267.83	5.78143	4.934	4.96841	5.09993	5.38058	5.68961

表 3-1 閘極長度 (2.0 μm ~8.0 μm) 其崩潰電壓、臨限電壓及導通電阻 ($V_{GS}=5V$ 、10V) 之值

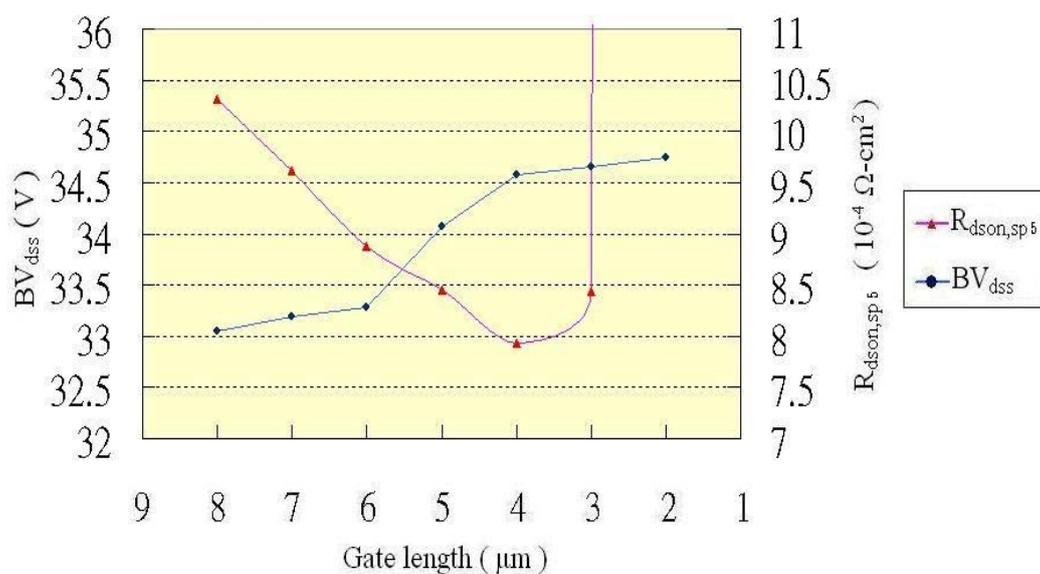


圖 3-5(a) 閘極長度 (2.0μm~8.0μm)、崩潰電壓 (BV_{dss})

及導通電阻值 (R_{ds(on),5V}) 之變化趨勢

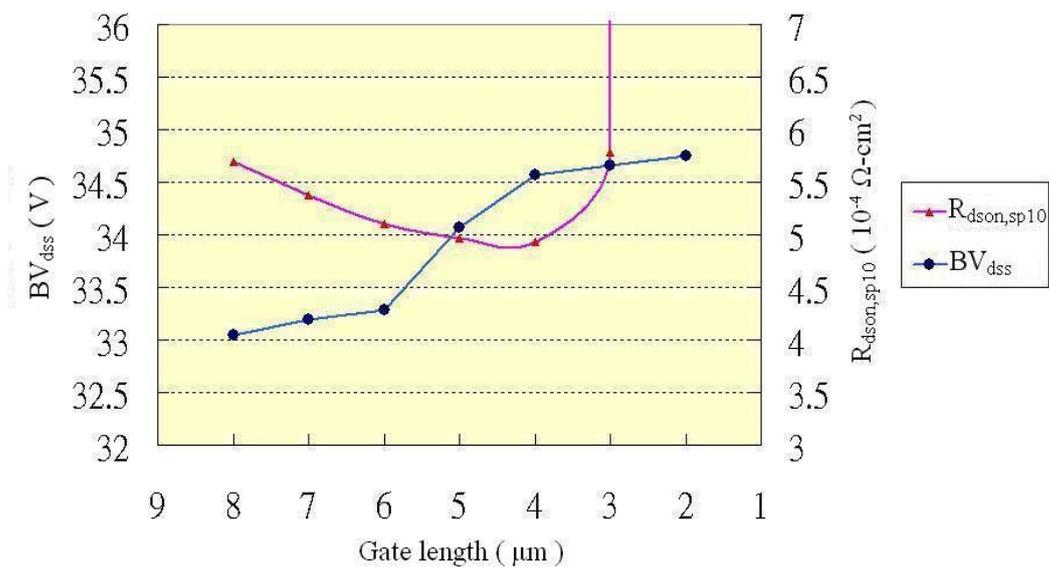


圖 3-5(b) 閘極長度 (2.0μm~8.0μm)、崩潰電壓 (BV_{dss})

及導通電阻值 (R_{ds(on),10V}) 之變化趨勢

第四章 結論

本實驗經由 ISE 元件製程及電性模擬軟體，就複晶矽閘極長度調變進行模擬，由於縮減複晶閘極長度可降低每單位晶胞 (unit cell) 之面積，提高元件單位面積下之晶胞密度，使得並聯電阻增加而降低元件導通電阻；然而也容易造成相鄰 p 井區距離縮減，使得寄生接面場效應電晶體的效應顯現，形成 R_J 上升。

閘極長度調變對於崩潰電壓 (BV_{dss}) 與導通電阻 ($R_{ds(on)}$) 為正比的趨勢，即複晶矽閘極長度縮小，導致崩潰電壓 (BV_{dss}) 的提高及導通電阻 ($R_{ds(on)}$) 的變大；但若過度縮小閘極長度，使得接面場效應電晶體效應更加明顯，反而大幅提高了元件的導通電阻。此時即面臨元件崩潰電壓與導通電阻之平衡 (Trade-off) 取得。

在設計元件時，必須在維持崩潰電壓下，有效降低導通電阻，在此利用模擬軟體 ISE 進行元件之模擬而得到閘極長度、崩潰電壓及導通電阻之最佳值，如表 3-1 及圖 3-5 所示，其最佳化數值是出現在 BV_{dss} 與 $R_{ds(on)}$ 兩曲線的交叉點之間，其值為閘極長度在 $4.0 \mu\text{m}$ 的情況下，元件的崩潰電壓為 34.57 V 、導通電阻為 $0.49 \text{ m}\Omega\text{-cm}^2$ 。

參考文獻

- [1] B. Jayant Baliga, "Trends in Power Discrete Devices", *IEEE TRANSCCTIONS ON ELECTRON DEVICE*, VOL.43,NO.10, PP.1717-1731,OCTOBER 1996
- [2] B. Jayant Baliga, "The Future of Power Semiconductor Device Technology", *PROCEEDINGS OF THE IEEE*, VOL. 89, NO.6,pp.822-832,JUNE,2001
- [3] Feng-Tso Chien, Wen-Luh Yang, and Chung-Yung Kung, "Drain-Source Breakdown and Gate Voltage Reliability Test of Small Contact Area Power MOSFETs.", *International Electron Devices and Materials Symposia (IEDMS)*, pp.519-522, 2002
- [4] Feng-Tso Chien, Wen-Luh Yang, and Chung-Yung Kung, "Characteristic Study and Process Analysis for Developing a Power MOSFET.", *International Electron Devices and Materials Symposia (IEDMS)*,pp.491-494, 2002
- [5] B. Jayant Baliga, "POWER SEMICONDUCTOR DEVICES", PWS PUBLISHING COMPANY 1996
- [6] "電功率 MOSFET 應用技術", 陳連春譯, 建興出版社, 2000.