



逢甲大學學生報告 ePaper

報告題名：

以新穎降電場結構改善低溫複晶矽
薄膜電晶體特性研究

**Study on the Novel Drain-Relief Structures in
Low-Temperature Polycrystalline Silicon Thin
Film Transistor to Improve the Device
Characteristics**

作者：蔡宗翰、謝益倫、陳恩禎

系級：電子系四年甲班、電子系四年乙班

學號：D9342019、D9056084、D9145256

開課老師：李景松 老師

課程名稱：化合物半導體

開課系所：電子系半導體學程

開課學年：94 學年度 第 1 學期



以新穎降電場結構改善低溫複晶矽 薄膜電晶體特性研究

摘要

近來，由於低溫複晶矽薄膜電晶體應用於主動式陣列顯示器因而漸漸受到注意及歡迎，如 LCD 及 OLEDs 元件，藉由高可靠度低溫複晶矽薄膜電晶體，積體電路整合於同一面板(SOG)便可以有效實現，而高可靠度低溫複晶矽薄膜電晶體的便是要求高驅動電流能力以及低漏電流的特性。

不幸的是，我們發現傳統 TFT 元件有一些負面的影響，由於有較大漏電流、扭結效應、熱載子效應，使元件特性不佳、可靠度降低，嚴重限制了前述的發展，因此，如何提升低溫複晶矽薄膜電晶體的效能是非常重要的。

大部分負面不良影響大致來自於通道與接面處高電場的現象，也就是說，降低其大電場即可有效抑制那些不好的效應。已經有很多文獻提出很多結構可以有效降低汲極電場。但是，那些結構往往需要額許多外製程的幫助，例如離子佈植、側間隔及多道光阻數目的幫助。

在此報告中，我們嘗試提出新穎降電場結構，稱作為：“閘極覆蓋輕摻雜汲極端雙閘極低溫複晶矽薄膜電晶體結構”，此結構製程簡單且不需額外的光罩及額外的離子佈植。我們透過 ISETCAD 元件製程模擬軟體實際驗證及模擬分析。此結構可有效降低汲極端高電場現象。

Study on the Novel Drain-Relief Structures in Low-Temperature Polycrystalline Silicon Thin-Film Transistor to Improve the Device Characteristics

ABSTRACT

Recently, low-temperature polycrystalline silicon (LTPS) thin-film transistor (TFTs) have become attractive and popular due to their applications in active-matrix displays, such as LCD and OLED devices. Active matrix displays with integrated circuits in a single panel substrate can be implemented by high-performance LTPS TFTs. The requirements for high-performance device are high current-driving capability together with low leakage current characteristics.

Unfortunately, we found the undesired side-effects of conventional TFTs device operation, including large leakage currents, kink effects, and hot-carrier effects, thus limiting the device performance. Therefore, intention to improve the LTPS-TFT device performance is the motive for this work.

All the undesired effects are mainly caused by the high electric field near the drain regime. Therefore, how to effectively reduce the electric field by maintaining device performance is an important issue to resolve in this work. Extensive studies have reported various structures that can effectively reduce the channel electric field near the drain region. However, additional and complicated device processings are required in those proposed structures, including hydrogen implantations and the spacer formation. These will tremendously complicate the sequences lithography procedures.

In this work, we proposed a novel structure to effectively relieve the electric field. It is called the “Gate-Overlapped Lightly-Doped Drain Polycrystalline Silicon Thin-Film Transistor with a Double-Gate Structure”. This structure is effective with simple fabrication process requirement. We have successfully demonstrated and verified with the ISE-TCAD simulation.

目 錄

第一章 Device architectures for Drain-relief 元件結構	
1-1 概論	P5
1-1-1 offset gate	P6
1-1-2 Lightly doped drain structure (LDD)	P7
1-1-3 Double Gate Structure 雙閘極結構	P10
1-1-4 Gate-overlapped LDD Structure	P12
1-2 高介電係數閘極氧化層與金屬閘極	P14
第二章 閘極覆蓋輕摻雜及極端雙閘極複晶矽薄膜電晶體	
2-1 概論	P16
2-2 傳統型低溫複晶矽薄膜電晶體	P16
2-2-1 元件結構製程模擬步驟細節	P17
2-2-2 模擬結果與電性分析	P22
2-3 閘極覆蓋輕摻雜及極端雙閘及複晶矽薄膜電晶體	P23
2-3-1 新穎降電場元件結構製程模擬步驟細節	P27
2-3-2 輕摻雜(LDD)濃度參數模擬比較	P39
2-3-3 Offset Gate 長度參數模擬比較	P47
第三章 結論	P53
參考文獻	P56

- 圖 1-1. offset gate 結構示意圖
- 圖 1-2. 低摻雜汲極薄膜電晶體結構示意圖
- 圖 1-3. 雙閘極式薄膜電晶體結構示意圖
- 圖 1-4. 自我對準閘極覆蓋輕摻閘極汲極端結構
- 圖 2-1. 傳統型元件實際元件模擬製程參數一攬表
- 圖 2-2. 傳統型薄膜電晶體元件結構製程實際軟體模擬圖
- 圖 2-3. 傳統型薄膜電晶體汲極區高電場實際軟體模擬圖
- 圖 2-4. 閘極覆蓋輕摻雜汲極端雙閘極複晶矽薄膜電晶體
- 圖 2-5. 相對等效電路圖
- 圖 2-6. 新穎降電場結構實際元件模擬製程參數一攬表
- 圖 2-7. 輕摻雜濃度 $8E11 / \text{cm}^2$ Source 端結構模擬圖
- 圖 2-8. 輕摻雜濃度 $8E11 / \text{cm}^2$ Source 端濃度結構模擬圖
- 圖 2-9. 輕摻雜濃度 $8E11 / \text{cm}^2$ 通道電場模擬圖
- 圖 2-10. 輕摻雜濃度 $1E12 / \text{cm}^2$ Source 端結構模擬圖
- 圖 2-11. 輕摻雜濃度 $1E12 / \text{cm}^2$ Source 端濃度結構模擬圖
- 圖 2-12. 輕摻雜濃度 $1E12 / \text{cm}^2$ 通道電場模擬圖
- 圖 5-13. 輕摻雜濃度 $6E13 / \text{cm}^2$ Source 端結構模擬圖
- 圖 2-14. 輕摻雜濃度 $6E13 / \text{cm}^2$ Source 端濃度結構模擬圖
- 圖 2-15. 輕摻雜濃度 $6E13 / \text{cm}^2$ 通道電場模擬圖

圖 2-16. 各濃度與傳統型電場比較圖

圖 2-17. Offset 0.5 μm Source 端結構模擬圖

圖 2-18. Offset 0.5 μm Source 端濃度結構模擬圖

圖 2-19. Offset 1.5 μm Source 端結構模擬圖

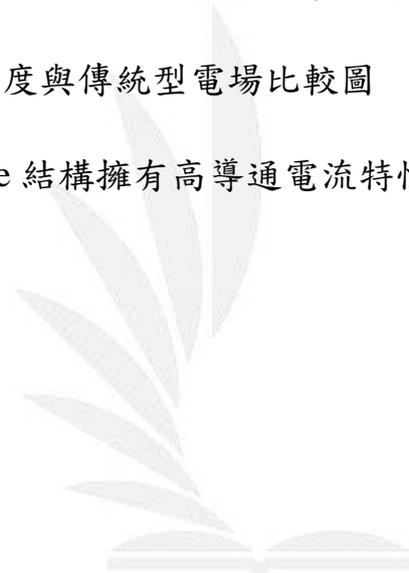
圖 2-20. Offset 1.5 μm Source 端濃度結構模擬圖

圖 2-21. Offset 2.5 μm Source 端結構模擬圖

圖 2-22. Offset 2.5 μm Source 端濃度結構模擬圖

圖 2-23. 各 Offset 長度與傳統型電場比較圖

圖 2-24. Double Gate 結構擁有高導通電流特性



第一章 Device architectures for Drain-relief 元件結構

1-1 概論

元件微縮化的製程瓶頸主要為微縮技術的限制；另外，元件特性上尚須克服短通道效應與窄通道效應等不受歡迎的影響，其中如短通道效應，近年來的發展，可以藉由提高通道摻雜濃度、縮減閘極氧化層厚度與降低源極/汲極接面深度來達成；但高摻雜濃度、薄氧化層與淺接面又會引發其他的問題，如：通道遷移率 (mobility) 下降、摻雜濃度變動 (dopant fluctuation) 效應、閘極漏電流增加、寄生電阻增加…等，因此元件的微縮化，將使未來的元件製程技術面臨更大挑戰，其可能解決方案；在材料方面，包括高介電係數 (high-k) 閘極介電層、金屬閘電極、以及應變矽與矽鍺；在元件結構方面，包括超薄基體 (ultra-thin body) 矽絕緣體 (silicon-on-insulator, SOI) 電晶體、雙閘極 (double gate) 結構、閘電極 offset gate 結構、LDD輕摻雜、Gate overlapped LDD(GO-LDD)…等。就長遠來看，這是值得發展的方向。

在各個製程方面的調整均是已經到了“動一髮而動全身”的地步，而發展技術抑制靠近汲極端與通道接面處的強烈電場當然也是發展的重點，許多的降低汲極/通道電場的元件結構也陸續在發表中如：閘電極 offset gate 結構、LDD輕摻雜、Gate overlapped LDD(GO-LDD)、雙

閘極(double gate)結構等。無疑都是為了元件可以達到良好可靠度。

1-1-1 offset gate

傳統 MOSFET 在進行開關或是驅動的過程裡；載子的傳輸往往是由源極往汲極流動，因此，汲極區也就等同於載子流動的目的地。也由於如此，在汲極區的電場效應往往較源極區來得強烈許多；當元件汲極端的電場大到無法讓元件負荷時，崩潰損毀的情況也就跟著發生。一般為解決此一崩潰狀態的發生，通常是針對閘極 OFFSET 的情況進行調節及分析；主要是因為閘極具感應通道的能力，所以，在閘極和汲極連接處往往是電場最強烈的地方。因此，通常會將閘電極往源極端靠近，以降低此一崩潰情況的發生。在本研究中，希望透過上、下二閘極間 OFFSET 狀態的分析，可以有效提高元件對於電場崩潰的抵抗能力，又可使元件電流的傳輸能力不致降低的狀態發生。

有效調整閘極長度，如圖 1-1， $5\mu\text{m}$ 的閘極長度調整，將有效減少漏電流的產生比起傳統的型的 TFT 結構，然而由於高寄生電阻，使得啟始電流(on current)也隨減少，有如電流消瘦現象。在切換電流比方面，持續的縮短閘極長度之後，有效提升高的元件的切換電流比，此種元件特性非常適合應用在如高頻元件、開關元件上的使用。然而，此種結構需要極精準的閘極長度調準需求，附加的微影步驟將

使的製程更為繁瑣，製造成本也因此增加。而通道長度的變異，也將使的閘極長度、位置精確定義上，更加困難度。

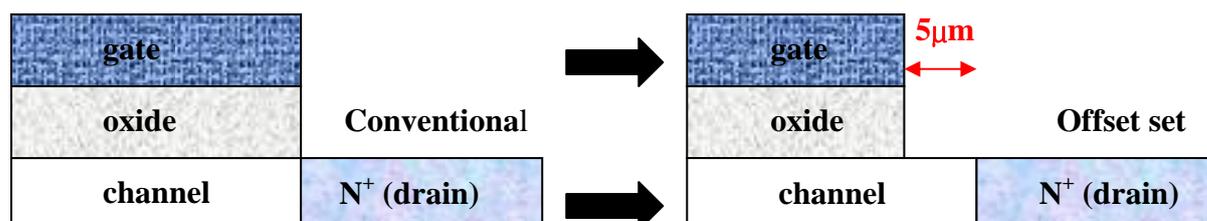


圖 1-1 offset gate 結構示意圖

1-1-2 Lightly doped drain structure (LDD)

LDD的設計，主要的目的，是要藉由 LDD 的淺接合 (Shallow Junction)，來抑制其短通道的效應，因此我們又以淺延伸 (Shallow Extension) 稱呼之。在“低摻雜汲極結構薄膜電晶體”的應用過程中，一般而言，我們了利用 LDD 技術形成之元件，主要可以降低通道區電場擁擠的現象；另一方面，亦可以改善元件漏電流之特性，如圖2-2，所示。不過，利用低摻雜汲極技術並不是沒有缺點存在；第一，它會使得元件製程變得複雜；其次，因為 LDD 的摻雜程度較低，電阻也會比較高，使得汲極到源極的串聯電阻增加，這將導致元件之操作速度降低、電力消耗上升。在植入劑量的調整上，過少時易造成串聯度阻

過高，通道載子移動率降低；過多則易失去降低汲極端邊緣電場強度的功能，使漏電流的居高不下，所以使由於 LDD 技術存在上述之缺點，因此陸續有學者開始針對問題之存在進行相關研究和改良。西元1992年，由 *Chun-Ting Liu*、*Chen-Hua Douglas Yu*、*Avi Kornobit* 及 *Kuo-Hua Lee* 四位先進提出，先在汲/源極兩端進行低濃度摻雜區 (n^-) 之形成；接著，利用 spacer 覆蓋之技術，對其汲/源極進行高濃度摻雜區 (n^+) 之形成。透過此一技術，可以減少 lithography 製程，間接可以降低元件製程的複雜度；而且，也可以有效提昇元件之 offset 及通道長度校準特性。1995 年，由交大葉清發教授等多位先進針對 LDD 薄膜電晶體結構進行改良研究，首先利用液相沈積之技術，沈積 SiO_2 為閘極絕緣層及 passivation 層；隨之在元件結構 offset 區感應生成一低摻雜區 (n^-)，取代傳統 LDD 技術成形方式[。不僅可以有效降低製程設備成本，且其製程亦不會複雜；另外，對於元件電性分析而言，可以有效改善漏電流特性及電流開/關比，經由上述諸位研究學者的研究分析後，了解其“低摻雜汲極式薄膜電晶體”製程複雜的問題已被探討許久；相繼提出許多解決的方法，使得此種元件結構可以廣泛應用於 AMLCD 電路裡的切換元件功用。

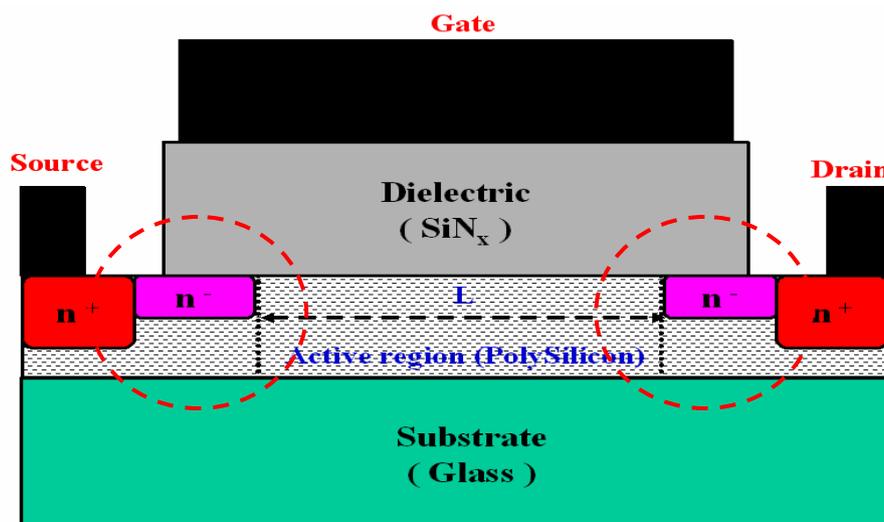


圖 1-2 低摻雜汲極薄膜電晶體結構示意圖

LDD 是以較低劑量值入閘極內側的閘極氧化層下與汲極與源極間，因此形成濃度緩衝區，可有效降低汲極端側向電場，減緩電場增強漏電流產生與避免熱載子效應。通常 LDD 的長度關係著輕摻雜橫向與縱深的濃度分布。輕摻雜汲極的長度將電場最大值產生處分離開，除了降低漏電流並增長元件壽命。以 Ring Oscillator 電路為例，採用傳統結構1500小時後，產生 90% 的頻率退化，而改用 LDD 結構後，經過100000小時測試僅有 9% 的退化。根據 LCD 對於畫面灰階的要求，當做元件開關的薄膜電晶體對於其漏電流相當的在乎，主要目的是要保持儲存電容的電荷量，因此當 LDD 阻值降低，壓抑不住漏電流的產生，將很容易使得 LCD 的畫面品質惡劣。

而上一節我們提出的調變閘極長度的結構，會有所謂的電流消瘦

現象，而在汲極與通道間摻雜低濃度的 LDD 區，也將可有效改善電流消瘦現象。因為以上種種好處以及元件特性需要，因此 LDD 結構廣泛使用於薄膜電晶體的製造。

1-1-3 Double Gates Structure 雙閘極結構

The double gates structure of TFTs 又稱作“雙閘極式薄膜電晶體”，此一元件結構近幾年來才逐漸被學者們所重視探討的，如圖 1-3，所示。不過在 1989 年時，即曾由 *Y. Kaneko*、*K. Tsutsui*、*H. Matsumaru* 等五位日本研究先進共同針對雙閘極式非晶矽薄膜電晶體結構進行概略性的探討；針對雙閘極結構而言，對於薄膜電晶體特性上之影響為具有較佳的導通電流能力。另外，可以有效地降低電場擁擠效應；且介電層電容提高為原先的兩倍，本體通道的電位也容易受到雙閘極的控制，因此，對於元件漏電流特性有相當大的改進。但是，由於利用二個閘極的緣故，間接增加元件製程上的複雜度，並且使得元件製造的成本相對提高；針對這項缺點，在未來幾年裡，仍是學者及業界所須共同努力的方向。如開始時所述，直到 1998 年後，“雙閘極式薄膜電晶體”之研究陸續為學者所重視；如由 *Anish Kumar K.P.*、*Johnny K. O. Sin*、*Cuong T. Nguyen* 及 *Ping K. Ko* 四位學者提出一“薄通道-厚汲/源極區”的雙閘極式控制元件（結構）。此一

結構主要是利用薄通道區的形成，以提昇元件的啟始電流狀態；另一方面，透過厚汲極區的形成，可以有效降低元件通道和汲極間存在的橫向電場；進一步可以抑制 kink effect 的產生，以及使元件漏電流達到最佳狀態。於2002年，由 *Shengdong Zhang*、*Ruqi Han*、*Johnny K. O. Sin* 及 *Mansun Chan* 四位學者指出，為求達到雙閘極製程結構之最佳化條件主要有四點，分別是

- 1) 具自我校準能力的上、下二個閘極。
- 2) 具薄且均勻的通道。
- 3) 具厚的源/汲極區。
- 4) 及閘極對源/汲極具自我校準能力。

並經由分析得知，一具有自我校準特性的雙閘極結構，可以將寄生元件的特性降至最低；另外，有效地利用薄通道特性可以改善元件短通道效應的產生，以及有效降低通道內的缺陷效應。在上述對於“雙閘極結構”的各項研究中，可以了解在 TFT 元件電性分析方面；除了針對一般元件特性做提昇外（如：漏電流特性）對於元件電場效應所造成的崩潰機制；以及運用同時具有兩個閘極的元件工作特性，使其獲得較高的汲極電流驅動能力及輸出阻抗。綜合上述，可以了解“雙閘極結構之薄膜電晶體”對於 TFT 在元件特性上之提昇有

相當大的增進，因此可以預見在未來數年後，此一元件結構將對 TFT 產業造成不小的震撼及成就。

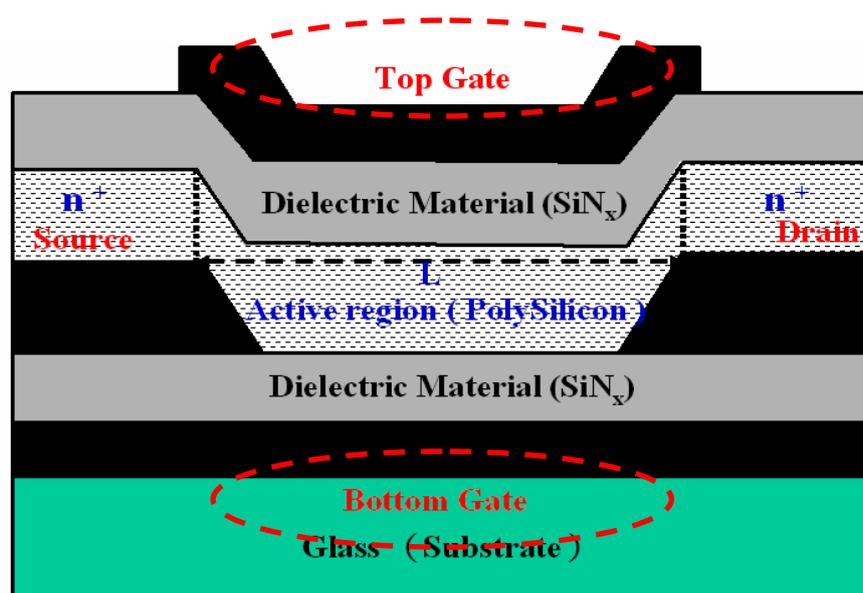


圖 1-3 雙閘極式薄膜電晶體結構示意圖

1-1-4 Gate-overlapped LDD Structure 閘極覆蓋輕摻閘汲極端結構

當複晶矽薄膜電晶體操作在飽和區 (Saturation Region) 時，在汲極與通道接合處將會產生高電場，這將使得元件受到嚴重影響。然而為了高效能與良好可靠度，offset gate structure 與 LDD structure 已經被廣泛使用，藉由壓降汲極與通道接面高電場的影響，有效減少漏電流發生，增強元件操作能力。但由於使用 LDD structure，這將會產生

如同串聯電阻的功率消耗。

近來Gate-overlapped LDD Structure 閘極覆蓋輕摻閘汲極端結構已經被提出用來有效降低通道 / 汲極端高電場的技術。額外的製程過程將會帶來製造成本，在這個結構裡，它擁有自我對準 (Self - aligned) 之漸層式輕摻雜結構，如圖1-4，作方式比以往方式更為簡化，且有自我對準之功效。製程利用摻雜原子的長距離橫向擴散來達到漸層式淺摻雜汲極輕摻雜的目的。由於汲極端附近的橫向電場大幅降低，利用此新穎方式所製作出的低溫多晶矽薄膜電晶體皆具有極低漏電流、高開關電流比、高輸出電阻、以及高度之可靠性。

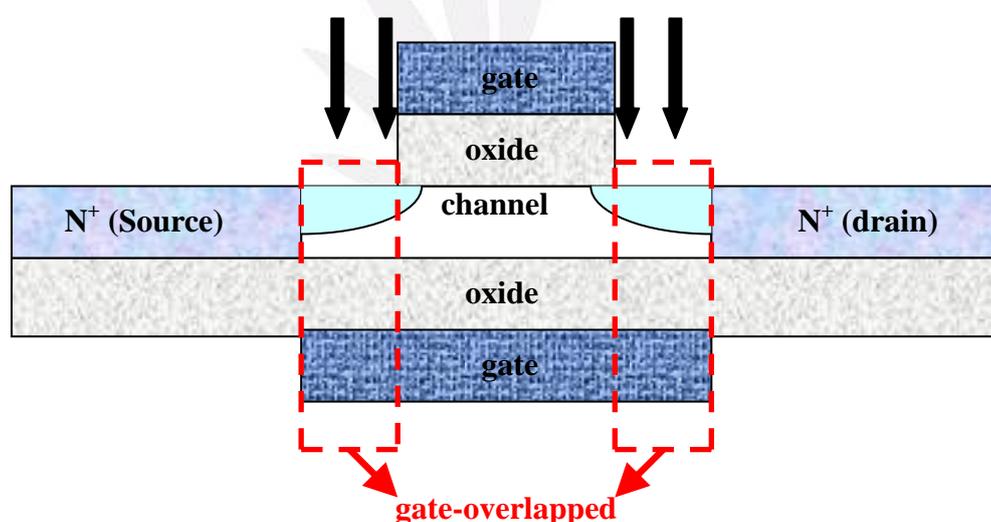


圖1-4 Self-aligned gate-overlapped LDD
自我對準閘極覆蓋輕摻閘汲極端結構

1-2 高介電係數閘極氧化層與金屬閘極

傳統金氧半場效電晶體製程中，多使用氧化矽為閘極介電材料，當氧化層小於1.5奈米時，由於直接穿隧(Direct Tunneling)機率的增加，引起閘極漏電流急遽的增加；這些增加的漏電流可能超過在65奈米技術點以下時維持低功率消耗所需之截止電流。因此必須發展新的材料來取代氧化矽，其中高介電係數 (high - k) 介電層技術，可以克服閘極漏電流之問題。傳統氧化層的介電係數為3.9，使用 high-k 材料可以增加閘極電容，因此可以提升閘極控制能力，增加元件驅動電流。另一方面，在相同的電容值下，high-k 材料的實際厚度遠大於氧化層厚度，如此在一定操作電壓下，可減輕介電層內之電場強度，而降低漏電流。因此，當超薄氧化層遇到漏電流過高的限制時，可以 high-k 材料代替，繼續往更薄的等效氧化層厚度發展。然而，目前要將 high-k 材料整合進入電晶體，仍然遭遇一些技術性的困難，因為 high-k 材料的使用會降低遷移率及元件可靠度。

另外，隨著閘極氧化層的縮小，硼原子穿隧 (Boron Penetration) 與多晶矽閘極空乏 (Poly Depletion) 現象更加嚴重。前者可藉由摻雜少量氮於氧化層中與以緩和，但多晶矽閘極空乏區的影響卻難以避免，且多晶矽為閘極，因多晶矽的電阻過高，因此必須經重摻雜之後，才能在 MOS 電晶體上。不過這們一來，閘極多晶矽面免不了的，會

有摻質消耗效應 (Dopant Depletion Effect) 的現象，使的 MOS 的 Drain 電流下降，得須消耗更多功率。近來有人提出已金屬閘極取代多的做法晶矽，除了可以免除多晶矽閘極空乏外，亦可降低閘極寄生電阻，另外。由於 high-k 介電層的使用會使元件的臨界電壓增加，而使用 high-k 材料無法與多晶矽閘極整合在一起；若採用晶屬閘極則可避免此一問題。然而，對正型通道 (P-Channel) 元件，其閘極電極之公函數需靠近矽價電帶，對負型通道 (N-Channel) 元件，其閘極電極之公函數需靠近矽導電帶；因此正型與負型通道元件之閘極使用不同種類之金屬。而可同時使用於正型與負型通道元件之單一種類金屬閘極，仍然在研究中，未來有被應用之可能性。

第二章 閘極覆蓋輕摻雜汲極端雙閘極複 晶矽薄膜電晶體

Gate - overlapped Lightly - Doped - Drain Polycrystalline Silicon Thin Film Transistor With a Double-Gate Structure

2-1 概論

在薄膜電晶體的軟體模擬研究過程中，本章節利用前一章所提到的四種結構與金屬閘極作為主要新穎降電場改善薄膜電晶體特性結構的設計方向。因此，我們提出“閘極覆蓋輕摻雜汲極端雙閘極複晶矽薄膜電晶體 (Gate - overlapped Lightly-Doped-Drain Polycrystalline Silicon Thin Film Transistor With a Double-Gate Structure)”的結構，且針對輕摻雜 (LDD) 濃度與 offset gate 長度的參數變化模擬比較；最後，與傳統型的電晶體做明顯的模擬判別，以證明新穎結構明顯改善傳統薄膜電晶體的特性。

2-2 傳統型低溫複晶矽薄膜電晶體

傳統低溫複晶矽薄膜電晶體由於有較大的漏電流、Kink Effect、熱載子效應 (Hot - Carrier Effect)，使得元件特性不佳、可靠度降低。

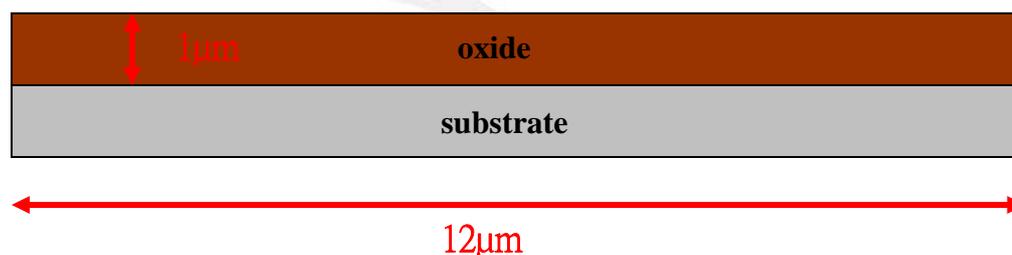
這嚴重的限制了低溫複晶矽薄膜電晶體廣泛運用在主動式陣列顯示器 (Active Matrix Display) 開關元件及周邊控制電路的發展。

造成大漏電流、Kink Effect、熱載子效應 (Hot - Carrier Effect) 等不好的效應主要靠近極集接面的大電場造成，而我們透過元件製程模擬軟體，顯現出傳統型低溫複晶薄膜電晶體在汲極與通道接合端高電場效應的元件不良特性。也就是說，有效降低高電場即可有效抑制那些不好的效應存在。這也便是我們積極去克服的問題方向。

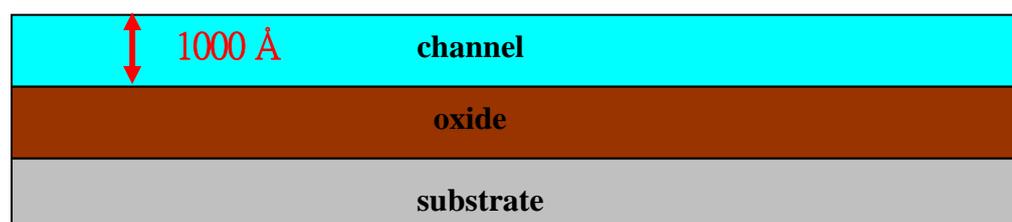
2-2-1 元件製程模擬步驟細節

模擬元件長度 $12\mu\text{m}$ 、通道長度為 $8\mu\text{m}$ 、通道厚度 1000\AA

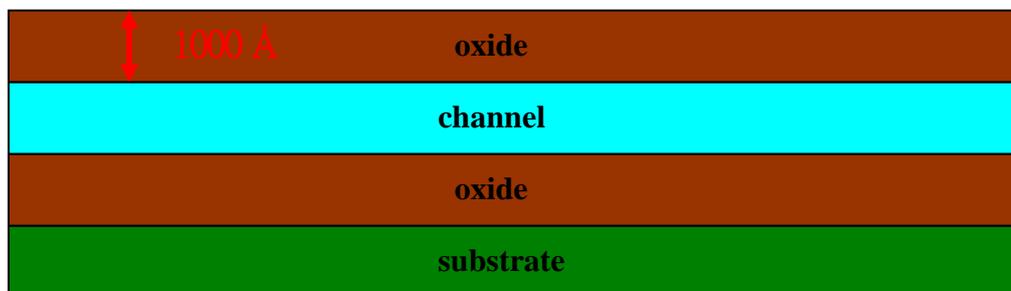
步驟 1. 基底沉積 oxide (厚 $1\mu\text{m}$)



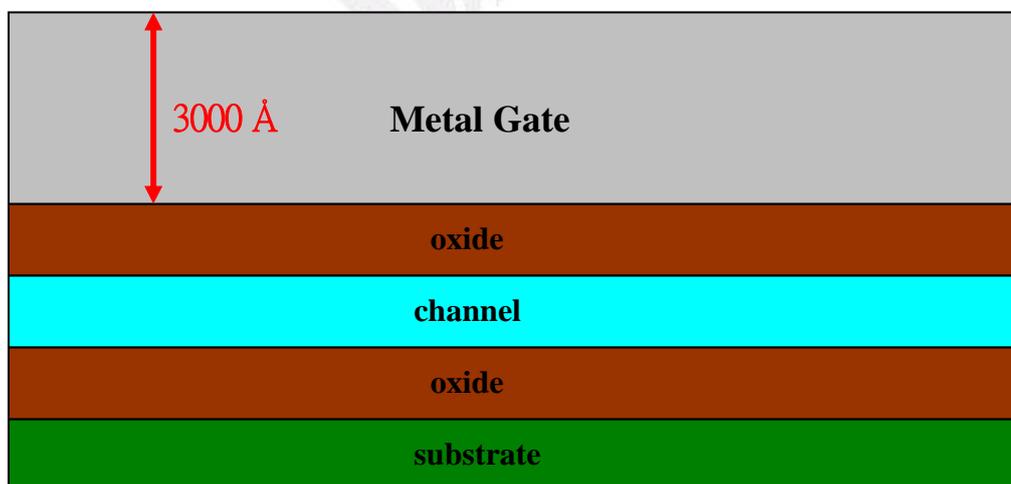
步驟 2 . 沉積 Poly-Si 當做通道主動區(複晶矽，厚 1000\AA)



步驟 3. 沉積 oxide 當做 top oxide (厚 1000 \AA)

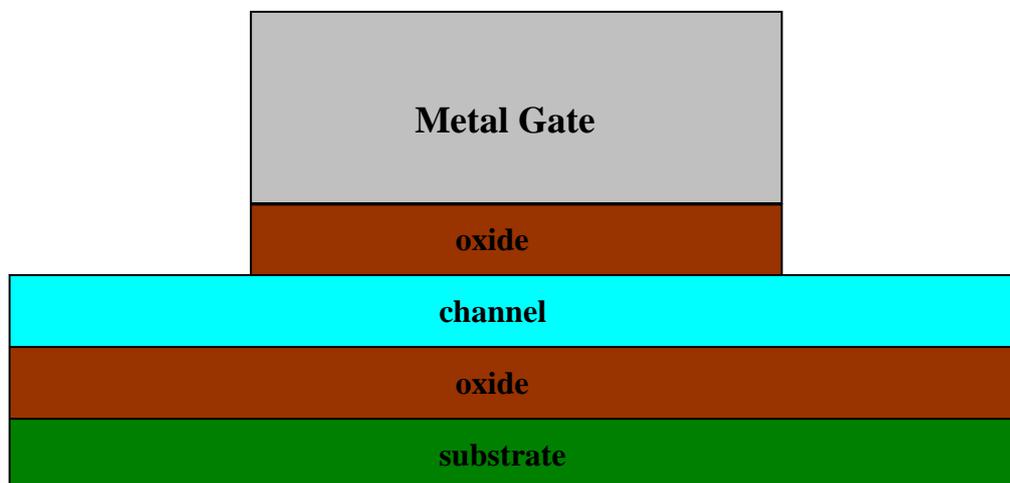


步驟 4. 沉積一金屬當做閘極電極 (鋁, 厚 3000 \AA)

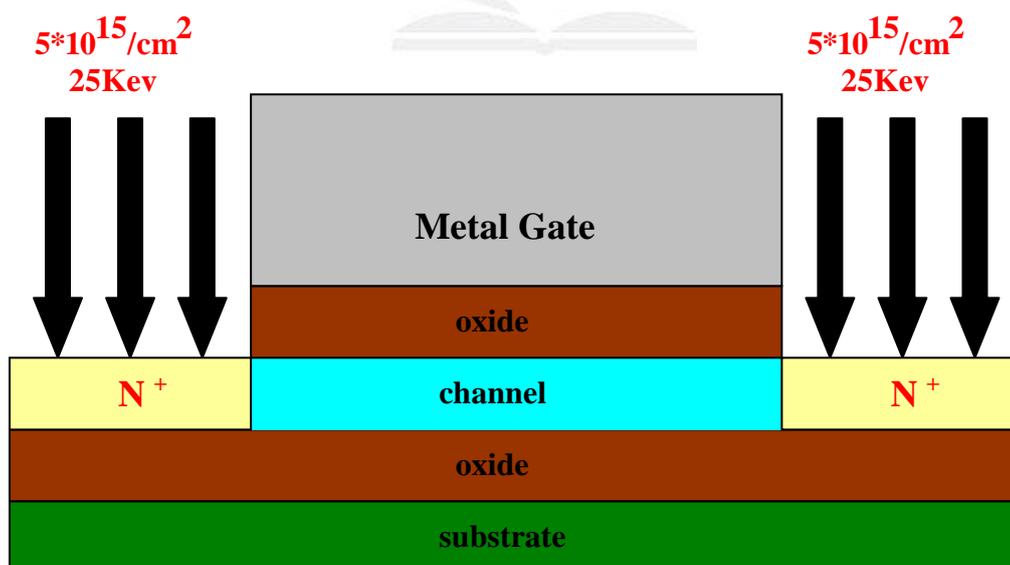


步驟 5. 下光罩 → 非等向性蝕刻形成垂直蝕刻 metal gate 及 oxide

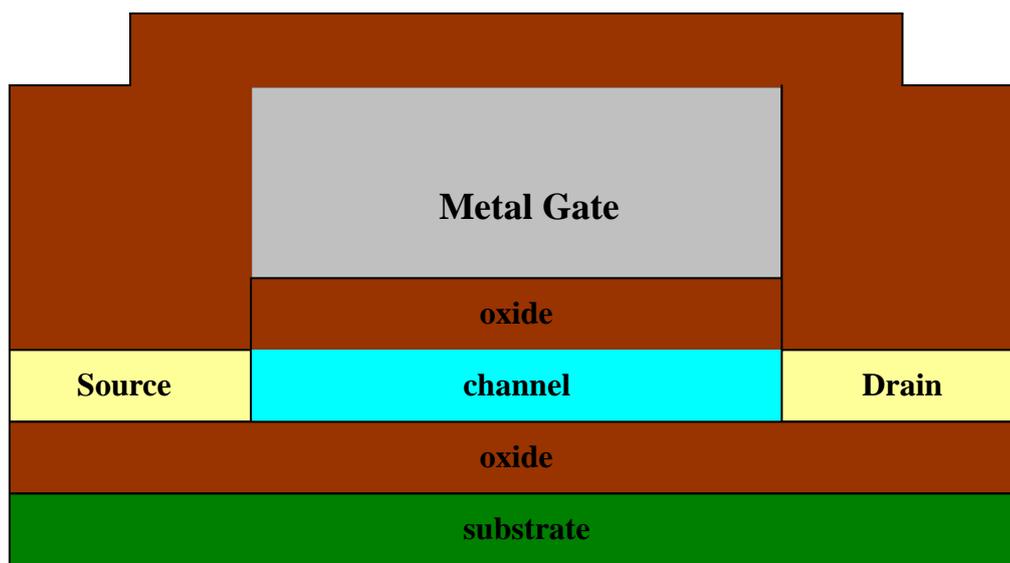
(anisotropic)



步驟 6. 摻雜-N⁺區域形成源 / 汲極區域(磷, 濃度 $5 \times 10^{15}/\text{cm}^2$, 能量25Kev, 角度 0°)



步驟 7. 去除光罩 → 回火anneal (8小時, 溫度600°C, 1atm) → 沉
積 oxide 當做一保護層 (厚4000 Å)



Names	Aug	Value	Aug	Value	Aug	Value	Aug	Value
environment	file	test	save	time	grid	type	debug	false
substrate	dopant	phosphorus	concentration	1E 15 /cm3	resistivity	0.002 ohm-cm	orientation	100
comment	text	Added process flow						
deposit	material	oxide	thickness	1 um	dopant	default	concentration	0 /cm3
deposit	material	silicon	thickness	1500 angstr	dopant	default	concentration	0 /cm3
deposit	material	oxide	thickness	1000 angstr	dopant	default	concentration	0 /cm3
deposit	material	metal	thickness	3000 angstr	dopant	default	concentration	0 /cm3
pattern	layer	CVD/ELL	polarity	dark_field	thickness	2 um	side	front
etch	material	metal	thickness	3600 angstr	etch_type	anisotropic	overetch	0
etch	material	oxide	thickness	1500 angstr	etch_type	anisotropic	overetch	0
implant	species	phosphorus	dose	5E 15 /cm2	energy	25 keV	th	0 deg
anneal	material	resist	thickness	2.1 um	etch_type	strip	overetch	0
deposit	time	8 hour	temperature	500 degC	pressure	1 atm	nitrogen	3 l/min
	material	oxide	thickness	4000 angstr	dopant	default	concentration	default

圖 2-1 傳統型元件實際元件模擬製程參數一覽表

2-2-2 模擬結果與電性分析

透過元件製程模擬軟體，明顯顯現出傳統型複晶薄膜電晶體在汲極與通道接合端高電場效應而產生的元件不良特性，導致大漏電流、Kink Effect、熱載子效應（Hot - Carrier Effect）等影響元件效能不好的效應。

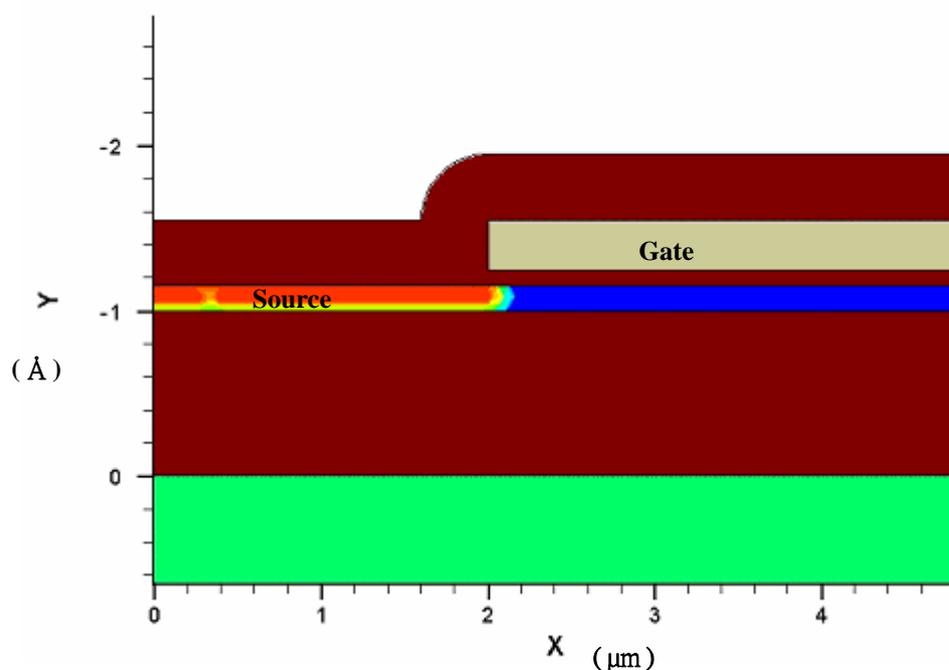


圖 2-2 傳統型薄膜電晶體元件結構製程實際軟體模擬圖

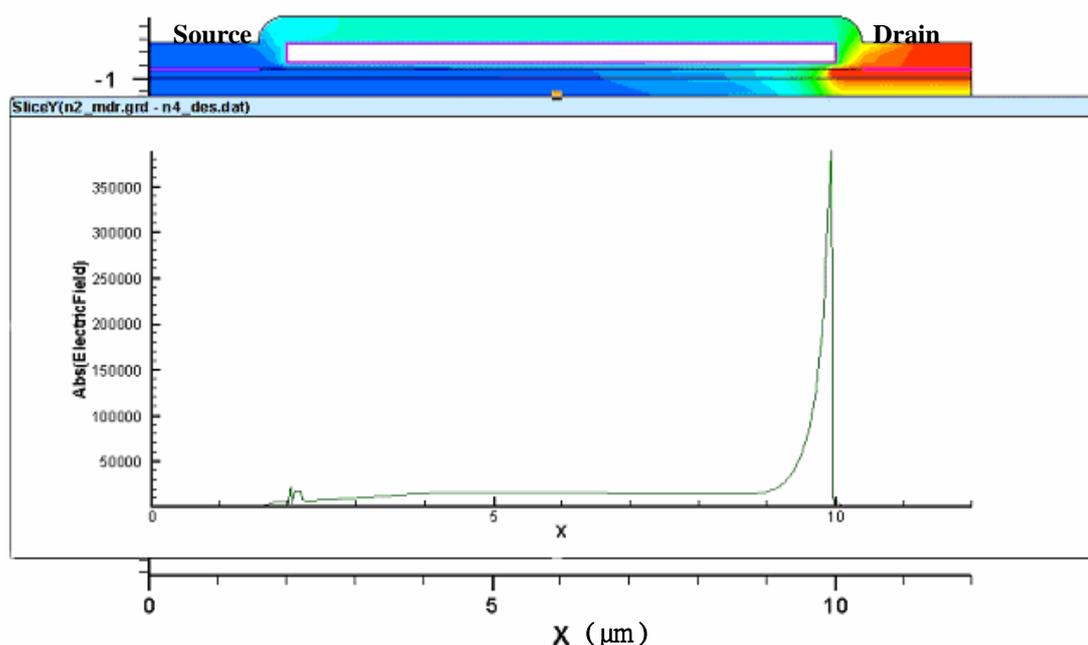


圖 2-3 傳統型薄膜電晶體汲極區高電場實際軟體模擬圖

2-3 閘極覆蓋輕摻雜汲極端雙閘極複晶矽薄膜電晶體

Gate - overlapped Lightly - Doped - Drain

Polycrystalline Silicon

Thin Film Transistor With a Double-Gate Structure

近來，LTPS 變的引人注目的原因是它已經可以廣泛被使用在主動矩陣型顯示器的應用，如：LCDs 和 OLEDs。主動矩陣型顯示器整合電路能夠被有效率的發展是由於高效能的 LTPS TFT 的幫助，而高效能的 LTPS TFT 即是指高啟始電流能力與低漏電流的特性，而更正確的

地驅動畫素，並利用低溫多晶矽(low temperature poly silicon, LTPS)作為電晶體的半導體主動層以增加元件的開關速率並使畫素的驅動電流增加，最後，佈局結果尚須配合製程的設計以達到可以投產的目的。

利用低溫多晶矽作為半導體主動層，其優點是載子的移動率(mobility)比較高，故元件在開關時的轉換速率比較快，這使得畫面轉換速率(frame rate)可以提高；並且因為低溫多晶矽的操作電流較高，所以適合用來驅動需要較高驅動電流的發光元件，例如：有機發光二極體(OLED)。不過，因為多晶矽的晶粒(grain)較大，晶粒之間的晶界(grain boundary)容易使得電荷載子在這裡流失，因而造成漏電流的效應，因此需要使用雙閘極的結構(double gate)。

我們所提出的為圖 2-4，它的結構類似一個三明治，擁有兩個閘極 (top gate & bottom gate) 包覆著兩個閘極氧化層以及材料為 Poly-Si 的主動層。而上端閘極的長度比下端閘極的長度短，這是為了形成閘極覆蓋輕摻雜汲極端。簡單說，此雙閘極的結構是由上端附加漸層 LDD 電晶體以及下端閘極覆蓋漸層 LDD 結構所組成。

在這個元件結構及製程方式的改進與研究中，它擁有自我對準 (Self - aligned) 之漸層式輕摻雜汲極(LDD)結構的製作方式 其製作方式比以往方式更為簡化，且有自我對準之功效，減少因多一次微影

製程而所帶來的元件降良率降低。製程利用摻雜原子的長距離橫向擴散來達到漸層式淺摻雜及極輕摻雜的目的。我們所提出的結構不僅能夠對短通道效應有良好的免疫力，而雙閘極所帶來的高電流驅動能力，以及漸層式輕摻雜所帶來有效降低及極端附近的橫向高電場。

利用此新穎方式所製作出的低溫多晶矽薄膜電晶體皆具有極低漏電流、高開關電流比、高輸出電阻、以及高度之可靠性。

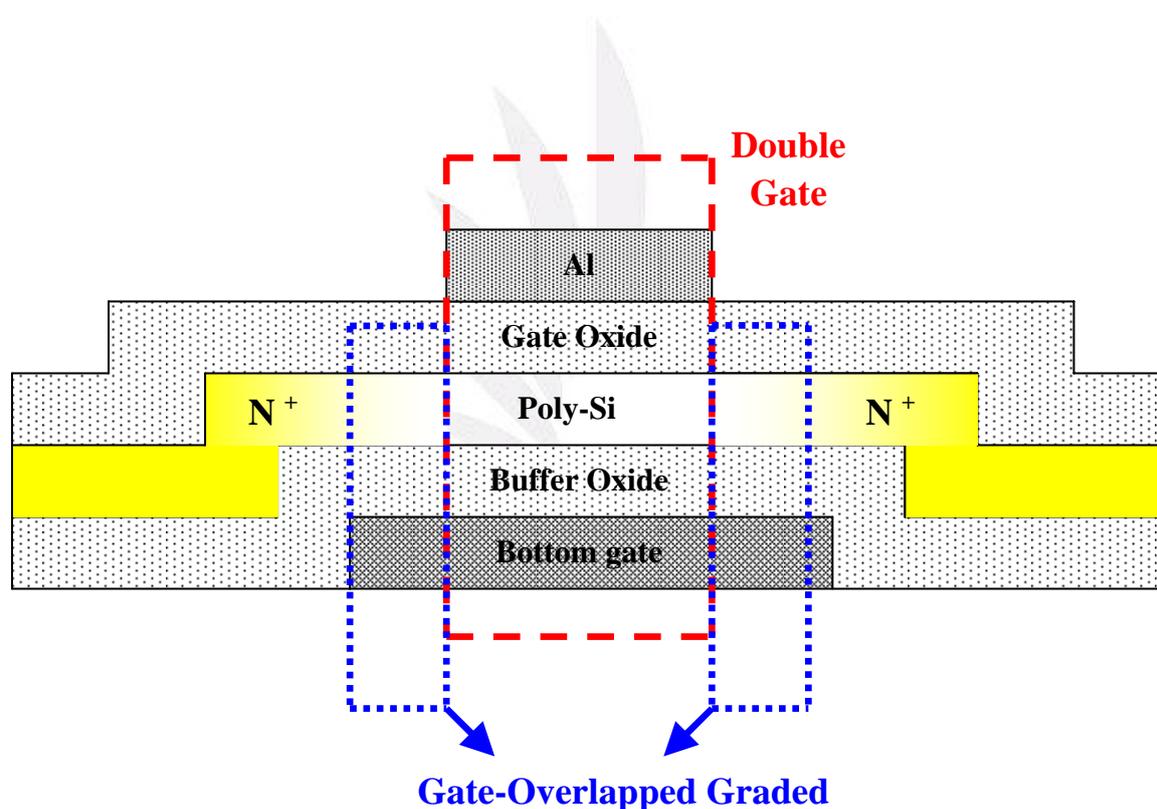


圖2-4 Gate-overlapped LDD Poly-Si TFT with a Double Gate Structure

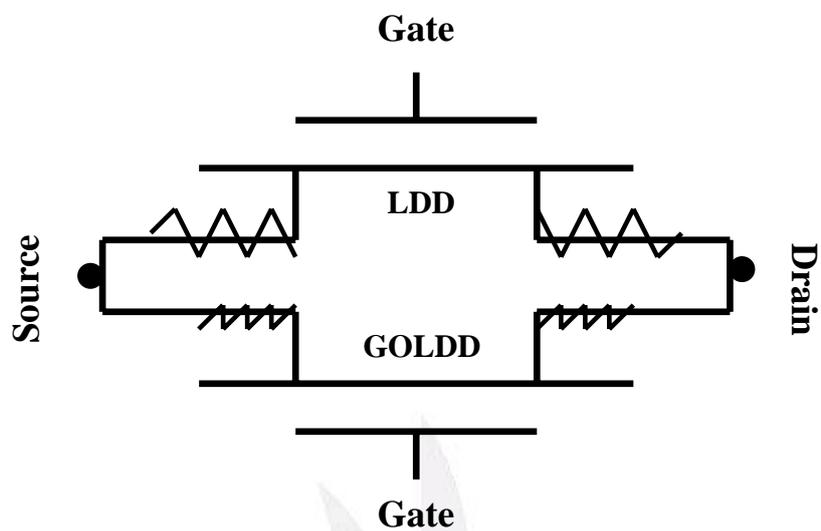
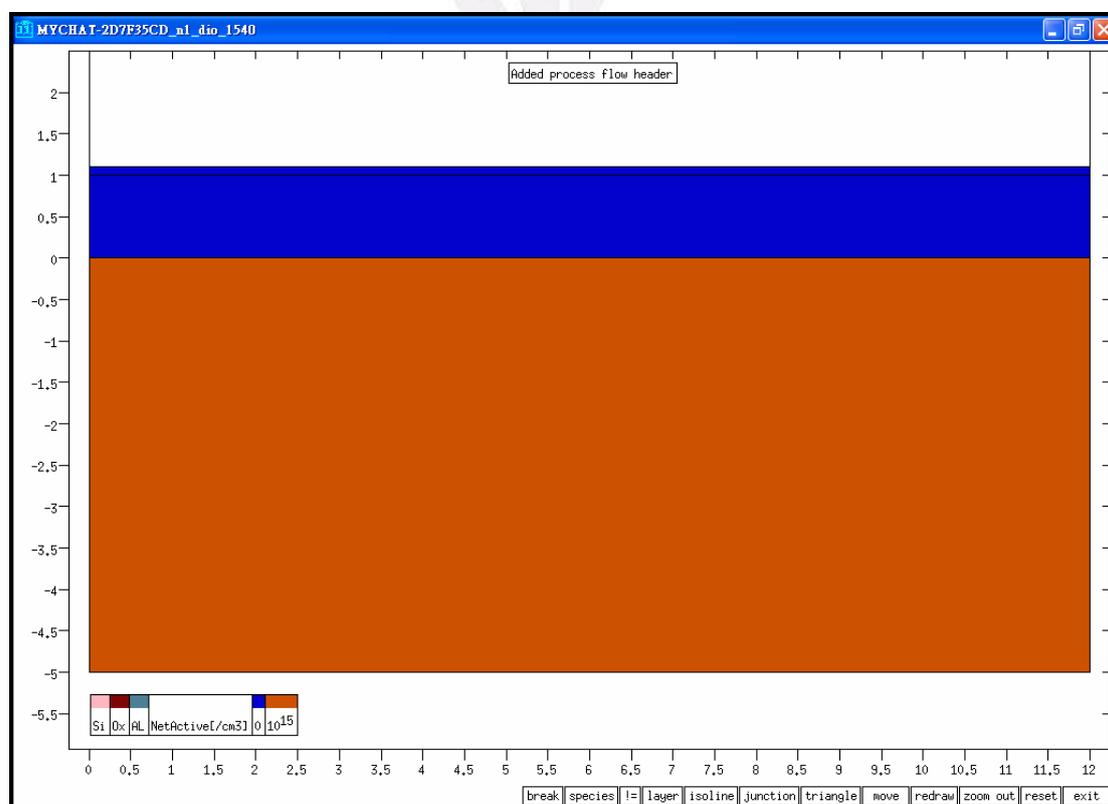
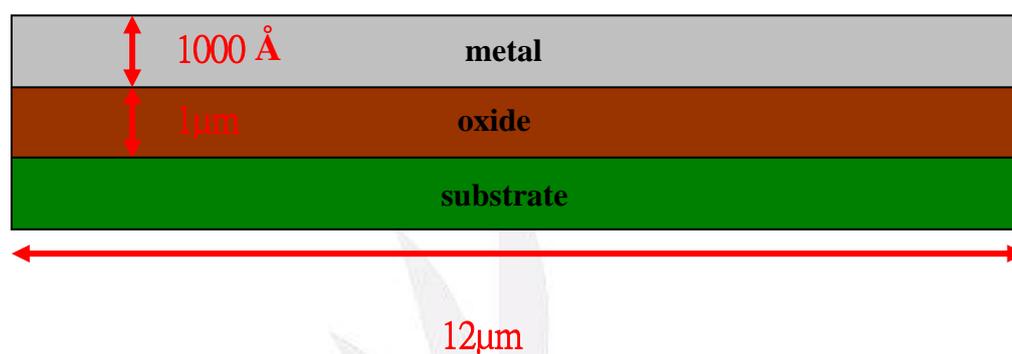


圖 2-5 相對等效電路圖

2-3-1 新穎降電場元件結構製程模擬步驟細節

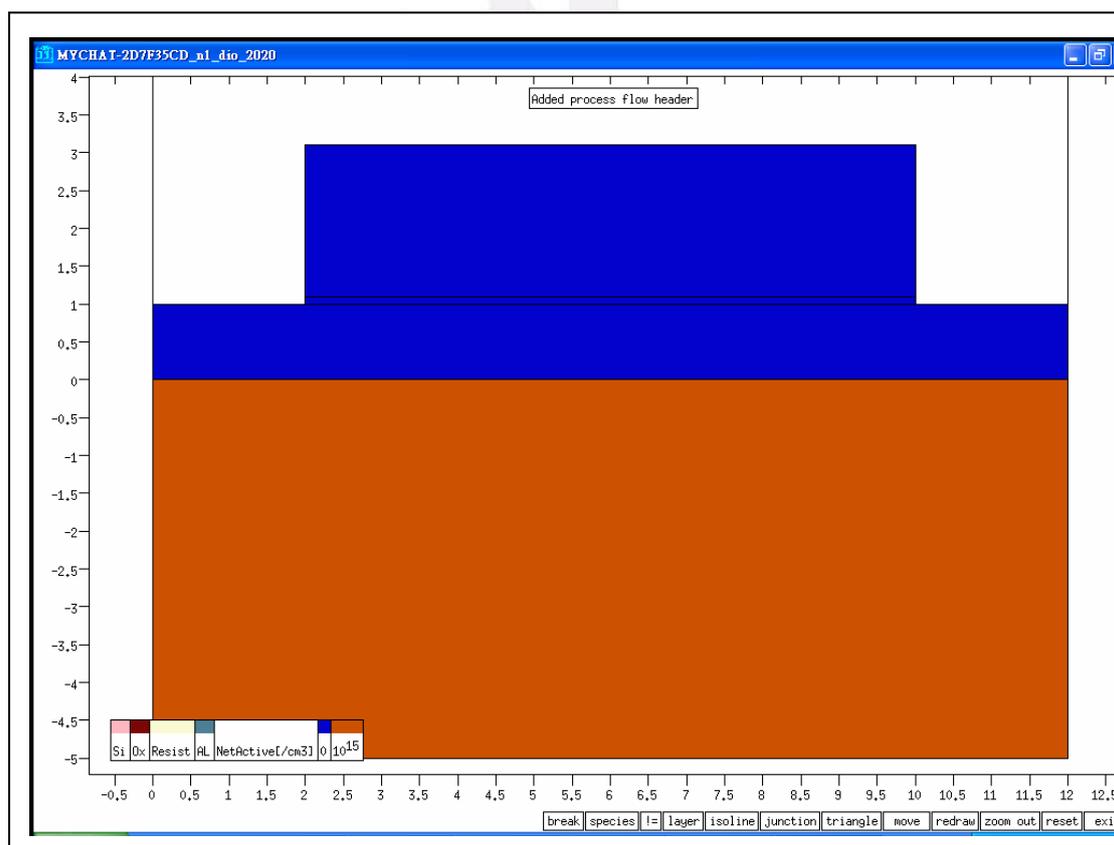
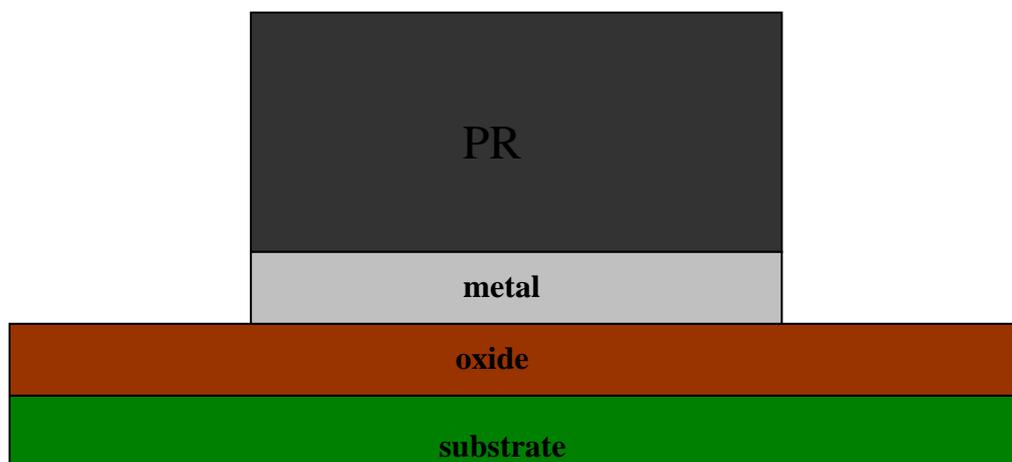
模擬元件長度 $12\mu\text{m}$ 、通道長度為 $8\mu\text{m}$ 、通道厚度 1000\AA

步驟 1. 基底沉積一層 oxide \rightarrow 沉積一層 metal (oxide 厚 $1\mu\text{m}$, metal 厚 1000\AA)



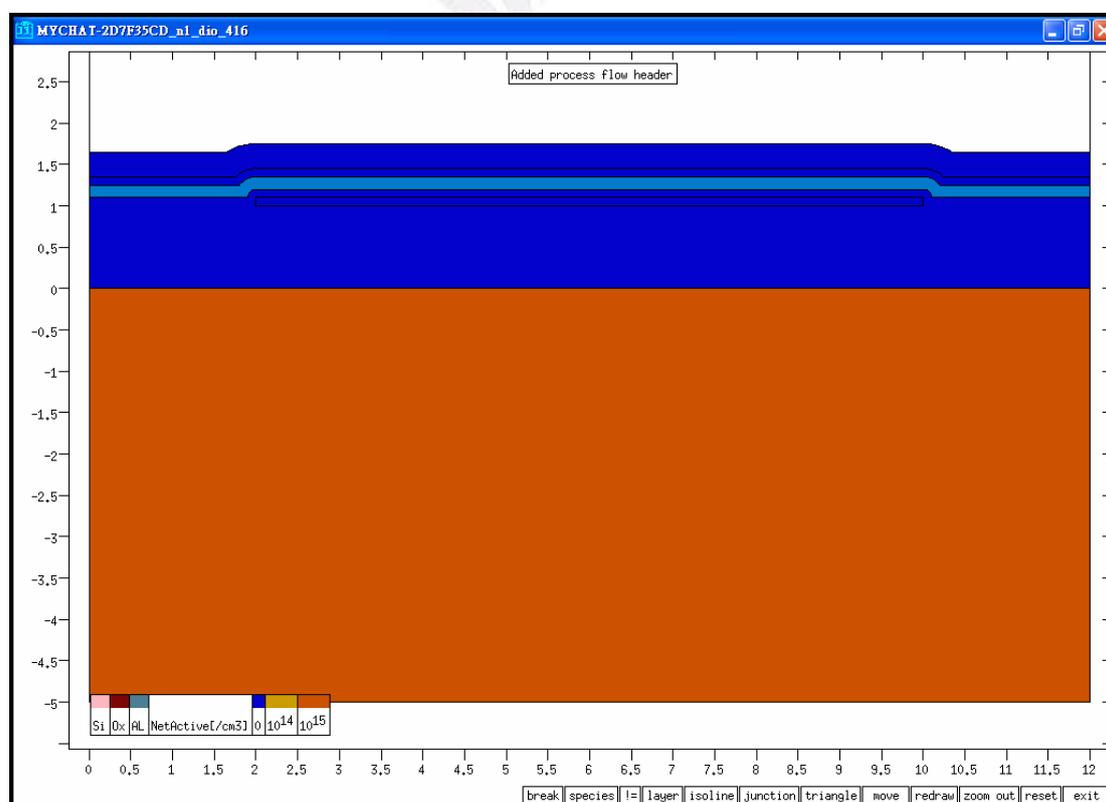
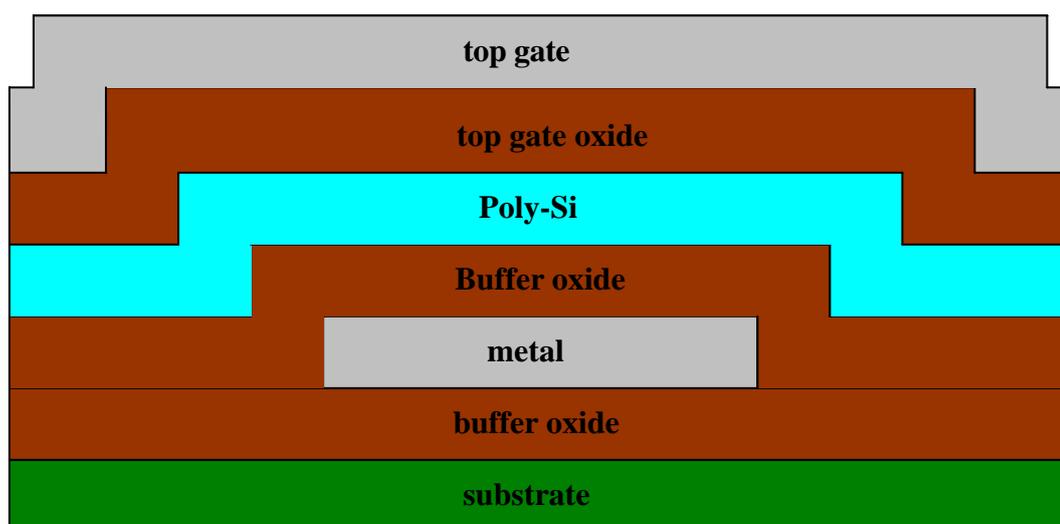
實際軟體模擬圖形

步驟 2. 下光罩(2 μm)、非等向性蝕刻形成垂直蝕刻 metal (anisotropic 1050 Å)



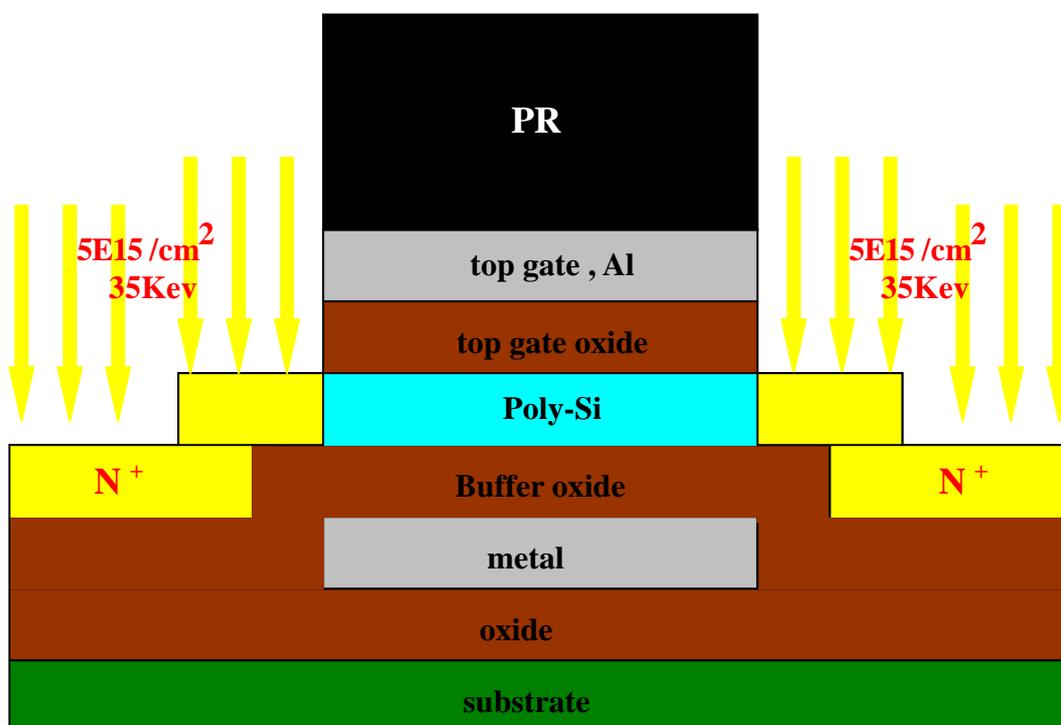
實際軟體模擬圖形

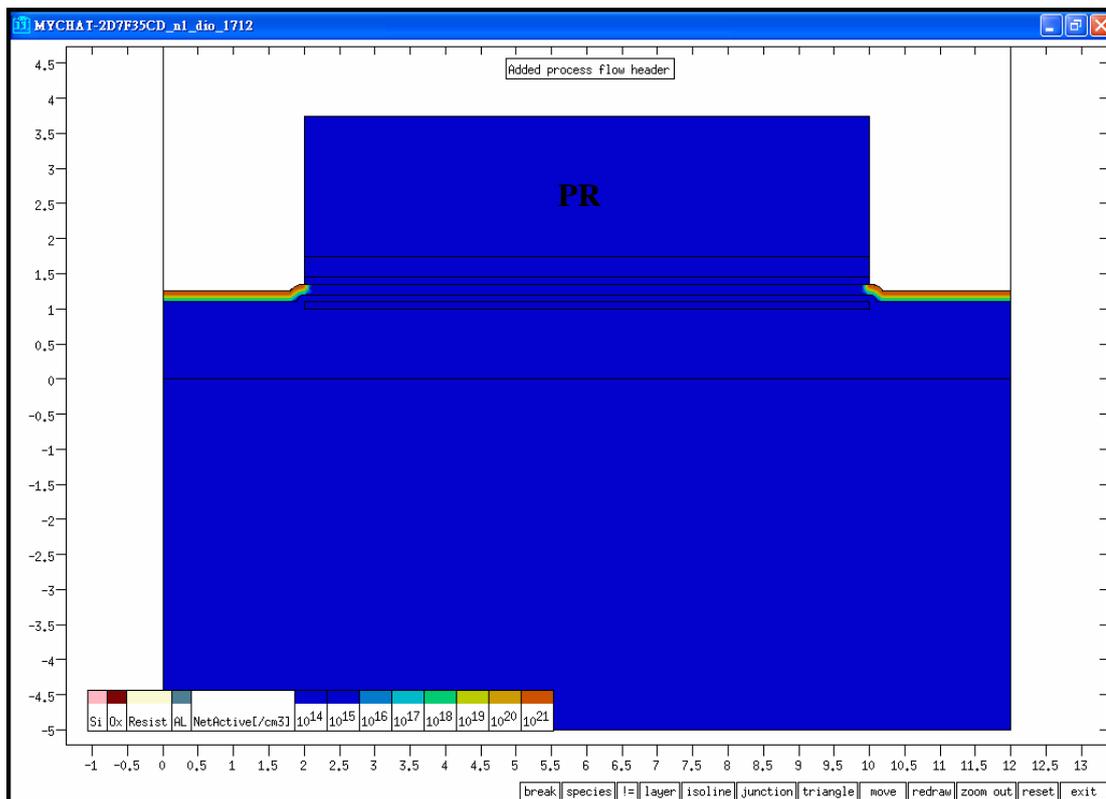
步驟 3. 去除光罩 (etch $2.1\mu\text{m}$) → 沉積一層 oxide 當做 buffer oxide (1000 \AA) → 沉積一層 Poly-Si 當做 channel (1000 \AA) → 沉積一層 oxide 當做 top gate oxide (1000 \AA) → 沉積一層 metal 當做 (3000 \AA)



實際軟體模擬圖形

- 步驟 4. 下光罩 ($2\mu\text{m}$) \rightarrow 非等向性蝕刻形成垂直蝕刻metal
(anisotropic 3600 \AA) \rightarrow 非等向性蝕刻形成垂直蝕刻oxide
(anisotropic 1500 \AA) \rightarrow 重摻雜phosphorous 形成source /
drain區 (濃度 $5\text{E}15 / \text{cm}^2$, 能量 35Kev , 角度 0°)

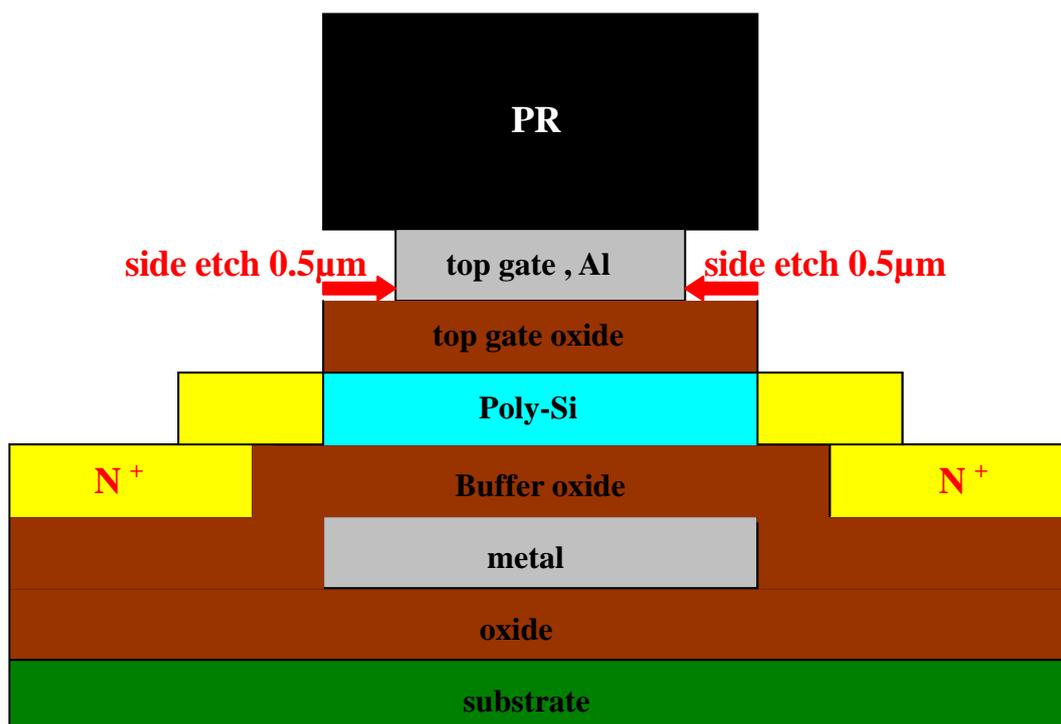


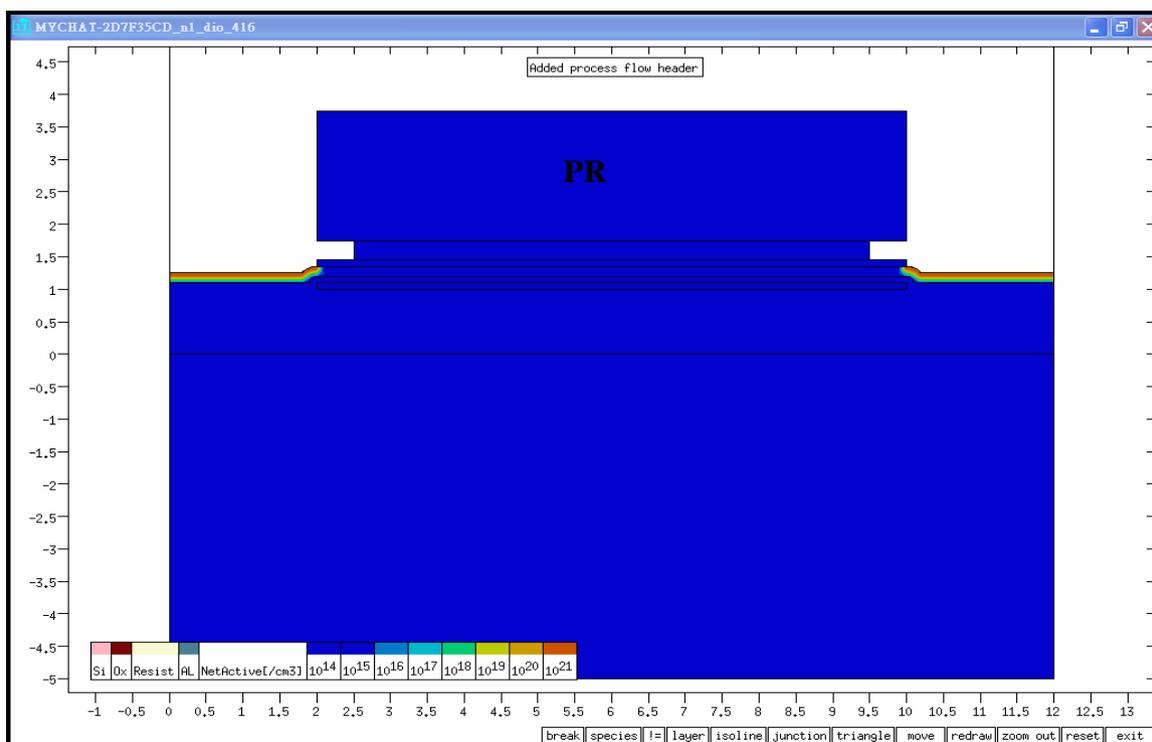


實際軟體模擬圖形

步驟 5. 利用等向性蝕刻達到側吃 (Side etch) metal 的效果

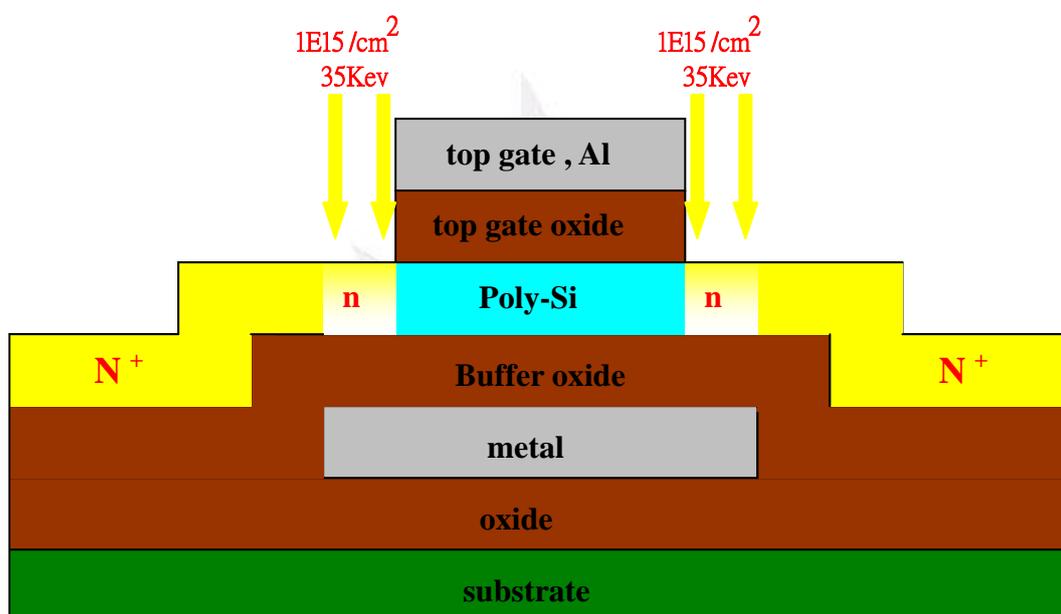
(isotropic $0.5\mu\text{m}$)

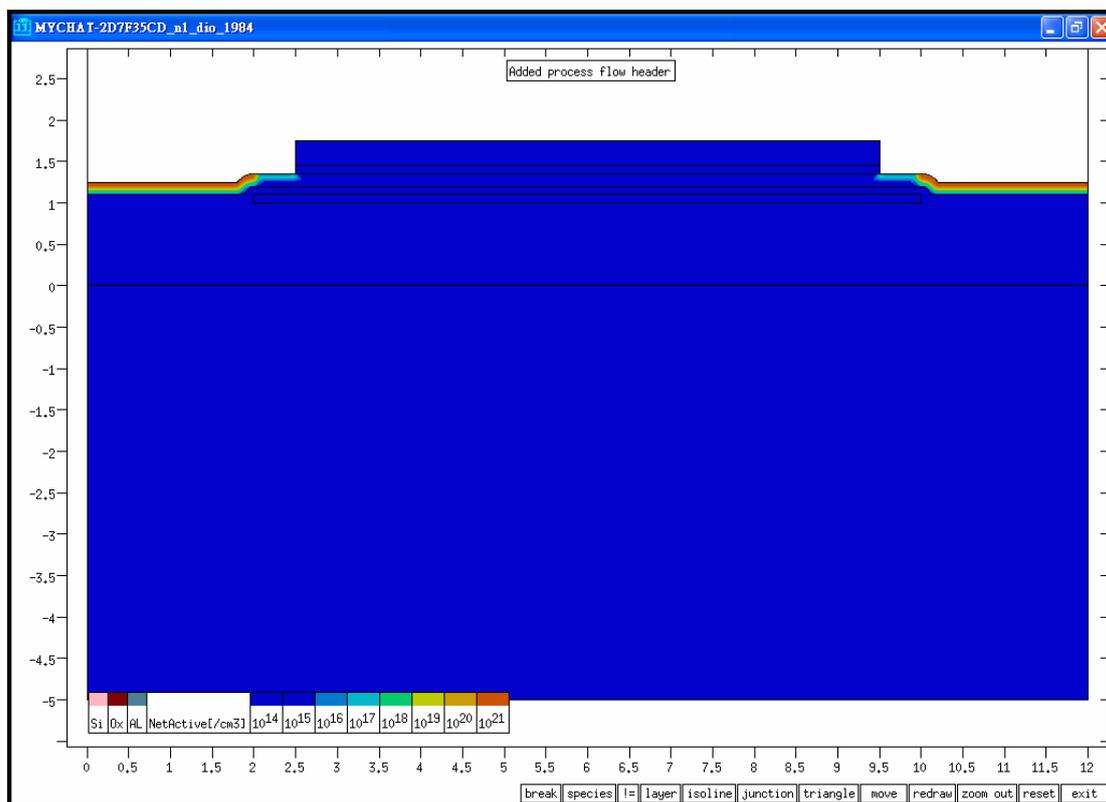




實際軟體模擬圖形

步驟 6. 去除光罩 (2.1 μm) \rightarrow 非等向性蝕刻形成垂直蝕刻 oxide
(anisotropic 1020 \AA) \rightarrow 輕摻雜 phosphorous 形成 LDD(implant
磷, 濃度 $1\text{E}12/\text{cm}^2$, 能量 35 Kev, 角度 0°)

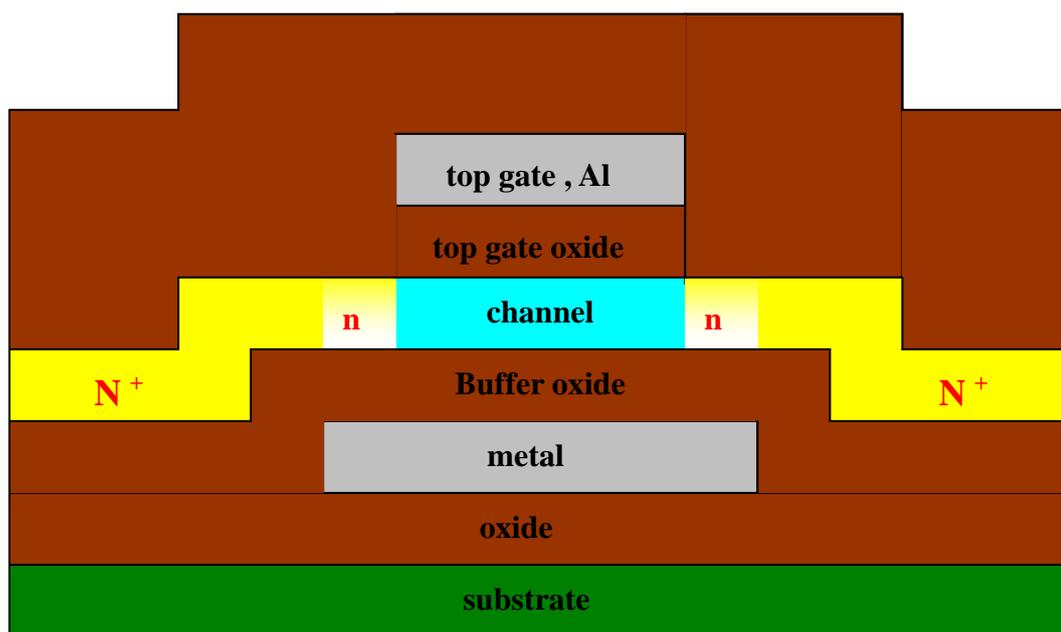


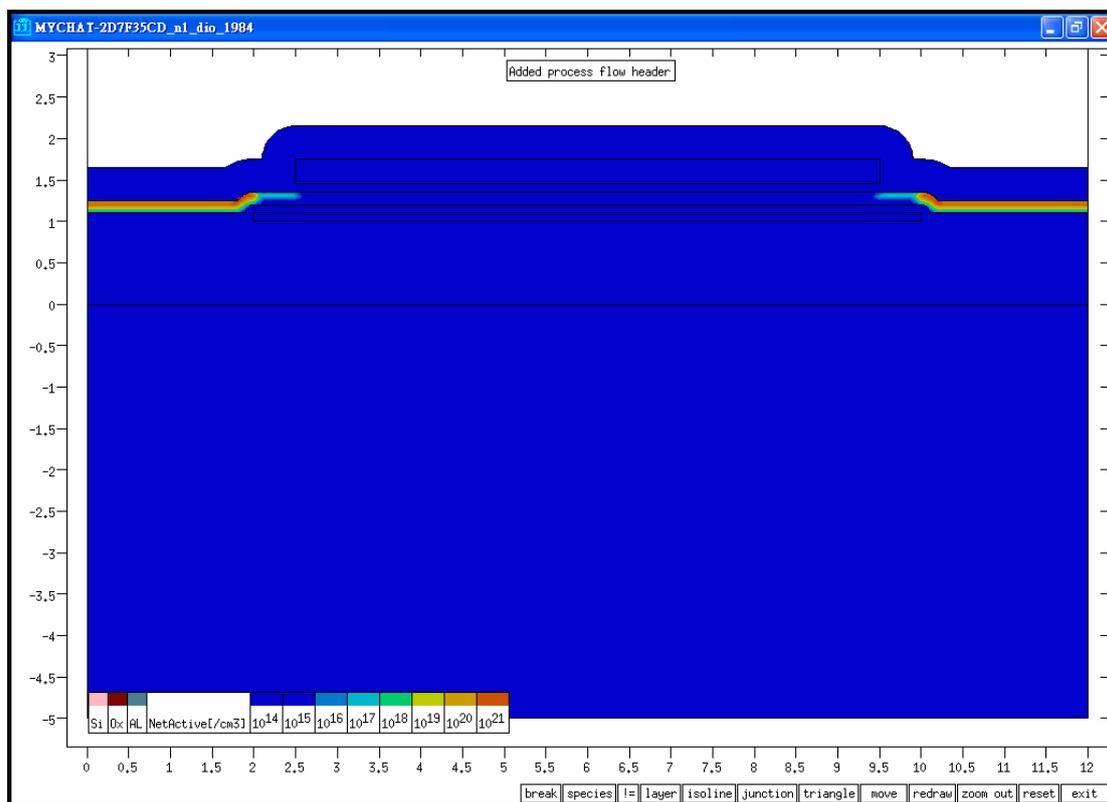


實際軟體模擬圖形

步驟 7. 回火anneal (回火6小時，溫度600°C，1atm) → 沉積 oxide

當做一保護層 (厚4000 Å)





實際軟體模擬圖形

Variables & Macros		Flow		Unfolded Flow		
Names	Arg	Value	Arg	Value	Arg	Value
environment	title	test	save	true	grid	true
substrate	dopant	phosphorus	concentration	1E15 /cm3	resistivity	0.002 ohm-cm
comment	text	Added process fl	thickness	1 um	dopant	default
deposit	material	oxide	thickness	1000 angstr	dopant	default
deposit	material	metal	thickness	1000 angstr	dopant	default
pattern	layer	CWELL	polarity	dark_field	thickness	2 um
etch	material	metal	thickness	1050 angstr	etch_type	anisotropic
etch	material	resist	thickness	2.1 um	etch_type	stip
deposit	material	oxide	thickness	1000 angstr	dopant	default
deposit	material	silicon	thickness	1000 angstr	dopant	default
deposit	material	oxide	thickness	1000 angstr	dopant	default
deposit	material	oxide	thickness	1000 angstr	dopant	default
deposit	material	metal	thickness	3000 angstr	dopant	default
pattern	layer	CWELL	polarity	dark_field	thickness	2 um
etch	material	metal	thickness	3600 angstr	etch_type	anisotropic
etch	material	oxide	thickness	1500 angstr	etch_type	anisotropic
Implant	species	phosphorus	dose	5E15 /cm2	energy	35 keV
etch	material	metal	thickness	0.5 um	etch_type	isotropic
etch	material	resist	thickness	2.1 um	etch_type	stip
etch	material	oxide	thickness	1020 angstr	etch_type	anisotropic
implant	species	phosphorus	dose	1E11 /cm2	energy	35 keV
anneal	time	6 hour	temperature	600 degC	pressure	1 atm
deposit	material	oxide	thickness	4000 angstr	dopant	default
					debug	false
					orientation	100
					concentration	0 /cm3
					concentration	0 /cm3
					side	front
					overetch	0
					overetch	0
					concentration	0 /cm3
					concentration	0 /cm3
					concentration	0 /cm3
					side	front
					overetch	0
					overetch	0
					tilt	0 deg
					overetch	0
					overetch	0
					tilt	0 deg
					nitrogen	3 l/min
					concentration	default

圖 2-6 新穎降電場結構實際元件模擬製程參數一攬表

2-3-2 輕摻雜(LDD)濃度參數模擬比較

其所有相關特性分析設定方面均和上節所述結構之分析相同

本模擬研究是針對新穎降電場結構輕摻雜(LDD)濃度部分，進行濃度參數設定，對於模擬結果做分析與比較。另外，對於分析的假設情況如下所示：

1. 本研究對於輕摻雜濃度設定分別如下： $8E11/cm^2$ 、 $1E12/cm^2$ 、 $6E13/cm^2$ 三種情況。
2. 並且模擬通道電場狀況
3. 針對新穎降電場的結構與傳統型元件的比較

軟體模擬結果

濃度 $8E11 / \text{cm}^2$

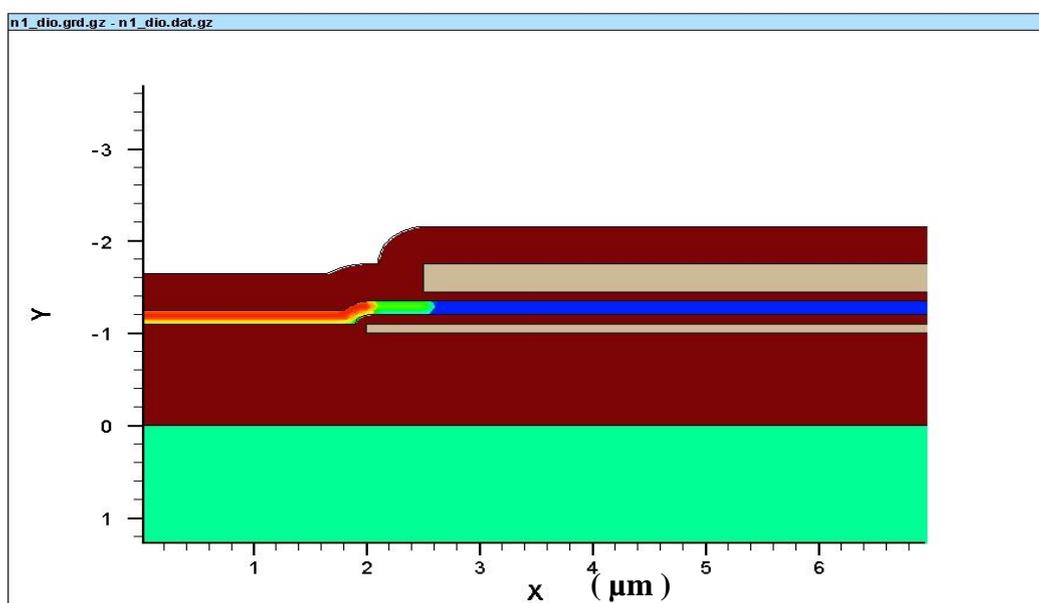


圖 2-7 輕摻雜濃度 $8E11 / \text{cm}^2$ Source 端結構模擬圖

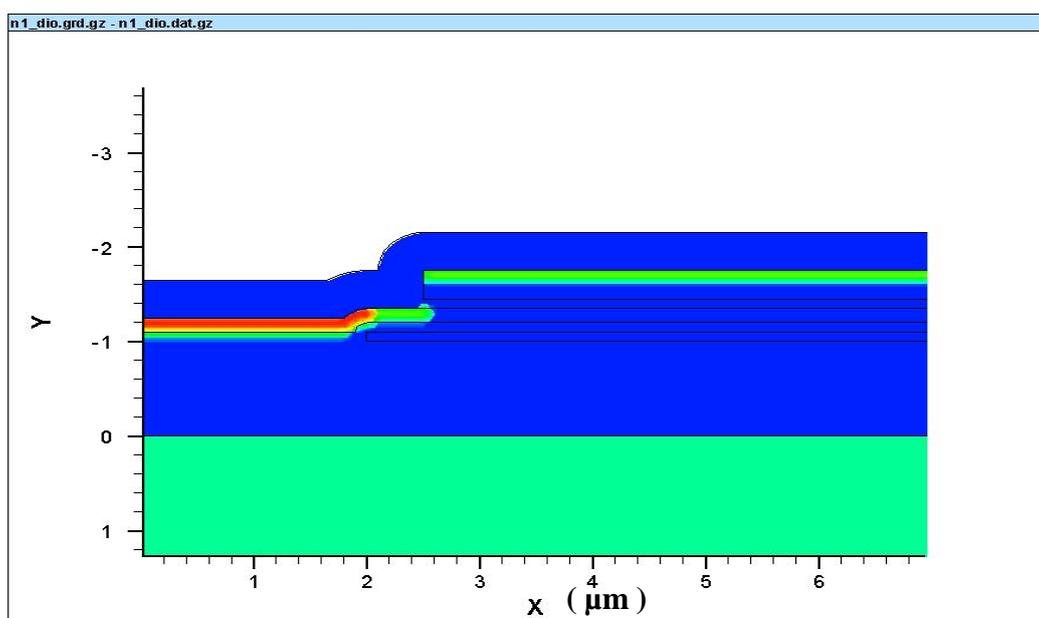


圖 2-8 輕摻雜濃度 $8E11 / \text{cm}^2$ Source 端濃度結構模擬圖

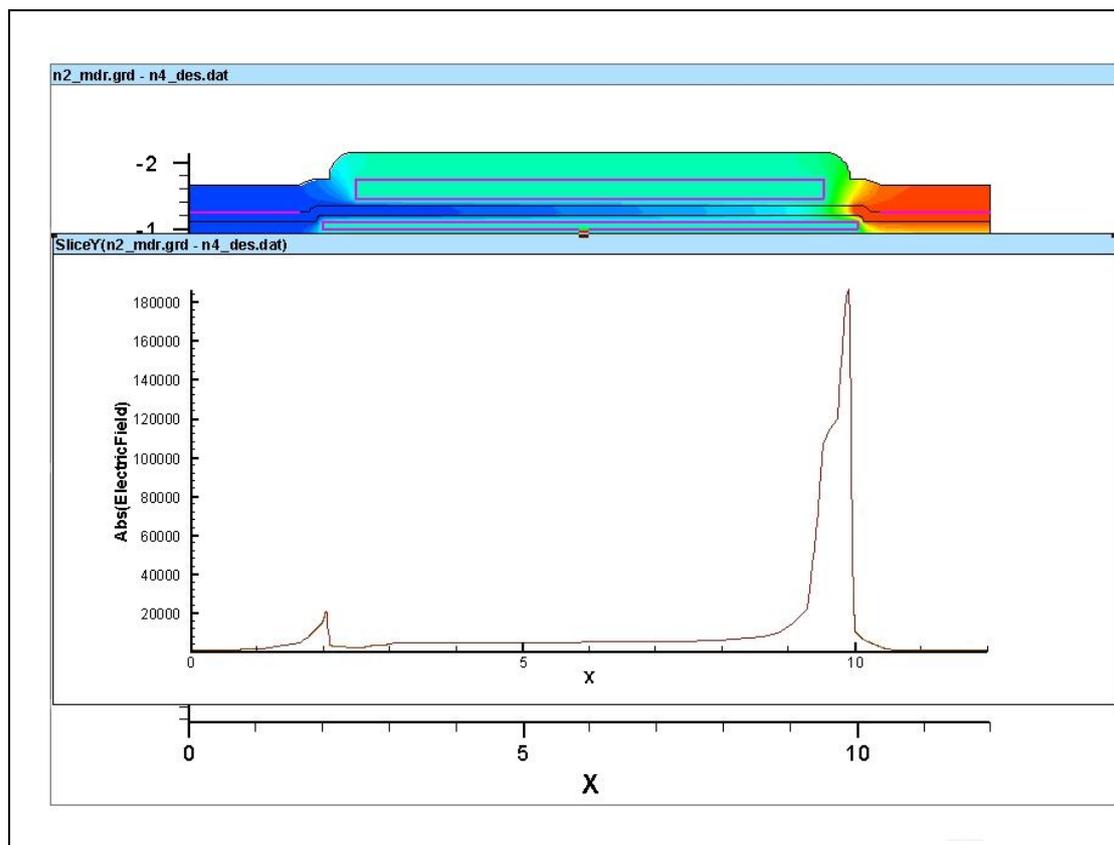


圖 2-9 輕摻雜濃度 $8E11 / \text{cm}^2$ 通道電場模擬圖

濃度 $1E12 / \text{cm}^2$

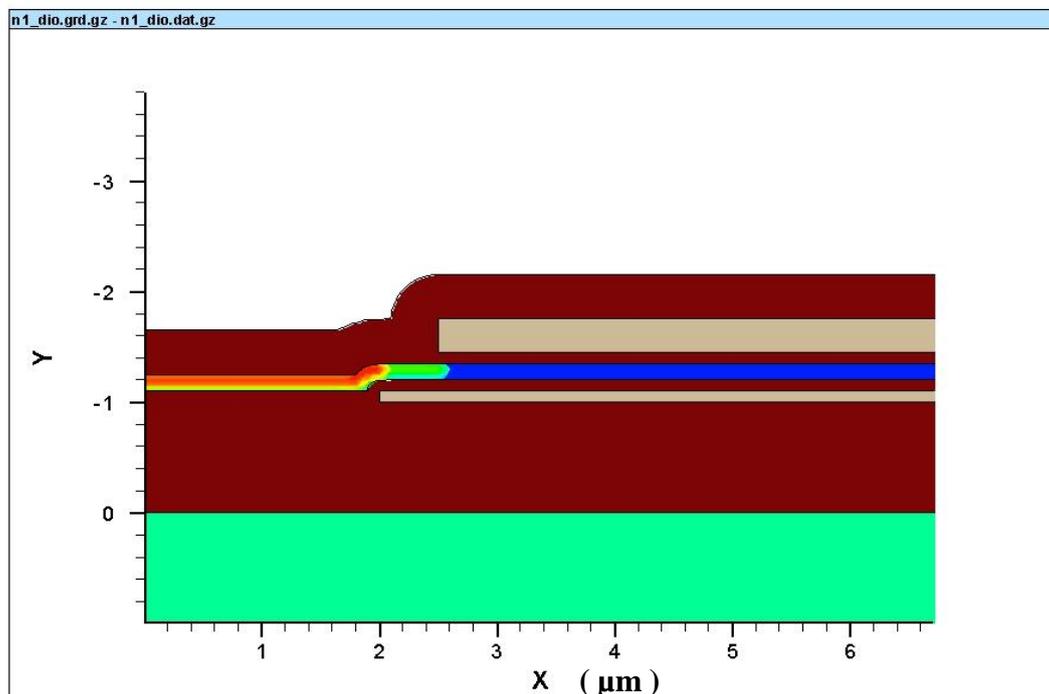


圖 2-10 輕摻雜濃度 $1E12 / \text{cm}^2$ Source 端結構模擬圖

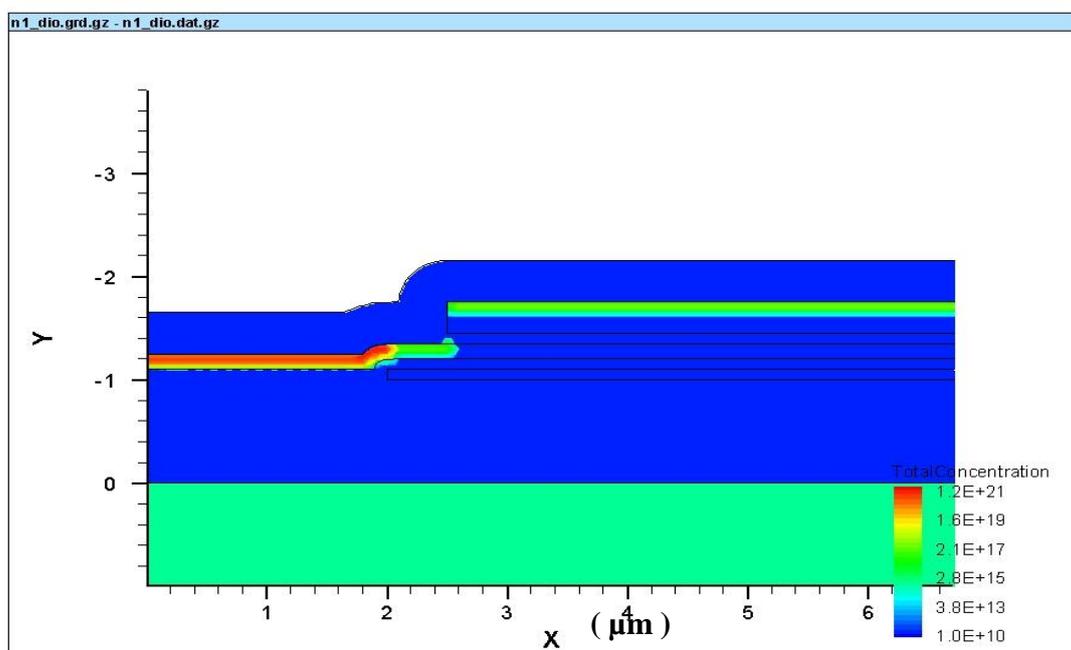


圖 2-11 輕摻雜濃度 $1E12 / \text{cm}^2$ Source 端濃度結構模擬圖

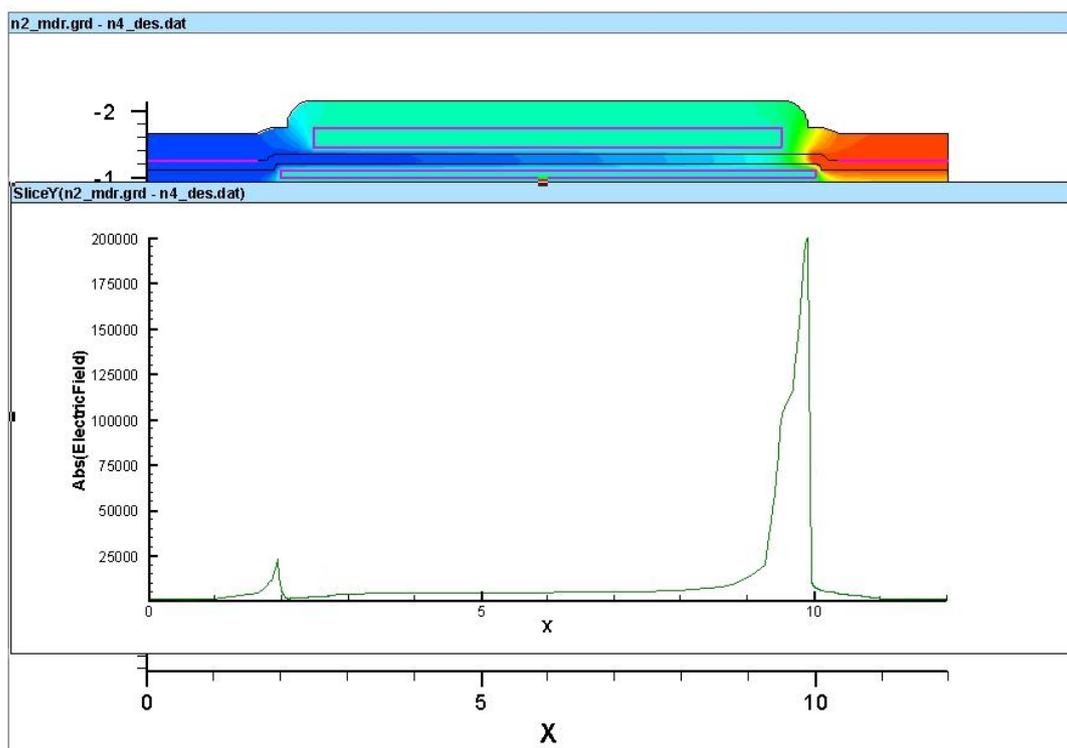


圖 2-12 輕摻雜濃度 $1E12 / \text{cm}^2$ 通道電場模擬圖

濃度 $6E13 / \text{cm}^2$

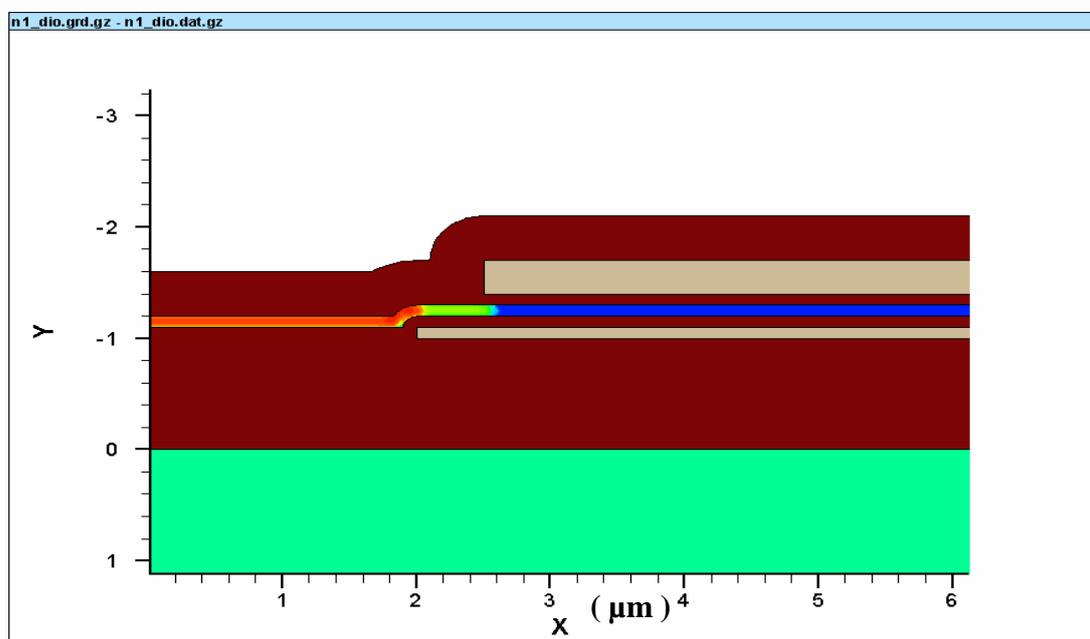


圖 2-13 輕摻雜濃度 $6E13 / \text{cm}^2$ Source 端結構模擬圖

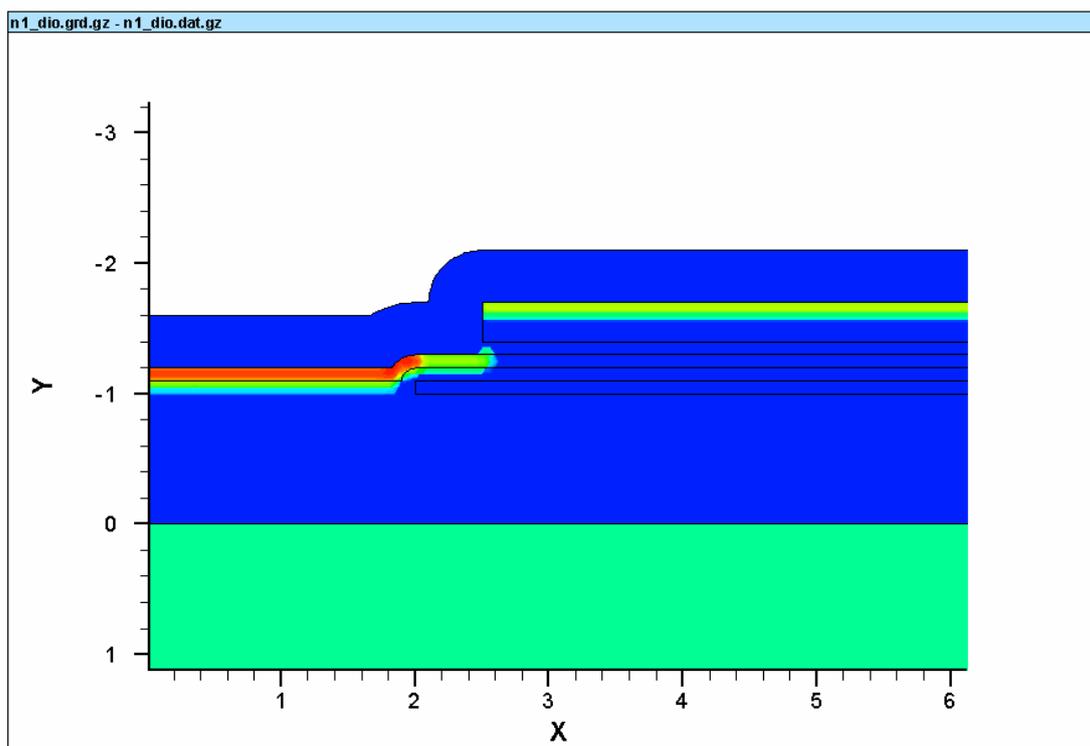


圖 2-14 輕摻雜濃度 $6E13 / \text{cm}^2$ Source 端濃度結構模擬圖

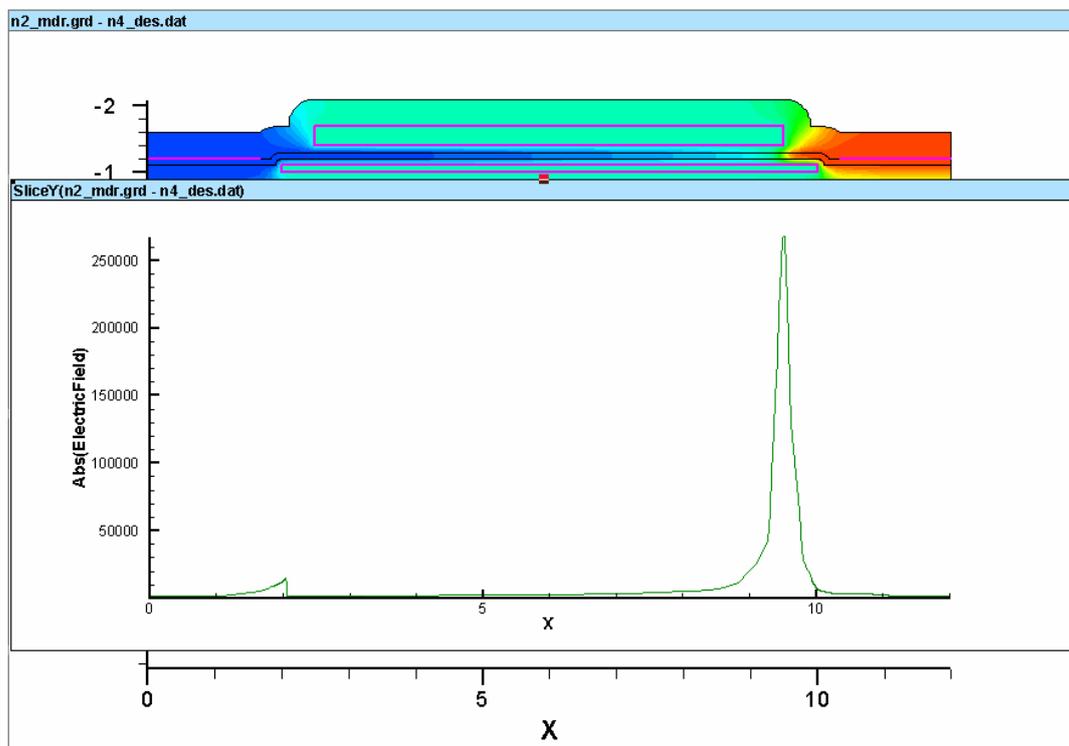


圖 2-15 輕摻雜濃度 $6E13 / \text{cm}^2$ 通道電場模擬圖

小結：當LDD濃度越低，新穎結構降電場現象越明顯。

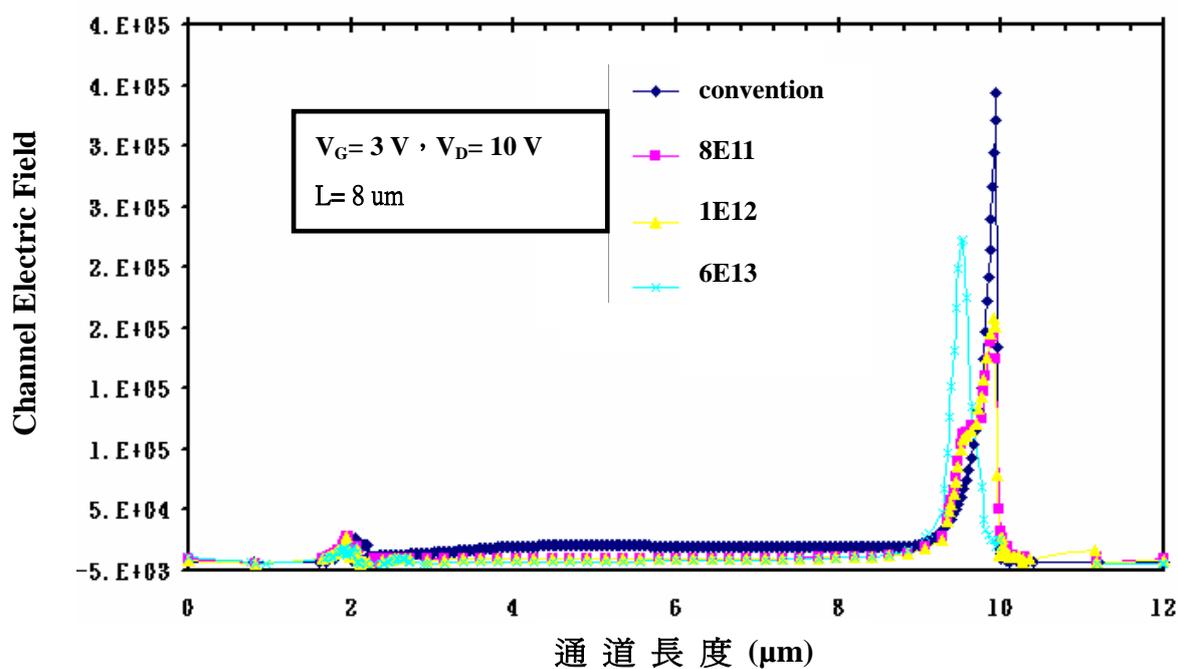


圖 2-16 各濃度與傳統型電場比較圖

2-3-3 Offset Gate長度參數模擬比較

其所有相關特性分析設定方面均和上節所述結構之分析相同

首先本研究是針對通道長度為 $12\mu\text{m}$ 的情況下進行閘電極 OFFSET狀態的分析及探討。另外，對於分析的假設情況如下所示：

1. 上閘極是個別移動進行分析。可解釋為當上閘極進行移位 (OFFSET) 時，下方閘極是保持不動的。
2. 另外，本研究對於閘極移位的長度設定分別如下： **$0.5\mu\text{m}$** 、 **$1.5\mu\text{m}$** 、 **$2.5\mu\text{m}$** 三種情況。
3. 最後，透過上述三種不同的移位長度及上、下兩閘極的況，分別針對其模擬通道電場狀況。
4. 針對新穎降電場的結構與傳統型元件的比較

軟體模擬結果

Offset gate 0.5 μm

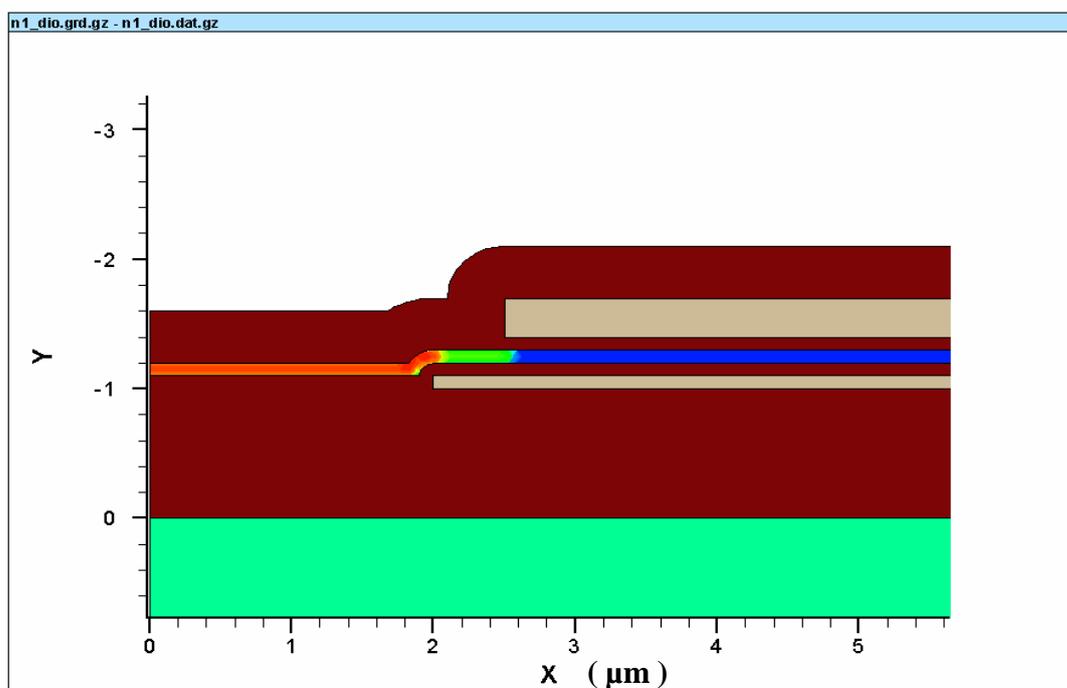


圖 2-17 Offset 0.5 μm Source 端結構模擬圖

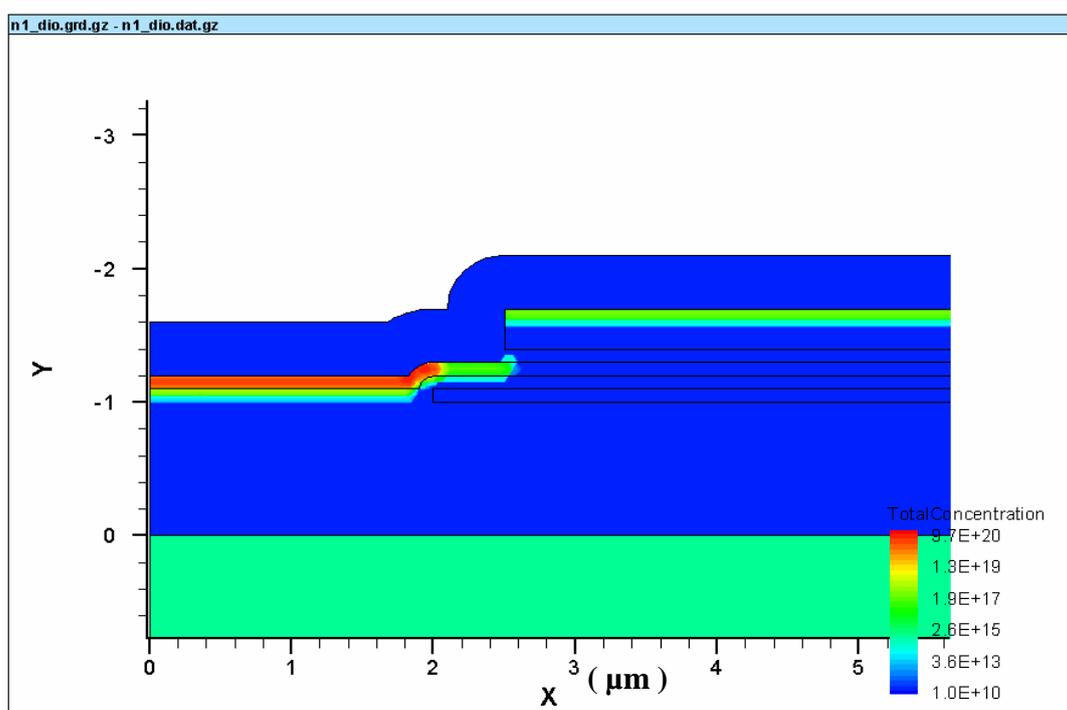


圖 2-18 Offset 0.5 μm Source 端濃度結構模擬圖

Offset gate 1.5 μm

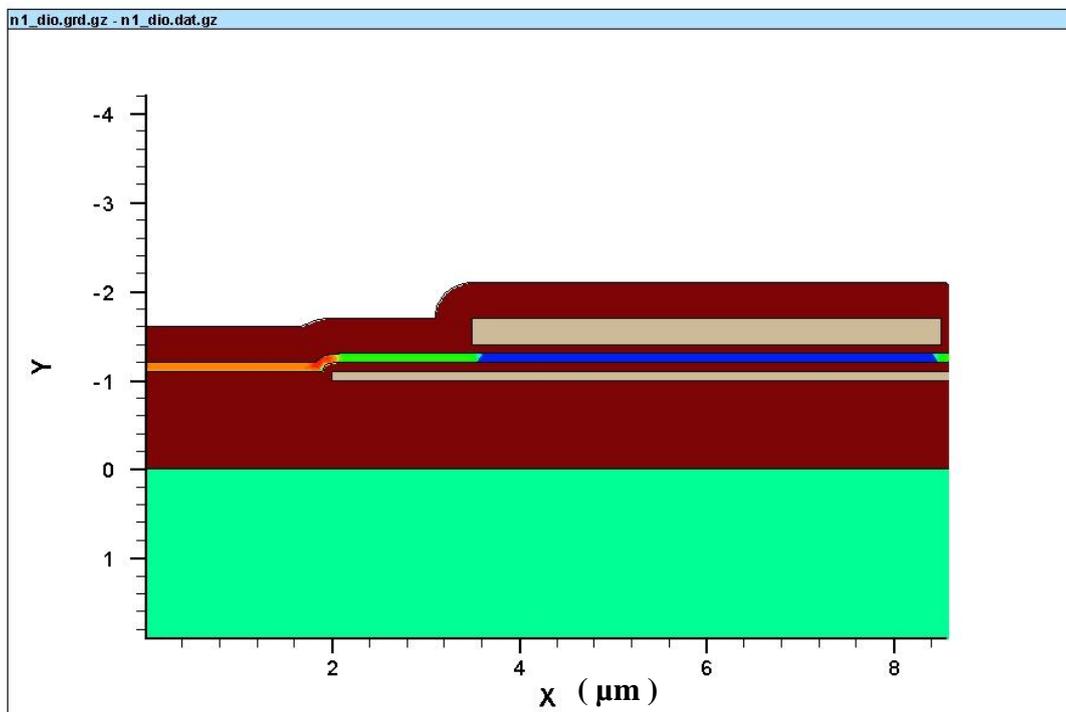


圖 2-19 Offset 1.5 μm Source 端結構模擬圖

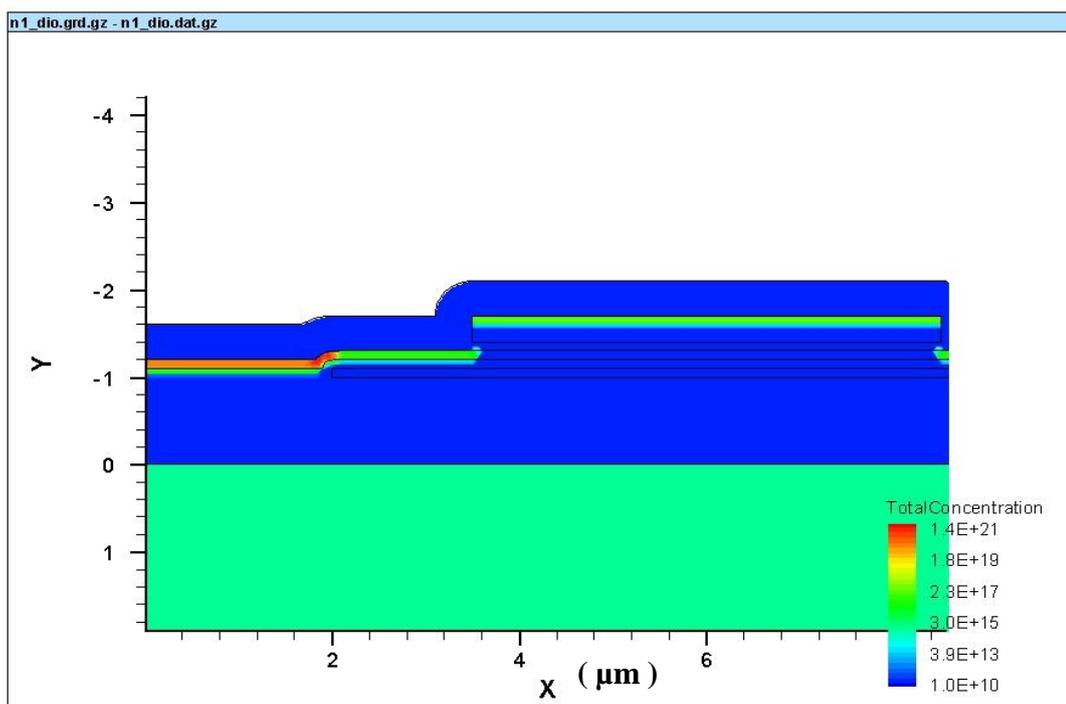


圖 2-20 Offset 1.5 μm Source 端濃度結構模擬圖

Offset gate 2.5 μm

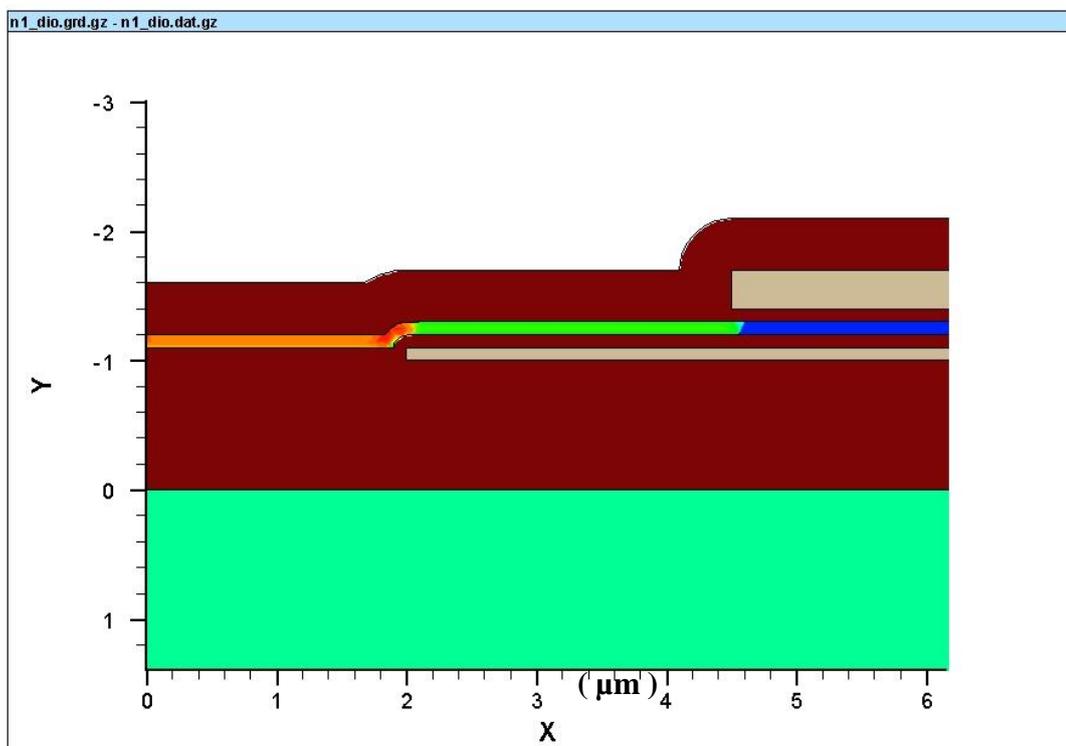


圖 2-21 Offset 2.5 μm Source 端結構模擬圖

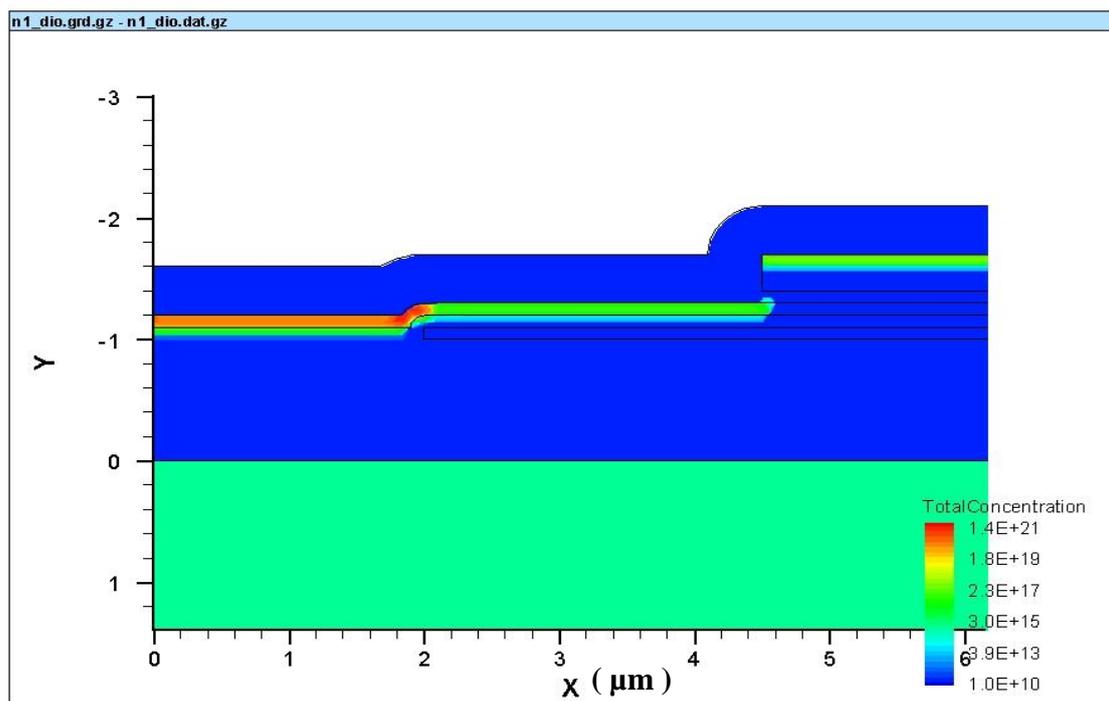


圖 2-22 Offset 2.5μm Source 端濃度結構模擬圖

小結：當Offset gate長度越長，新穎結構降電場象越明顯，有效降低傳統型通道高電場所帶來的不良影響。

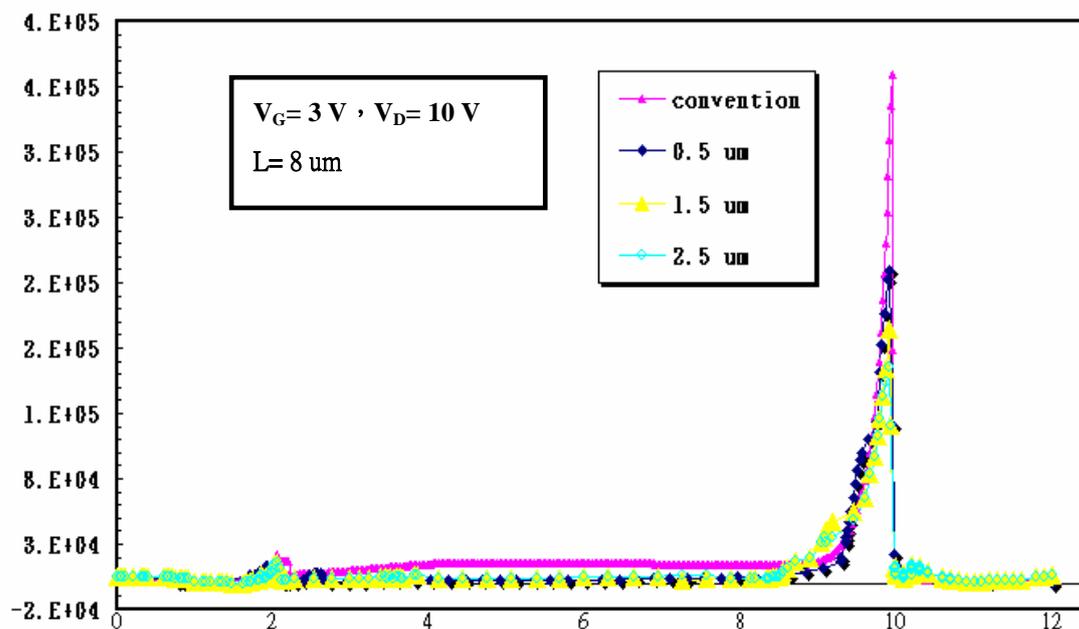


圖 2-23 各 Offset 長度與傳統型電場比較圖



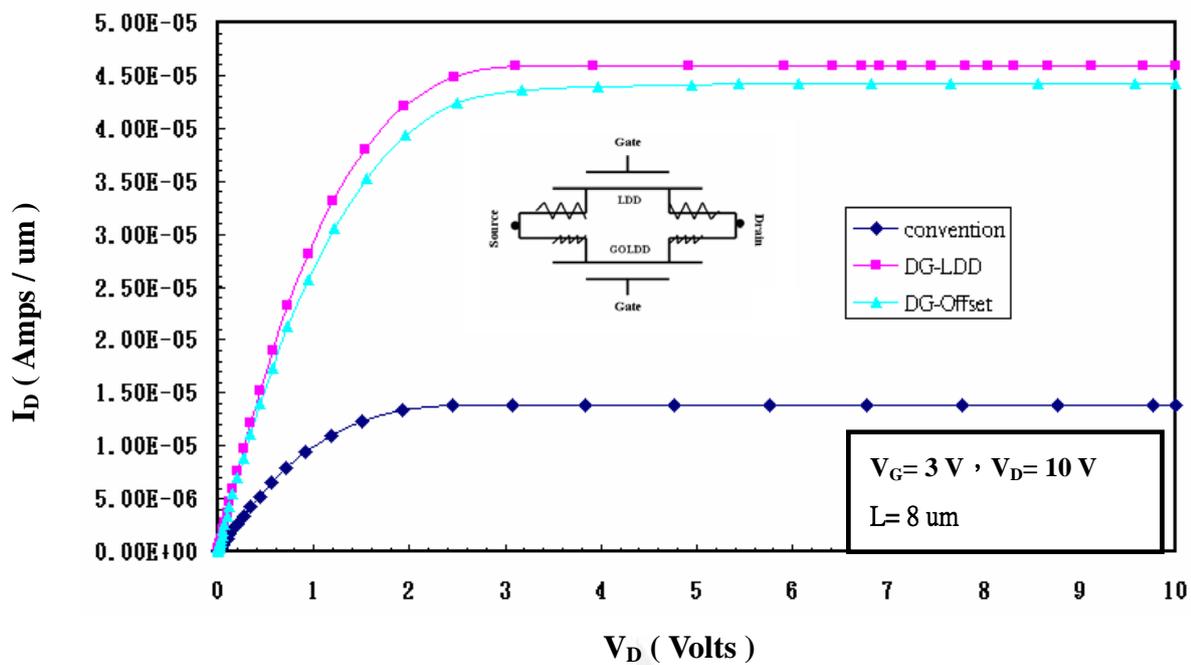


圖 2-24 Double Gate 結構擁有高導通電流特性

第三章 結論

薄膜電晶體大多被應用來當作切換及驅動主動式矩陣型的液晶顯

示器 (AM-LCD) 上。不過，目前薄膜電晶體元件仍無法滿足 LCD 所須要的高切換速度及高驅動電流特性。因此，近年來，針對無機薄膜電晶體的特性研究便一一被提出改善；其中，又以元件結構及製程條件對於複晶矽薄膜電晶體特性的影響最為明顯。

本專題所提出的“閘極覆蓋輕摻雜及極端雙閘極複晶矽薄膜電晶體”(Gate - overlapped Lightly - Doped - Drain Polycrystalline Silicon Thin Film Transistor With a Double-Gate Structure)，除了有輕摻雜及極有自我對準之功效，減少製程的繁瑣，藉由適量輕摻雜及 Offset gate length 皆有效降低傳統電晶體通道的高電場。本新穎的複晶矽薄膜電晶體結構，經過多次 ISE TCAD 元件製程模擬軟體驗證，比起傳統複晶矽電晶體具有關閉漏電流的優點，同時本新穎的複晶矽薄膜電晶體具有比傳統複晶矽電晶體還要高的導通電流，如圖 2-24，剛好符合因複晶矽的要操作電流較高，適合用來驅動需要較高驅動電流的發光元件。且本新穎結構複晶矽薄膜電晶體結構更可以大幅改善導通/關閉電流比。

透過模擬我們得知，使用 LDD 製程是為了有效降低 Hot Carrier Effect，但也因為單純使用 LDD 結構無疑增加了額外的微影技術的繁瑣製程，以及不良率的提升，此外，LDD 結構如同增加串聯電阻，使得元件產生功率消耗，導通電流也因此受到影響，為了有

效改善以上的情形，近來有學找提出，不用額外加一道離子佈植及微影製程，此方法達到目的是藉由伴隨著準分子雷射技術 (Excimer Laser Irradiation)，此方法的概念是建築在閘極電極旁的 Source / Drain 空間定義端，藉由準分子雷射同一時間去活化且擴散原先重摻雜部份，最後將使摻雜濃度梯度很自然形成在 Source / Drain與閘極重疊處，此現象的呈現有了類似 LDD 結構的效用，更加有效減少汲極端與通道接觸面側向高電場，且不必負擔因串聯電阻所產生的功率消耗。

在未來平面顯示器的研究開發方面，台灣也在國際上扮演著極重要的角色，尤其是在 TFT-LCD 產業上。近年來 TFT-LCD 技術的發展日漸成熟，在顯像品質、反應速度上超越 TN-LCD 及 STN-LCD 甚多，應用領域偏向於高畫質且反應速度更快的產品，如：大尺寸筆記型電腦、液晶投影機、液晶顯示器等產品，儼然成為未來科技產品的新寵兒。而低溫複晶矽的興起，對於台灣平面顯示器發展有相當的優勢，除了低溫複晶矽技術能在台灣面板廠的規模經濟下成長，藉由自身研發創新能力、良率控管能力與優秀人才，透過顯示科技的群聚效應獲得下一代先進技術的領導地位。所以，期望經由本論文對於 LTPS 低溫複晶矽薄膜電晶體的研究探討，能夠有效提昇薄膜電晶體元件在應用電路的實用性及廣泛性，以提昇 TFT-LCD 整體效能及穩定性為最

終目標。



參考文獻

- [1] 莊達人, “VLSI 製程技術”
- [2] 液晶顯示器 / 李逸士著; 行政院國科會光電小組編 光電科技資

料叢書2001

- [3] 薄膜電晶體液晶顯示器 = Thin Film Transistor Liquid Crystal Display: TFT-LCD eng / 陳熊光著; 政院國科會光電小組主編
- [4] 產學合作計畫：薄膜電晶體型液晶顯像系統之研發(3/3) [微縮資料] / 鄭晃忠主持
- [5] 蔡俊偉, 彩色手機的未來趨勢-低溫複晶矽(LTPS)薄膜電晶體液晶顯示器, 電子月刊, 2003年8月
- [6] Kow-Ming Chang, Wen-Chih Yang, and Chiu-Pao Tsai, "Performance and Reliability of Low-Temperature Polysilicon Thin-Film Transistor with a Novel Stack Gate Dielectric and Stack Optimization using PECVD Nitrous Oxide Plasma," *IEEE Trans. Electron Devices*, vol. 51, pp. 63-67, Jan. 2004.
- [7] Kow-Ming Chang, Wen-Chih Yang, and Bing-Fang Hung, "High-Performance Raised Source/Drain (RSD) Poly-Si TFTs with a New Oxide-Nitride-Oxynitride (ONO) Gate Dielectric," *IEEE Trans. Electron Devices*, accepted to be published on June 2004.
- [8] Kow-Ming Chang, Wen-Chih Yang, and Chiu-Pao Tsai, "Electrical Characteristics of Low Temperature Polysilicon Thin Film Transistor with a Novel TEOS/Oxynitride Stack Gate Dielectric," *IEEE Electron Device Lett.*, vol. 24, pp. 512-514, 2003.
- [9] Kow-Ming Chang, Wen-Chih Yang, and Bing-Fang Hung, "Low Temperature Poly-Si Thin Film Transistor with a New N2O-plasmaONO Multilayer Gate Dielectric," *Electrochemical and Solid-State Lett.*, accepted to be published.
- [10] Kow-Ming Chang, Wen-Chih Yan and Chiu-Pao Tsai, "Electrical Characteristics of Low-Temperature Polysilicon Thin-Film Transistor with a Novel Stack Gate Dielectric," *Proceedings of IDMC'03 - International Display Manufacturing Conference & FPD Expo*, pp. 569-572, 2003.
- [11] Donald A. Neamen, "Semiconductor Physics And Device Basic Principles" Third Edition
- [12] Ching-Wei Lin, Chang-Ho Tseng, Ting-Kuo Chang, Chiung-Wei

- Lin, Wen-Tung Wang, and Huang-chung Cheng, Member, IEEE, "A Novel Laser-Processed Self-Aligned Gate-Overlapped LDD Poly-Si TFT" VOL. 23, NO. 3, MARCH 2002
- [13] Anish Kumar K. P., Student Member, IEEE, Johnny K. O. Sin, Senior Member, IEEE, Cuong T. Nguyen, Member, IEEE, and Ping K. Ko, FELLOW, IEEE, "Kink-Free Polycrystalline Silicon Double-Gate Elevated-Channel Thin-Film Transistors" OL. 45, NO. 12, DECEMBER 1999
- [14] Shengdong Zhang, Mansun Chan*, Ruqi Han, Xudong Guan, Xiaoyan Liu and Yangyuan Wang "Fabrication and Properties of Self-Aligned Double-Gate Poly-Si TFT" VOL. 22, NO. 8, AUGUST 2002
- [15] Shengdong Zhang, Ruqi Han, AND Mansun J. chan, Chan, Senior Member, IEEE "A Novel Self-Aligned Bottom Gate Poly-Si TFT With In-Situ LDD" VOL. 22, NO. 8, AUGUST 2001
- [16] Young Jin Choi, Won Kyu Kwak, Kyu Sik Cho, Sung Ki Kim, and Jin Jang, "Hydrogenated Amorphous Silicon Thin-Film Transistor with a Thin Gate Insulator," *IEEE Electron Device Letters*, Vol. 21, No. 1, pp.18-20, January 2000.
- [17] Kenji Sera, Fujio Okumura, Hiroyuki Uchida, Shinji Itoh, Setsuo Kaneko, and Kazuaki Hotta, "High-Performance TFT's Fabricated by XeCl Excimer Laser Annealing of Hydrogenated Amorphous-Silicon Film," *IEEE Transactions on Electron Devices*, Vol. 36, No. 12, pp. 2868-2872, December 1989.
- [18] Jung In Han, Gi Young Yang, and Chul Hi Han, "A New Self-Aligned Offset Staggered Polysilicon Thin-Film Transistor," *IEEE Electron Device Letters*, Vol. 20, No. 8, pp. 381-383, August 1999.
- [19] Takashi Aoyama, Kazuhiro Ogawa, Yasuhiro Mochizuki, and Nobutake Konishi, "Inverse Staggered Poly-Si and Amorphous Si Double Structure TFT's for LCD Panels with Peripheral Driver Circuits Integration," *IEEE Transaction on Electron Devices*, Vol. 43, No. 5, pp. 701-705, May 1996
- [20] S. D. Theiss, and S. Wagner, "Amorphous Silicon Thin-Film Transistors on Steel Foil Substrates," *IEEE Electron Device Letters*, Vol. 17, No. 12, pp. 578-580, December 1996

- [21] B. H. Lee, L. Kang, W. J. Qi et al “ Ultrathin Hafnium Oxide with Low Leakage and Excellent Trliability for Alternative Gate Dielectric Application” IEDM pp. 133 (1999)
- [22] S. Gopalan, K. Onishi, R. Nieh, C. S. Kang, R. Choi, H.-J. Cho, S. Krishnan, and J. C. Lee, “Electrical and physical characteristics of ultrathin hafnium silicate films with polycrystalline silicon and TaN gates,” Appl Phys. Lett., vol. 80, pp. 4416 - 4418, June 2002.

