



逢甲大學學生報告 *ePaper*

報告題名：

臨場沉積法成長矽奈米晶體在 SONOS

記憶體元件之研究

**In-Situ Growth of Si-NCs in Si<sub>3</sub>N<sub>4</sub>**

**for SONOS Memory**

作者：陳哲偉 曾柏皓

系級：電子四乙

學號：D9329423

開課老師：李景松 老師

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年：九十六學年度 第一學期



## 摘要

我研究的目的是使用的臨場(*In-Situ*)沉積法來成長我的資料儲存層(Storage Layer)，首先利用此方法完成混合式(Hybrid) ONO 堆疊形成載子捕捉層(Trapping Layer)堆疊結構做為研究主軸，因為資料保存特性(Retention)是被受重視，所以使用奈米晶體(NC's)，能使資料更不容易漏失，也就是漏電流更小，由於這樣方法可以大幅降低製程的時間及簡單性，在製作多層的資料儲存層時更顯得出此製程的方便性，且完全相容於 CMOS 的標準製程。除此之外由於有文獻指出矽奈米晶體成長在二氧化矽( $\text{SiO}_2$ )與成長在氮化矽上時有不同的密度，所以我們成長在奈米晶體之前先沉積一層薄的氮化矽，這樣除了可以增加奈米晶體密度之外，還可以增加元件的資料保存特性。

本實驗將以混合式的矽奈米晶體與氮化矽為研究主軸做探討，觀察使用通不同流量與二氯矽烷(DCS)時間所成長的矽奈米晶體，分別作了四個不同尺寸，而其形成的品質與不同氮化矽厚度對元件的保存特性有不同的影響。然後首先完成電容結構對此種堆疊結構作 C-V 分析與量測。並且預期利用此成長方式的閘極結構能有記憶體應有的電容特性後，再製作元件來量測元件特性與可靠度。最終我們證實製程的可行性與優異的元件特性。

**關鍵字：**臨場沉積法、矽奈米晶體、奈米點、資料保存性

## 目 錄

目錄.....	2
圖、表目錄.....	4
第一章 緒論.....	8
1.1 非揮發式快閃記憶體之概要.....	8
1.2 奈米晶體記憶體和 SONOS 記憶體之緒論.....	11
1.2.1 SONOS 記憶體.....	11
1.2.2 奈米晶體記憶體.....	12
1.3 動機.....	13
1.4 專題架構.....	14
第二章 記憶體操作原理與元件製程.....	17
2.1 緒論.....	17
2.2 記憶體操作原理.....	18
2.2.1 寫入操作.....	18
2.2.2 抹除操作.....	19
2.3 製作流程.....	21
2.3.1 電容製程.....	21
2.3.2 記憶體元件製程.....	21
2.4 干擾和保存能力.....	22

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

2.5 量測設備.....	23
第三章 記憶體的電容特性.....	29
3.1 AFM 分析.....	29
3.2 寫入窗.....	30
3.3 資料保存能力特性分析.....	30
第四章 記憶體的元件特性.....	44
4.1 寫入速度.....	44
4.2 抹除速度.....	44
4.3 保存能力.....	45
4.4 閘極干擾.....	45
第五章 總結以及未來展望.....	58
5.1 總結.....	58
5.2 未來展望.....	58
參考文獻.....	59

## 表目錄

表 2.1 不同沉積條件和控制(無矽奈米晶體) .....	24
-------------------------------	----

## 圖目錄

圖 1.1 傳統的非揮發式記憶體.....	15
圖 1.2 寫入和抹除狀態臨界電壓偏移的電流電壓特性圖.....	15
圖 1.3 PMOSFET 快閃記憶體家族結構圖。(1)NOR 結構應用於編碼 儲存和資料儲存(2)NAND 結構應用於資料儲存.....	16
圖 2.1 矽奈米晶體在記憶體中的漏電流機制圖.....	24
圖 2.2 Fowler-Nordheim(FN)和通道熱電子注入(CHEI)機制圖.....	24
圖 2.3 閘極離子佈值和閘極堆疊結構沉積圖.....	25
圖 2.4 蝕刻晶背後，定義出閘極結構圖.....	25
圖 2.5 疊保護層之後，蝕刻接觸洞.....	26
圖 2.6 電容結構圖.....	26
圖 2.7 快閃記憶體元件圖.....	27
圖 2.8 當 A 寫入時，B 受到閘極干擾且 C 受到汲極干擾.....	27
圖 2.9 量測記憶體電流-電壓和臨界電壓特性的實驗設備.....	28
圖 3.1 $\text{Si}_3\text{N}_4$ 表面 AFM 影像圖，其中 R.M.S. 為 0.343 nm，Ra 為 0.277 nm.....	33
圖 3.2 $\text{Si}_3\text{N}_4$ 表面有矽奈米晶體 100 秒沉積 AFM 影像圖，其中 R.M.S. 為 1.872 nm，Ra 為 1.468 nm.....	33

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

圖 3.3 $\text{Si}_3\text{N}_4$ 表面有矽奈米晶體 50 秒沉積 AFM 影像圖，其中 R.M.S 為 0.964 nm，Ra 為 0.697 nm.....	34
圖 3.4 $\text{Si}_3\text{N}_4$ 表面有矽奈米晶體 40 秒沉積 AFM 影像圖，其中 R.M.S 為 0.799 nm，Ra 為 0.619 nm.....	34
圖 3.5 $\text{Si}_3\text{N}_4$ 表面有矽奈米晶體 20 秒沉積 AFM 影像圖，其中 R.M.S 為 0.606 nm，Ra 為 0.470 nm.....	35
圖 3.6 電容-電壓曲線在 25 伏 10 秒條件下對 $V_{\text{FB}}$ 偏移求值.....	35
圖 3.7(a)控制樣品的 $V_{\text{FB}}$ 偏移圖(b)矽奈米晶體 SONOS 尺寸 14nm 於 寫入電壓 15V, 20V, 25V 對於時間 5 秒和 10 秒的 $V_{\text{FB}}$ 偏移圖.....	36
圖 3.8(a)矽奈米晶體 SONOS 尺寸 22nm 的 $V_{\text{FB}}$ 偏移圖(b)矽奈米晶體 SONOS 尺寸 27nm 於寫入電壓 15V, 20V, 25V 對於時間 5 秒和 10 秒的 $V_{\text{FB}}$ 偏移圖.....	37
圖 3.9 矽奈米晶體 SONOS 尺寸 37nm 於寫入電壓 15V, 20V, 25V 對於 時間 5 秒和 10 秒的 $V_{\text{FB}}$ 偏移圖.....	38
圖 3.10 矽奈米晶體 SONOS 在不同尺寸下，寫入相同時間 10 秒的 $V_{\text{FB}}$ 偏移圖.....	38
圖 3.11 電荷漏失機制圖，熱離子放射主導電荷的漏失機制.....	39
圖 3.12 矽奈米晶體 SONOS 記憶體於寫入窗 2 伏下在不同溫度量測 保存能力特性圖.....	39

圖 3.13 矽奈米晶體 SONOS 記憶體於寫入窗 2 伏下在不同溫度量測 保存能力特性圖(a) 14nm 和(b)尺寸 22nm.....	40
圖 3.14 矽奈米晶體 SONOS 記憶體於寫入窗 2 伏下在不同溫度量測保 存能力特性圖(a) 27nm 和(b)尺寸 37nm.....	41
圖 3.15 矽奈米晶體 SONOS 記憶體在不同溫度條件於寫入窗 2 伏下的 保存能力特性圖(a) 25°C 和(b) 85°C.....	42
圖 3.16 矽奈米晶體 SONOS 記憶體在不同溫度條件於寫入窗 2 伏下的 保存能力特性圖(a) 150°C 和(b) 250°C.....	43
圖 4.1 矽奈米晶體尺寸 27 nm 在起始狀態和寫入狀態下的電流-電壓 曲線圖(a) F-N (b) CHE.....	46
圖 4.2 在無矽奈米晶體條件下 $V_G=15,20V$ 的 F-N 寫入速度特性圖...	47
圖 4.3 $V_G=15,20V$ 的 F-N 寫入速度特性圖(a)尺寸 27 nm 的矽奈米晶 體(b)尺寸 37 nm 的矽奈米晶體.....	48
圖 4.4 在不同 $V_G$ 和 $V_D$ 下的 CHE 寫入速度特性圖.....	49
圖 4.5 在固定 $V_G=-7$ 伏，調變 $V_D=7$ 伏，8 伏和 9 伏情形下，顯示帶 對帶熱電洞抹除速度.....	50
圖 4.6 在固定 $V_D=7$ 伏，調變 $V_G=-7$ 伏，-8 伏和-9 伏情形下，顯示帶 對帶熱電洞抹除速度.....	51
圖 4.7 傳統記憶體在寫入窗 2 伏條件下量測於不同溫度的保存能力特	

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

性圖.....52

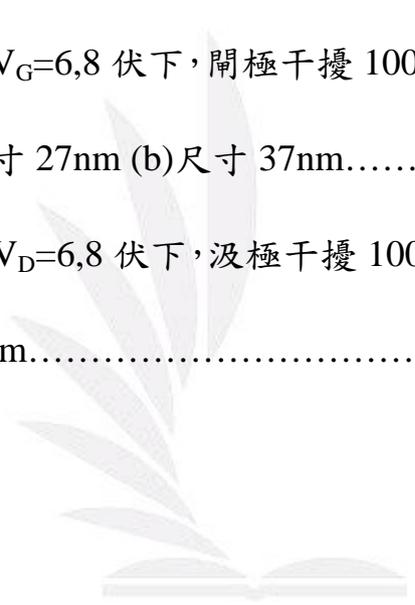
圖 4.8 矽奈米晶體 SONOS 記憶體在不同溫度條件於寫入窗 2 伏下的  
保存能力特性圖(a)尺寸 27 nm and (b) 37 nm.....53

圖 4.9 矽奈米晶體 SONOS 記憶體不同尺寸在相同溫度條件於寫入窗  
2 伏下的保存能力特性圖(a) 25°C 和(b) 85°C.....54

圖 4.10 矽奈米晶體 SONOS 記憶體不同尺寸在相同溫度條件於寫入窗  
2 伏下的保存能力特性圖(a) 180°C 和(b) 250°C.....55

圖 4.11 矽奈米晶體在  $V_G=6,8$  伏下，閘極干擾 1000 秒  $V_T$  偏移低於 0.4  
伏的寫入特性圖(a)尺寸 27nm (b)尺寸 37nm.....56

圖 4.12 矽奈米晶體在  $V_D=6,8$  伏下，汲極干擾 100 秒的寫入特性圖(a)  
尺寸 27nm (b)尺寸 37nm.....57



# 第一章 緒論

## 1.1 非揮發式快閃記憶體之概要

近年來非揮發性記憶體(Non-Volatile Memory)半導體記憶體元件的發展與應用上，其所扮演的角色是愈來愈重要。而隨著可攜式產品，如筆記型電腦、數位相機等的普及，非揮發性記憶體的技術也是逐年在進步。從最早的特讀記憶體(Read-Only-Memory ROM)、可程式特讀記憶體(Programmable-Read-Only-Memory PROM)、可抹除程式化特讀記憶體(Erasable-Programmable-Read-Only-Memory EPROM)、及電性可抹除程式化特讀記憶體(Electrically-Erasable-Programmable-Read-Only-Memory EEPROM)，以至目前最熱門的快閃記憶體(Flash Memory)，揮發性記憶體在其結構上亦隨之改變。

**ROM**：其資料內容在製程時便已決定，無法做改變，可靠度上並無太大問題，有無外界電源並不影響這個元件，故稱為特讀記憶體。

**PROM**：可自行將資料寫入並保存的記憶體，為 ROM 的改良，但寫入的次數只有一次。

**EPROM**：可進行資料刪除與重新寫入，適用於硬體中的基本輸出入系統，其資料刪除方式是利用紫外線進行，但由於做 EPROM 資料刪除時，將所有存於 EPROM 的程式或數據清除，使得每做 EPROM 資料修改時，都要重頭來過，非常耗時。[1]

**EEPROM**：與 EPROM 差別在於消除儲存內容時，是以電子訊號直接消除，在改變資料非常便利，但在單元記憶體尺寸上是相對比較大的，而其消除方式可以一個位元一個位元進行。[2]

**Flash Memory**：其命名的由來為消除方式是以一個區塊一個區塊進行，快如閃電，故名為快閃記憶體。同時具備了下列優點：(1) 非揮發性 (2) 高積集度 (3) 快速寫入/讀取 (4) 高擦寫速度 (5) 低消耗功率，所以成為記憶體市場的明日之星，也是本專題研究的主因。

浮閘極結構首先由 S. M. Sze 和 D. Kahng 在 1967 年所提出[3]，早期的非揮發性記憶體主要是使用浮閘極(Floating-Gate)的結構來做電荷的存取，使用複晶矽(Poly-Silicon)來做浮閘極材料，周圍再由介電材料包覆住來儲存電荷，此結構示於圖 1.1。浮閘極被包覆於介電質當中，可以達到高密度、良好的 P/E 速度以及可靠度。圖 1.2 顯示了典型的寫入和抹除狀態 I-V 特性曲線圖，Flash Memory 吸引了很多研發人員投入改善 NVM 特性的工作。NVM 記憶體可依不同的設計概念區分為兩種類型，可以分為晶胞型(Cell Type)和操作型(Operation Type)，而晶胞型又可分為堆疊閘(Stack Gate)和分離閘(Split Gate)；而操作型可依儲存容量區分為字碼型(Code Flash)和資料型(Data Flash)，Code Flash 有“NOR”和“DINOR”設計結構，Data Flash 有“NAND”

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

和”AND”設計結構。NOR 型讀取速度快，適用於主機板等需要記錄系統編碼之應用，而 NAND 型具有高密度以及高寫入速度，適用於 PDA、手機、數位相機等等可攜式電子產品。Flash Memory 架構圖表於圖 1.3。[4]

大容量以及高可靠度是 Flash Memory 應用在廣泛的產品中，最重要的因素，為了達到這個目標，微縮是進入下一代發展的關鍵點，FG Memory 需要厚的氧化層( $T_{ox} > 8\text{nm}$ )來提供良好的保存能力和耐久力，但也同時需要更高的操作電壓，結果降低了寫入速度以及微縮的限制[5]，除此之外，FG Memory 在 P/E 週期後，對穿遂氧化層造成損傷而易於產生應力引起的漏電流。因此，矽-氧化矽-氮化矽-氧化矽-矽(Silicon-Oxide-Nitride-Oxide-Silicon SONOS) 堆疊型記憶體元件受到相當大的注意，有別於 FG Memory，SONOS 是一種電荷捕捉快閃記憶體 Charge Trap Flash (CTF) Memory，其所儲存電荷的位置在於離散的陷阱能階中，而電荷捕捉快閃記憶體利用氮化矽取代浮閘極，有下列幾項優點：更高的寫入速度、高密度、可微縮特性、較好的耐久力、較簡易的製程以及沒有浮閘極耦合效應。

## 1.2 奈米晶體記憶體和 SONOS 記憶體之緒論

### 1.2.1 SONOS 記憶體

在傳統的 NVM 記憶體中，電荷儲存於浮閘極中來達到改變臨界電壓的特性，由於傳統的浮閘極記憶體較困難的製程和較高的成本，以致於與標準 CMOS 製程無法相容，而 SONOS Flash Memory 有著簡易的製程以及低成本的特性，所以是非常具有潛力的，自從 2000 年 Saifun 提出後，傳統型 SONOS Flash Memory 已經被研究有好一段時間了。[6]

由於製程較簡易，SONOS 的氮化矽層有較深層的陷阱能階，而使得穿隧氧化層具有微縮的可能性，也因此有著較低的寫入抹除電壓，在 Flash Memory 元件中因為穿隧氧化層中小部分的缺陷而導致穿透電流的增加(即 SILC)是一個相當重要的部份，也是我們必須注意的。在氮化矽薄膜中電荷區域性的儲存，而讓元件可行使二位元的操作，這也是製造高密度記憶體的關鍵處。這種堆疊閘(Stack Gate)結構記憶體應用非常廣泛，近年來，有幾種增加密度的新奇結構被發表出來，像是：Gate-to-Drain NOI memory、Twin SONOS 2-bit SONOS memory。如果 SONOS Memory 未來想取代浮閘極記憶體，保存能力和寫入/抹除特性是需要加以改善的。

## 1.2.2 奈米晶體記憶體

為了改善 NVM 特性，我們利用了 SONOS 結構且併入了高介電質材料，不僅降低了操作電壓且也改善了電荷儲存效率，而我所研究的奈米晶體記憶體(NanoCrystals Memory)未來相當被看好，與傳統 FG Memory 比較，奈米晶體和 SONOS 記憶體同樣具有離散能階儲存電荷的特性。

奈米晶體記憶體由於矽奈米點被介電質層所包覆，且擁有較好的量子侷限效應與庫倫阻礙效應，這也就是為什麼奈米晶體具有好的 SILC 及對氧化層缺陷的免疫力的原因了，除此之外，由於缺乏汲極與浮閘極的耦合，所以奈米晶體有較小的 DIBL 效應，因此有較好的 Punch-Through 特性，較小的汲極導通效應，可利用這些特性在較高的汲極電壓下操作，以增加元件的操作速度與改善元件的存取時間。近年來，有幾種奈米晶體材料被提出，像是：矽奈米晶體[7]、鍺奈米晶體、金屬奈米晶體。

在這篇專題中，矽奈米晶體是元件製作的重點，近來有幾種矽奈米晶體製備的方式被提出，有三種主要的方法：方法一：使用離子佈植法(Excess Si-Precipitation Techniques)，用高能量將過量的矽佈植到氧化層裡，或者先成長 Si-rich oxide，經過熱退火之後使矽形成奈米晶體，方法雖然簡單但同時也具有很多可變因素，而且缺乏好的氧化層

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

和粒子大小的控制能力，方法二:(Aerosol Deposition Technique)，是使用特別設備，先在爐管通矽烷(silane)在高溫環境下裂解成矽分子團，之後通氧氣使矽氧化成被二氧化矽包圍的霧狀矽粒子沉積在晶圓上，方法三：直接沉積法(Direct Growth Techniques) [8]，是直接使用 LPCVD 成長矽沉積在氧化層上，在形成薄膜之前停止成長，就會形成一顆顆球狀的矽，或者使用兩段式成長矽奈米晶體可以增加其均勻性。

奈米晶體記憶體有微縮穿隧氧化層厚度的潛力，使得操作電壓降低，此外，庫倫阻礙效應造成記憶體窗(Memory Window)被限制，因此，為了儲存更多電荷達到增加臨界電壓多層操作(Multi-Layers)因而被提出。

### 1.3 動機

雖然 SONOS Memory 具有很多優點，但電荷遷移的缺點是要改進的，而奈米晶體記憶體具備了 SONOS 擁有的優點，近年來，混合式元件(Hybrid Device)被 Robert F. S. 發表，使用 SONOS 與 NanoCrystal 的結構結合成的 Hybrid Device 來降低操作電壓且增加存取速度，這樣的結合可以提供一個既有一個快速與低電壓操作並且有很好保存能力特性的元件。

我的專題研究是混合式記憶體元件結合了簡易的製程，而且具備良好的特性，製程的步驟將會在第二章討論到。

## 1.4 專題架構

本研究使用臨場沉積法在氮化矽層中成長矽奈米晶體，分別在電荷保存能力、寫入速度、抹除速度、溫度效應、干擾程度中探討，以下簡述之。

第一章：簡單介紹非揮發式記憶體，再來討論SONOS Memory以及NanoCrystals，並與傳統浮閘極做比較，最後說明我的動機和本專題研究的結構。

第二章：先介紹了記憶體操作原理，再來說明了我的製作流程，而後秀出干擾和保存能力特性，最後說明我使用的量測儀器。

第三、四章：在實驗中決定DCS最佳的沉積條件，再與沒有埋入奈米晶體的控制樣品(control sample)作比較，來驗證矽奈米晶體可改善元件可靠度、保存特性和干擾。

第五章：在此專題研究的最後，我們做了總結且對於未來的研究尋找了一個方向。

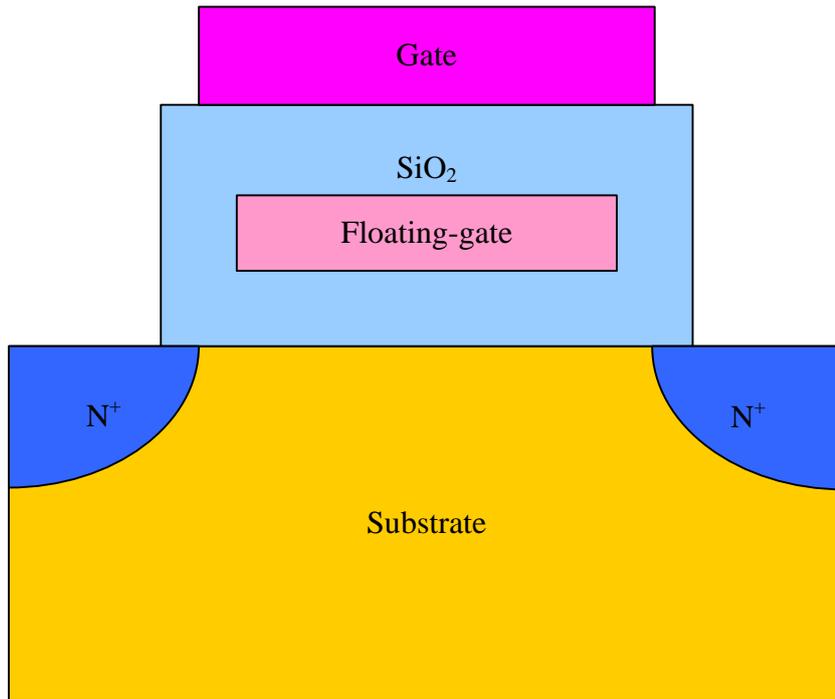


圖 1.1 傳統的非揮發式記憶體

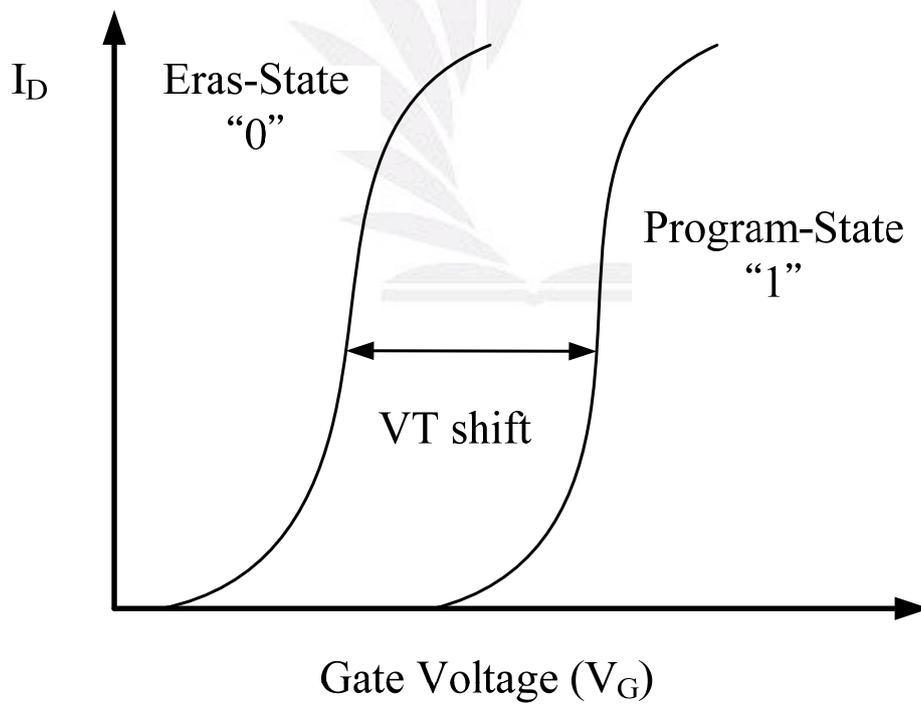


圖 1.2 寫入和抹除狀態臨界電壓偏移的電流電壓特性圖

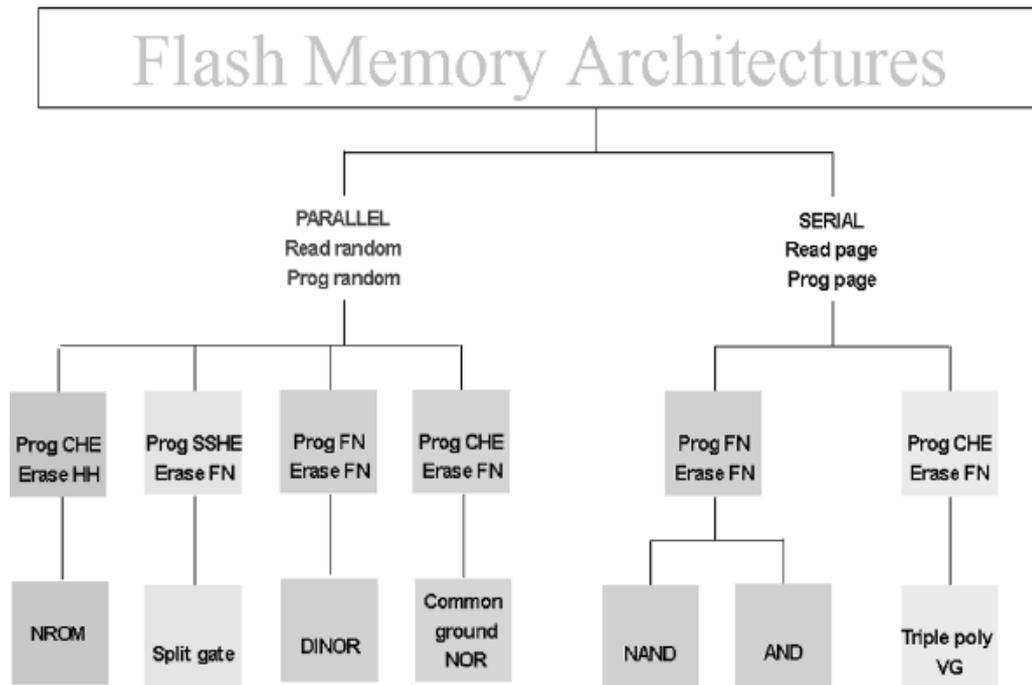


圖 1.3 PMOSFET 快閃記憶體家族結構圖。(1)NOR 結構應用於編碼儲存和資料儲存(2)NAND 結構應用於資料儲存

## 第二章 記憶體操作原理與元件製程

### 2.1 緒論

近年來，奈米晶體記憶體陸續的被研究，大部分的人致力於成長奈米晶體的研究，奈米晶體尺寸和密度對於記憶體的特性來說是很重要的因素，兩階段的 LPCVD 成長方法增加了 Si-NanoCrystals 的密度，且有人提出沉積 Si-NanoCrystals 在  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  和  $\text{SiO}_x\text{N}_y$  上可以增加奈米點(Nano Dot)的密度，當我們沉積矽奈米點尺寸愈小時，也代表著我們擁有愈大的密度，但是當矽奈米點尺寸小於 3nm 後，庫倫阻斷會明顯的出現。當電子儲存在 NanoCrystals 時，NanoCrystals 會因為電子的儲存而增加位能，而這會與 NanoCrystals 的尺寸及穿隧氧化層厚度和控制氧化層有關(Control Oxide)，而因為這個理由，NanoCrystals 的大小至少要大於 5nm。理想而言，若是 NanoCrystals 側邊沒有電子穿透，造成 SILC 效應只有在漏電流處的一小段距離中，也就是說 NanoCrystals 有著不良的 SILC 效應，事實上，在奈米晶體中有三種漏電流機制，示於圖 2.1 中，我們可以安全性的忽略側邊穿透動態電荷的流失，即使在發生 SILC 效應處，因此，控制奈米晶體的尺寸對於可靠度是相當重要的。

## 2.2 記憶體操作原理

### 2.2.1 寫入操作

對於記憶體的寫入來說，大致可分為兩種，Fowler-Nordheim (FN) 和通道熱電子注入法(Channel Hot Electron Injection)，F-N 和 CHE 的機制示於圖 2.2。首先我們先來討論 F-N Tunneling，穿隧是一個量子力學的過程，在穿隧情形發生的過程中，沒有任何能量的損失，然而穿隧情形發生的機率是相當低的，但如果電子是入射到幾奈米厚的薄阻障層時，發生穿隧的機率就會提高很多[9]，這個穿隧機制發生在氧化層承受很大的壓降，而使其變成三角形位能障，我們可經由解薛丁格方程式 (Schroedinger's equation)，而可得到 F-N 的穿透電流

$$I_{F-N} = C \epsilon_{ox}^2 \exp\left(-\frac{B}{\epsilon_{ox}}\right)$$

上式的 B 與 C 為常數，E<sub>ox</sub> 為氧化層的電場強度

F-N Tunneling 注入方式由閘極端加高電壓，其餘接腳可接地，而形成閘極到基板之間有個大電場跨在閘極氧化層上，形成穿隧的現象，若要產生寫入的效果，電場通常需要高達 10MV/cm，因此穿隧閘極介電層必須承受相當大的電場，對元件氧化層會造成一定程度的傷害，F-N 寫入如同對介電層做應力(Stress)，對於閘極介電層的品質是一項嚴酷的考驗[10]。隨著現今製程不斷的進步，製成機台的更新

，使得元件不斷的縮小，是因為我們持續降低了閘極氧化層的厚度，閘極氧化層大約降到 5 奈米時，閘極電壓  $< 3V$  就可以發生穿隧的現象，稱之為直接穿隧(Direct Tunneling) [11]。

緊接著我們再來討論 Channel Hot Electron(CHE)注入方式，要形成 CHE 寫入的首要條件，就是要讓電晶體保持在 ON 的狀態，而我們通常使電晶體操作在飽和區進行 CHE 寫入，我們在閘極和汲極端加電壓而源極接地，而使得通道中有一橫向電場和一垂直電場，當電子從源極射出時經由橫向電場的加速，使電子具有高能量，此能量遠大於熱平衡的值，因而在靠近汲極端的空乏區中撞斷原子的共價鍵，而產生電子-電洞對，電子經由閘極電壓的吸引而陷入到氮化矽層或是陷入到 Silicon NanoCrystals 中，形成閘極電流，當然部份電子也會被汲極所吸引，而電洞則是往基板流，而造成基板電流，形成功率消耗。

在上述兩種寫入方式中，各有其優缺點，F-N Tunneling 由於是藉由跨在氧化層的大壓降而使得電子能穿透三角型位能障，所以所施加的電壓比較大，而 CHE Injection 則是必須讓通道電子傳輸，而形成通道電流，再加上基板電流，所以所消耗的功率會比 F-N Tunneling 來的大，但閘極和汲極端就可以不用施加太大的電壓。

## 2.2.2 抹除操作

Flash Memory 的抹除就是將存在陷阱能階的電荷移除，使得臨界電壓回覆到低的狀態，而方法大部分以 F-N Tunneling 為主，我再介紹另一種方法為帶對帶熱電洞注入(Band To Band Hot Hole)，我們首先來介紹 F-N Tunneling 抹除方法，此方法與 F-N Tunneling 寫入方法類似，我們在閘極加負偏壓或是接地，而在源極加正偏壓，而使得有一高電場方向從源極到閘極，這個大電場跨降在氧化層上，使得氧化層變成三角形的位勢障，電荷因此由閘極氧化層穿隧出來，達到抹除的效果。

BTBHH 抹除方法則是熱電洞的注入引致穿隧 Tunneling Oxide 的現象，我們同樣在閘極加負偏壓且在汲極加上正偏壓，在接面處形成深層空乏區而產生電洞，由於橫向電場提供電洞能量，而使電洞穿隧 Tunneling Oxide 到達氮化矽層中，此時電洞便會與儲存的電子結合而達到抹除的效果[12]。

現今 Flash Memory 應用於多種電子產品中，其最主要分為兩大類型，NOR 型和 NAND 型，NAND 型結構在一個 Cell 中其位元線(Bit Line)共用，所以 NAND 才會比 NOR 擁有更高的密度，而當我們想要寫入或抹除時，便只能利用 F-N Tunneling 方法，若使用 CHE 方式則會產生干擾的問題，而 NOR 型則較適合 CHE 的方法來達成寫入與抹除的功能。

## 2.3 製作流程

### 2.3.1 電容製程

這一節我將介紹一下電容的製作流程，從標準的 LOCOS 製程，移除原生氧化層，在 RCA 清洗之後，我們將沉積閘極堆疊結構。首先，我們先通  $N_2O$  在垂直爐管成長氧化層 3 nm，隨後疊上一層儲存層，利用  $SiH_2Cl_2$  (dichlorosilane, DCS) 氣體在 Low-Pressure Chemical Vapor Deposition (LPCVD) 機台  $780^\circ C$  時發生裂解，我們將矽奈米晶體與儲存層結合並且設定了幾種不同的條件 O/N/O 堆疊結構，沉積 NanoCrystals 的條件示於表 2.1，接著在 High Density Plasma Chemical Vapor Deposition (HDPCVD) 機台  $350^\circ C$  沉積阻障氧化層 (Blocking Oxide) 20 nm，再來我們疊閘極 Poly-Si 200 nm，且利用磷做閘極離子佈值，之後  $900^\circ C$  活化 30 分鐘， $N_2$  回火，結構示於圖 2.3，在定義閘極結構前我們先蝕刻晶背，因為背電極將濺鍍鋁，接著再蝕刻 Poly-Si 和 ONO 堆疊結構，示於圖 2.4，接下來 TEOS 沉積在閘極上當作保護層，再用 B.O.E. 液蝕刻 TEOS 層形成接觸洞來接觸閘極複晶矽，示於圖 2.5，最後我們沉積鋁在保護層上和晶背上，電容結構顯示在圖 2.6。

### 2.3.2 記憶體元件製程

這一節我們討論元件的製作流程，從 LOCOS 到閘極結構都與電

容相同，在定義閘極結構之後，我們用砷(As)來對源極和汲極離子佈值(As, 20keV at  $5 \times 10^{15} \text{ cm}^{-2}$ )，利用 B.O.E. 液蝕刻體極形成接觸洞，基板(Substrate)離子佈值二氟化硼( $\text{BF}_2$ , 50keV at  $5 \times 10^{15} \text{ cm}^{-2}$ )，再經由快速熱處理(RTP)在  $1050^\circ\text{C}$  活化 source、drain 和 substrate，此外，沉積 TEOS 在  $720^\circ\text{C}$  當保護層，再利用 B.O.E. 液蝕刻接觸洞且使用 Physics Vapor Deposition (PVD)沉積鋁進入接觸洞當連接線，最後的元件結構示於圖 2.6。

## 2.4 干擾和保存能力

在 SONOS Memory 裡，電晶體是呈陣列式排列，在陣列中，當我們在寫入一個特定的 Cell 時，施與電壓在此 Cell，而在隔壁我們不希望寫入的 Cell 會受到干擾，此現象為閘極干擾或汲極干擾。兩種現象的干擾：gate (word-line) disturbance 和 drain (bit-line) disturbance 我們都必須去考慮，圖 2.8 為 Memory 的陣列圖，當我們在寫入 Cell A 時，此時 Cell B 會出現 gate disturbance 的現象，因為 A 和 B 的閘極相接於同一條線，受到同樣的字元線(word-line)電壓，而 Cell C 則會發生 drain disturbance，因為 A 和 C 的汲極同接於位元線(bit-line)上。當我們在讀取資料時，我們不希望的電子注入會發生於施加 WL 電壓和 BL 電壓上，我們統稱為讀取干擾(Read Disturbance)。

## 2.5 量測設備

我們量測記憶體 I-V 特性和臨界電壓特性的實驗設備示於圖 2.9，包括了量測半導體特性的儀器(KEITHLEY 4200)，一台脈衝產生器(Agilent 81110A)，一台 switch (KEITHLEY 708A)，一台 C-V 量測機台(Agilent 8284)以及一座 Probe Station 來提供量測元件的 I-V 特性，和執行我的 Memory Cell 的 P/E 操作。

可程式化的 source-monitor units (SMU)架設在 KEITHLEY 4200 機台上且提供一個 pico-ampere 範圍的高電流解析度來量測閘極電流和次臨界特性以及汲極飽和電流，而 agilent 81110A 擁有高的時間解析並提供脈衝暫態用於 P/E 循環耐久力的特性分析，另一個脈衝則提供給 KEITHLEY 4200，而 KEITHLEY 708A 配備了 10-input×12-output 的轉換矩陣，負責自動轉換 KEITHLEY 4200 和 Agilent 8110A 的訊號，再量測 probe station 裡的待測物(DUT)，此外，必須透過 C++ 語言來達到 KEITHLEY 4200 控制其他量測儀器。

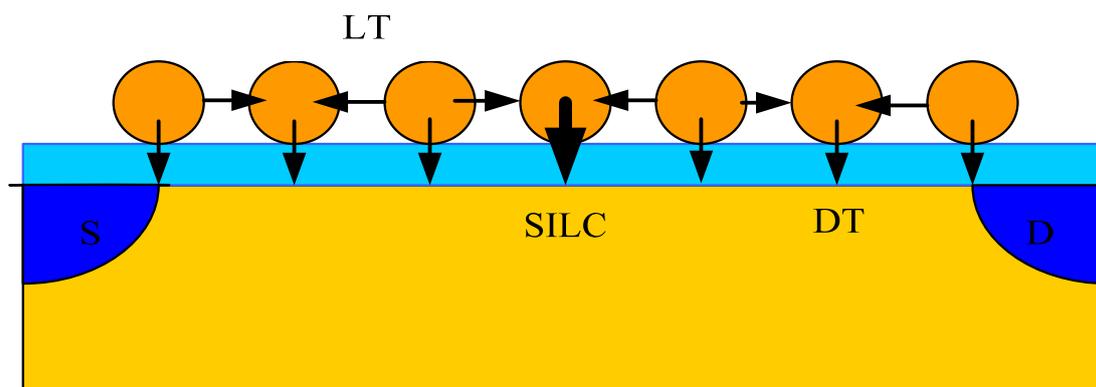


圖 2.1 矽奈米晶體在記憶體中的漏電流機制圖

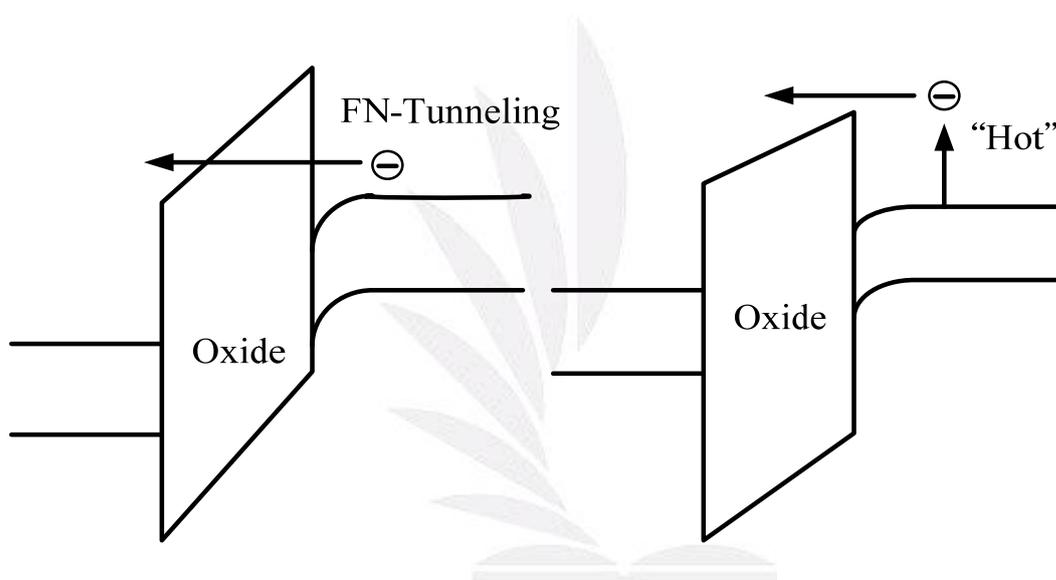


圖 2.2 Fowler-Nordheim(FN)和通道熱電子注入(CHEI)機制圖

Control $\text{Si}_3\text{N}_4$	Without Si-NCs	Without Si-NCs
DCS flow rate 30sccm	50 s	100 s
DCS flow rate 10sccm	20 s	40 s

表 2.1 不同沉積條件和控制(無矽奈米晶體)

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

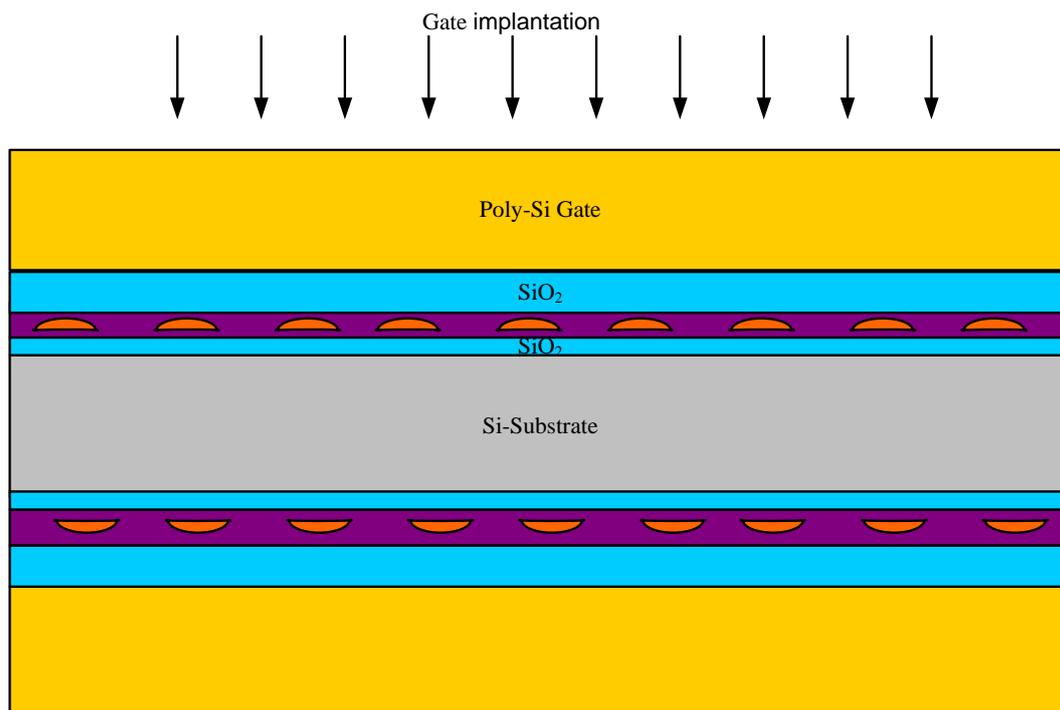


圖 2.3 閘極離子佈置和閘極堆疊結構沉積圖

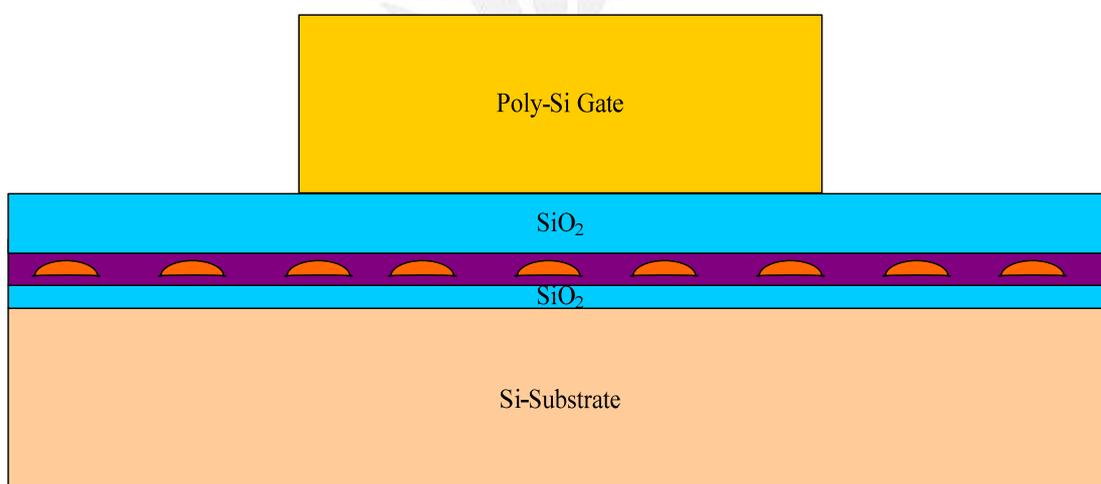


圖 2.4 蝕刻晶背後，定義出閘極結構圖

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

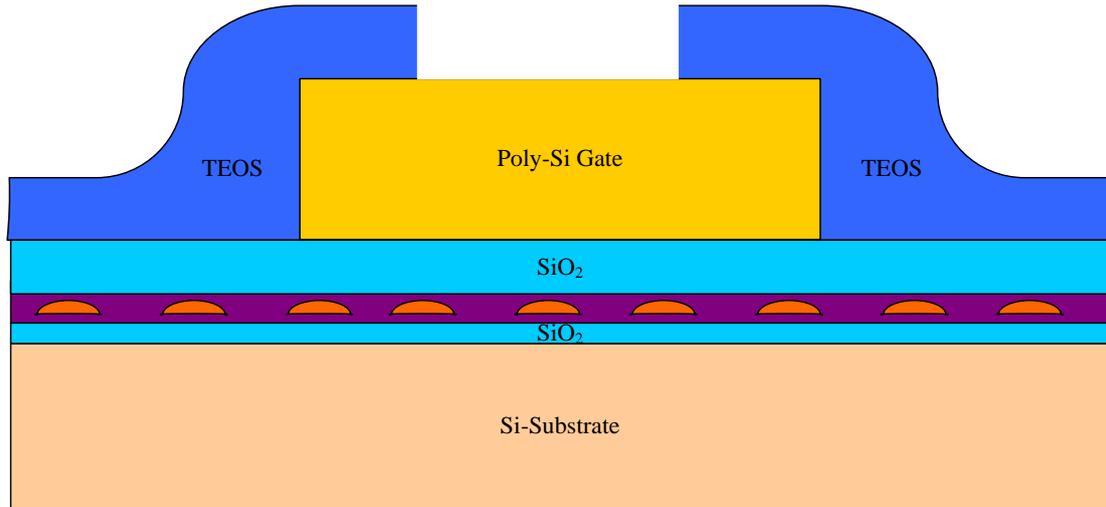


圖 2.5 疊保護層之後，蝕刻接觸洞

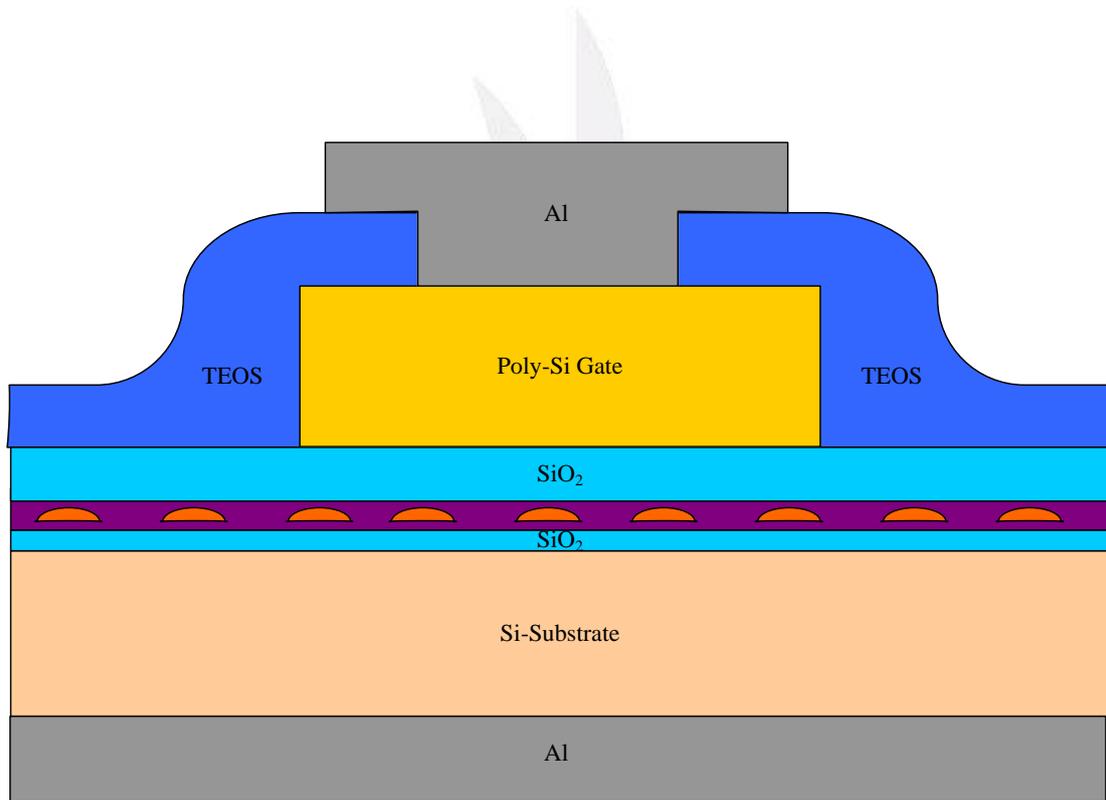


圖 2.6 電容結構圖

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

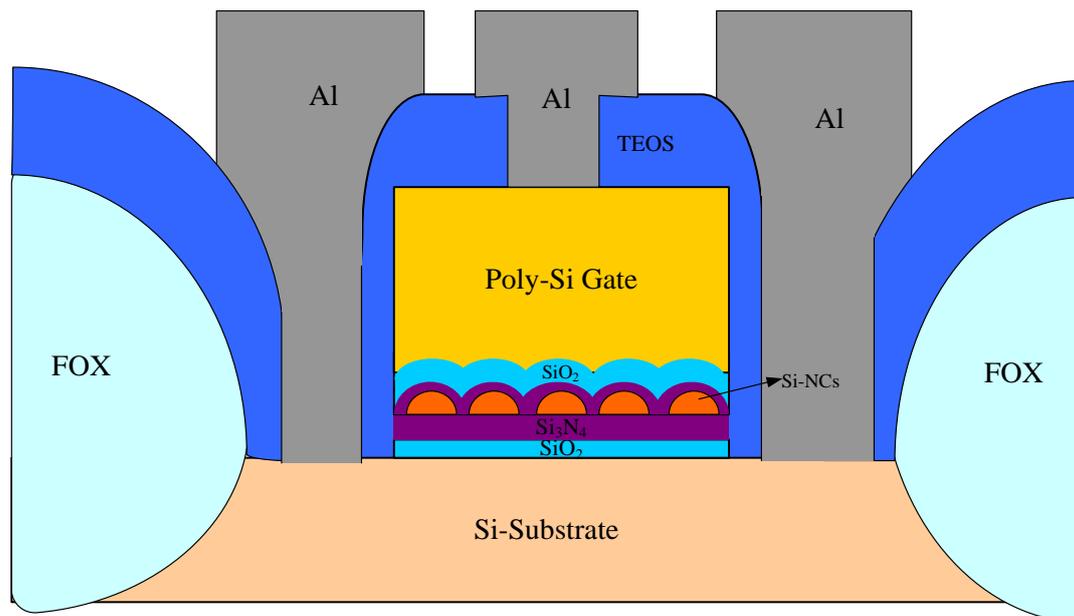


圖 2.7 快閃記憶體元件圖

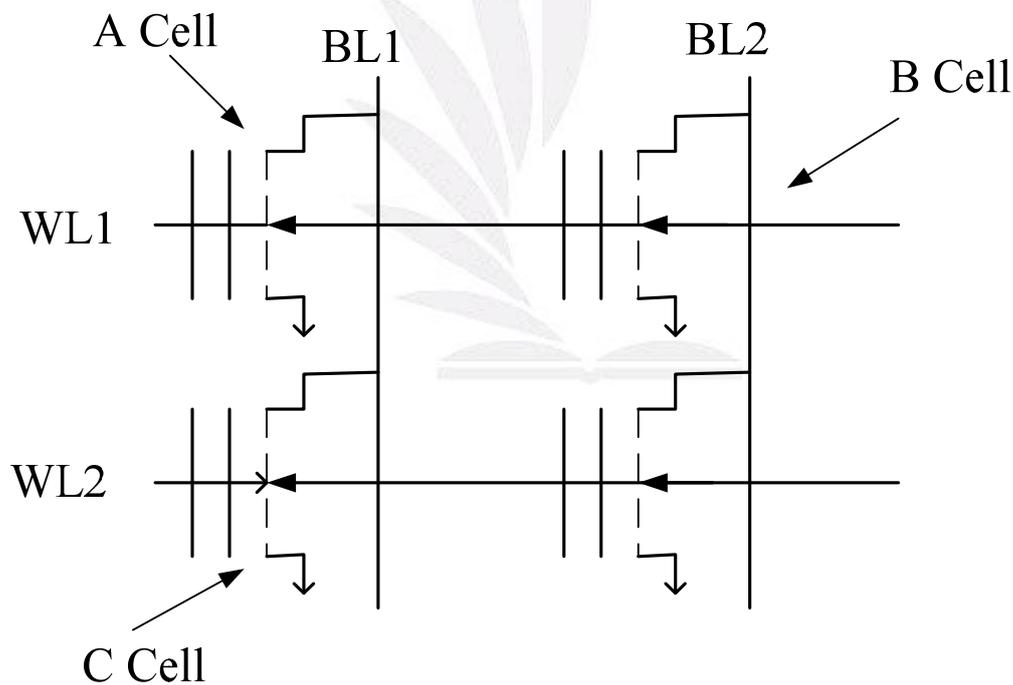


圖 2.8 當 A 寫入時，B 受到閘極干擾且 C 受到汲極干擾

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

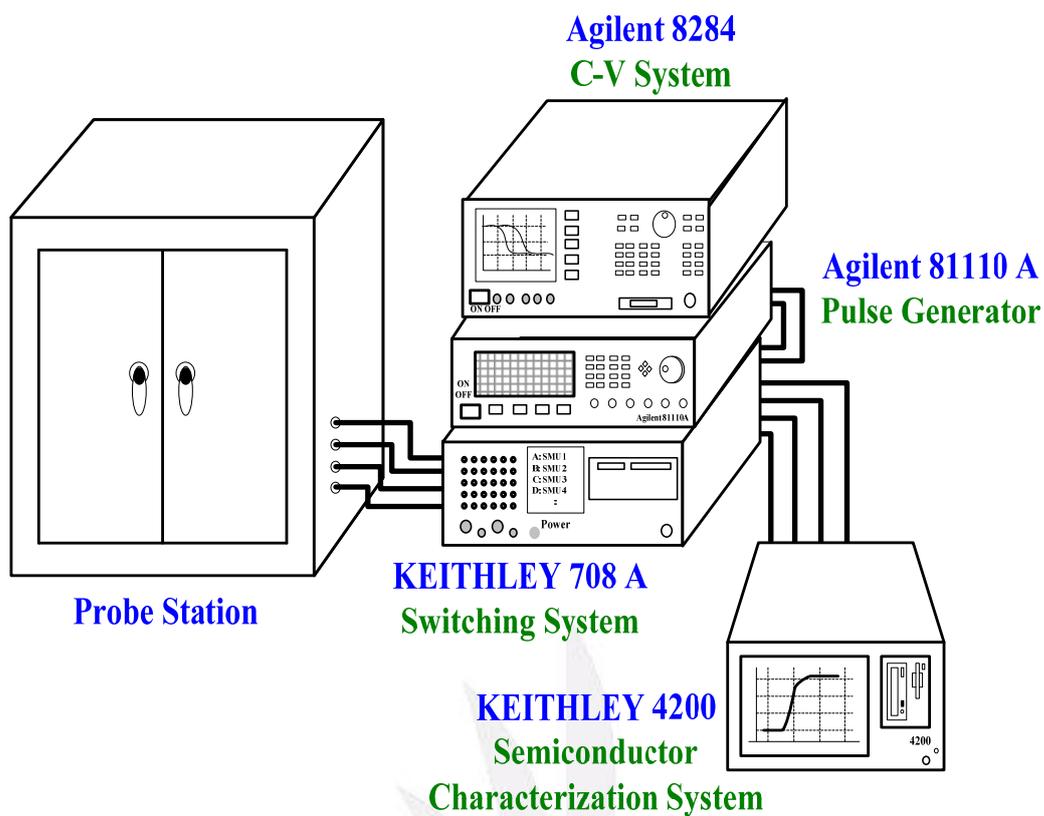


圖 2.9 量測記憶體電流-電壓和臨界電壓特性的實驗設備

### 第三章 記憶體的電容特性

在這一章節中，我們將討論 in-situ Si-NanoCrystals 的物性和電性分析。

#### 3.1 AFM 分析

我們利用 AFM 影像來觀察 Si-NanoCrystals 的 trapping layer，圖 3.1 秀出氮化矽層在沒有 Si-NanoCrystals 時的 roughness，在這張圖中我們可以觀察到氮化矽表面非常平滑的，在圖 3.2 秀出在 DCS 氣體流量 30 sccm 沉積 100 秒情形 Silicon Dot 成長情形，我們觀察表面後，可以估計出矽奈米點(Silicon Dot)的大小和密度，而圖 3.3 秀出在 DCS 氣體流量 30 sccm 沉積 50 秒情形 Silicon Dot 成長情形，我們在通氣體 100 秒後，圖 3.2 估計出 Si-NanoCrystals 的大小為 37 nm 密度是  $1.6E11 \text{ cm}^{-2}$ ，而在通氣體 50 秒後，圖 3.3 可估計出 Si-NanoCrystals 的大小為 27 nm 而密度是  $2E11 \text{ cm}^{-2}$ ，最後我們發現，當我們通氣體的時間愈長，所成長的 Silicon Dot 愈大顆。接下來，我們通 DCS 氣體流量 10 sccm 沉積 20 秒和 40 秒來降低 Silicon Dot 的大小，示於圖 3.4，在 40 秒時可以觀察到大小和密度分別為 22 nm 和  $2.5E11 \text{ cm}^{-2}$ ；圖 3.5 秀出大小和密度分別為 14 nm 和  $6E11/\text{cm}^2$ ，因此，我們可以得到一個結論，就是可以利用沉積時間和和流量來控制 Silicon Dot 的大小。

## 3.2 寫入窗

這一節中，我們將討論不同寫入條件對寫入窗(Program Window)的特性分析。我們利用經由  $V_{FB}$  偏移的 C-V 曲線來計算記憶體窗(Memory Window)，秀出在圖 3.6，利用 F-N 寫入機制來觀察閘極電壓 25V 10 秒後的  $V_{FB}$  偏移，我們 Control Symbol 的  $V_{FB}$  偏移 1.55V 而長 NanoCrystals 大小為 22 nm 的  $V_{FB}$  偏移 2.65V，我們可以觀察到當有長 NanoCrystals 的  $V_{FB}$  偏移會比沒有長 NanoCrystals 的  $V_{FB}$  偏移來得大，圖 3-7(a)-(b)秀出分別為 Control Symbol 和 NanoCrystals 14 nm 下的寫入電壓  $V_g = 15\text{ V}, 20\text{ V}, 25\text{ V}$  和時間 5 秒 10 秒下的特性，我們可以觀察到 Memory Window 與時間不成比例且會趨向於飽合，將 Silicon NanoCrystals 做在 SONOS 內會有較寬的 Memory Window，因為將 Silicon NanoCrystals 埋入  $\text{Si}_3\text{N}_4$  提供額外的 trapping sites，所以較大的尺寸可提供較大的 trapping sites，此特性秀於圖 3.8~3.9，我們也可以發現到增加電壓會使 Memory Window 寬度增加，在圖 3.10 中比較所有條件的特性，我們可以觀察到增大 NanoCrystals 的尺寸可使 Memory Window 寬度增加，我們做了最大尺寸為 37 nm 的 Silicon NanoCrystals SONOS memory，也許可以使用到 Multi-level 的操作。

## 3.3 資料保存能力特性分析

在這一節中我們討論了不同量測條件下 retention 的特性，由圖

3.11 秀出電荷的漏失機制，熱離子放射主導了電荷漏失，圖 3.12 顯示 SONOS 分別在 25°C、85°C、150°C、250°C 條件在沒有 NanoCrystals 的 retention 特性，在增加溫度的情況下電荷漏失會變得較嚴重，而圖 3.13 秀出 SONOS 有 NanoCrystals 的 retention 特性，retention 特性比沒有 NanoCrystals 的 SONOS 來的佳，在寫入  $V_{FB}$  偏移 2V 後，電荷會儲存在  $Si_3N_4$  的 traps 中以及 NanoCrystals 的 trapping sites 內，而 NanoCrystals 會使電荷儲存在深層的能階中，換句話說，電荷不易從  $Si_3N_4$  中的量子井漏失或是轉移到低能隙的材料，因為電荷被限制住了，這樣良好的 retention 特性秀在圖 3.14。

圖 3.15(a)-(b) 秀出 NanoCrystals SONOS 記憶體分別在 25°C 和 85°C 條件於寫入窗 2V 下 retention 特性圖，圖 3.16(a)-(b) 秀出 NanoCrystals SONOS 記憶體分別在 150°C 和 250°C 條件於寫入窗 2V 下的保存能力特性圖，當在低溫時，retention 並沒有很清楚的趨勢；當上升到高溫時，retention 特性可以很明顯的被觀察出，埋入 NanoCrystals 在記憶體中引致 retention 提升，但尺寸(14nm)的 NanoCrystals 特性不是最好的，從 AFM 分析可看出，實際上的尺寸略低於 14nm，因此，我們必須將量子效應考慮進來，如果我們考慮量子效應，能階在量子井是離散的，小的量子井使電荷嚴重漏失，所以 14nm 的 NanoCrystals SONOS 沒有最好的 retention 特性，再來考慮 37nm 的 NanoCrystals

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

，由圖可看出較差的 retention 特性，而我們解釋為 NanoCrystals 成長太大顆，導致 NanoCrystals 聚集在一起，結構可能形成 Si 薄膜，換句話說，結構就像是 F-G 薄膜，基於此原因，會形成嚴重的電荷漏失效應。



臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

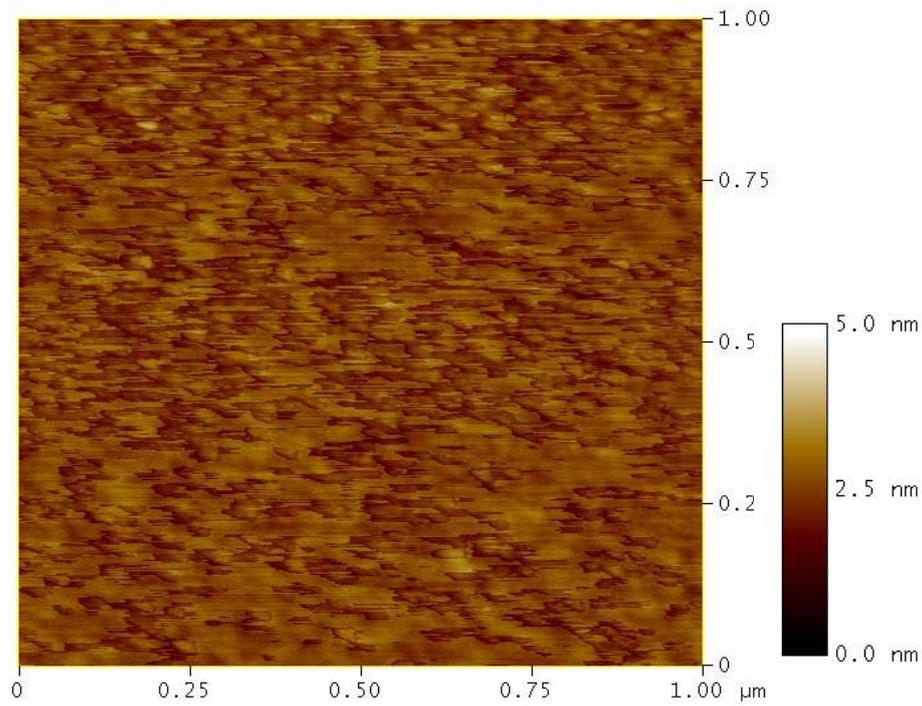


圖 3.1  $\text{Si}_3\text{N}_4$  表面 AFM 影像圖，其中 R.M.S. 為 0.343 nm，Ra 為 0.277

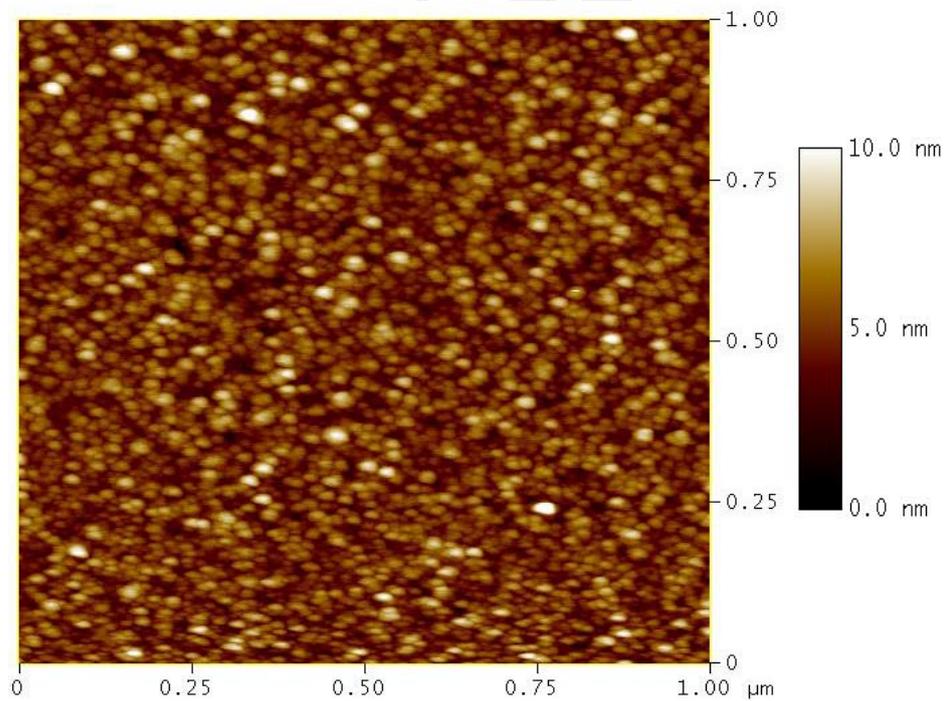


圖 3.2  $\text{Si}_3\text{N}_4$  表面有矽奈米晶體 100 秒沉積 AFM 影像圖，其中 R.M.S. 為 1.872 nm，Ra 為 1.468 nm。

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

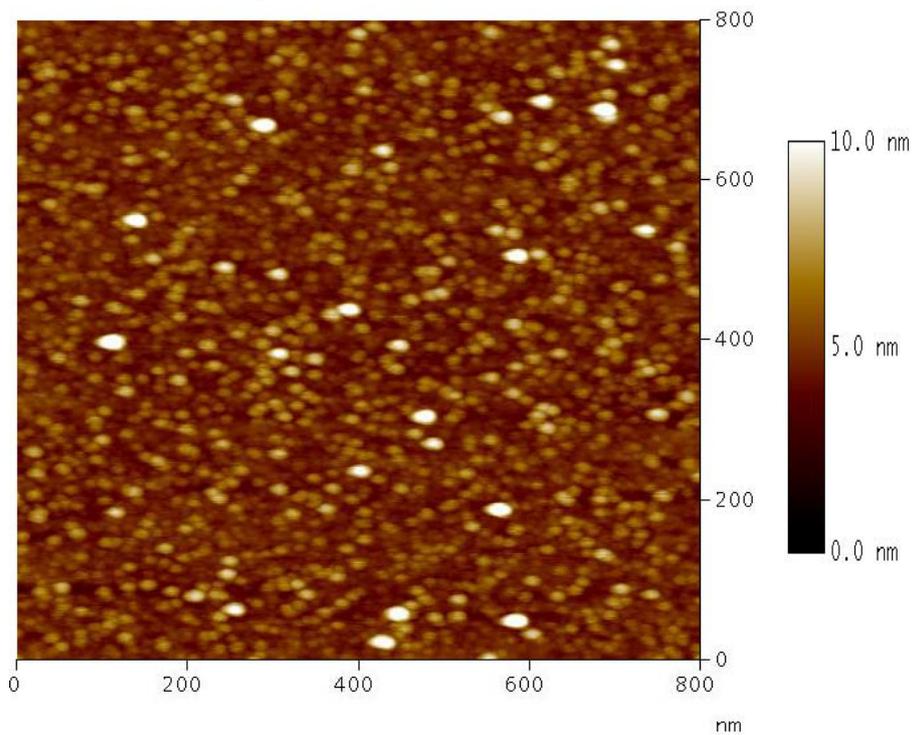


圖 3.3 Si<sub>3</sub>N<sub>4</sub> 表面有矽奈米晶體 50 秒沉積 AFM 影像圖，其中 R.M.S  
為 0.964 nm，Ra 為 0.697 nm

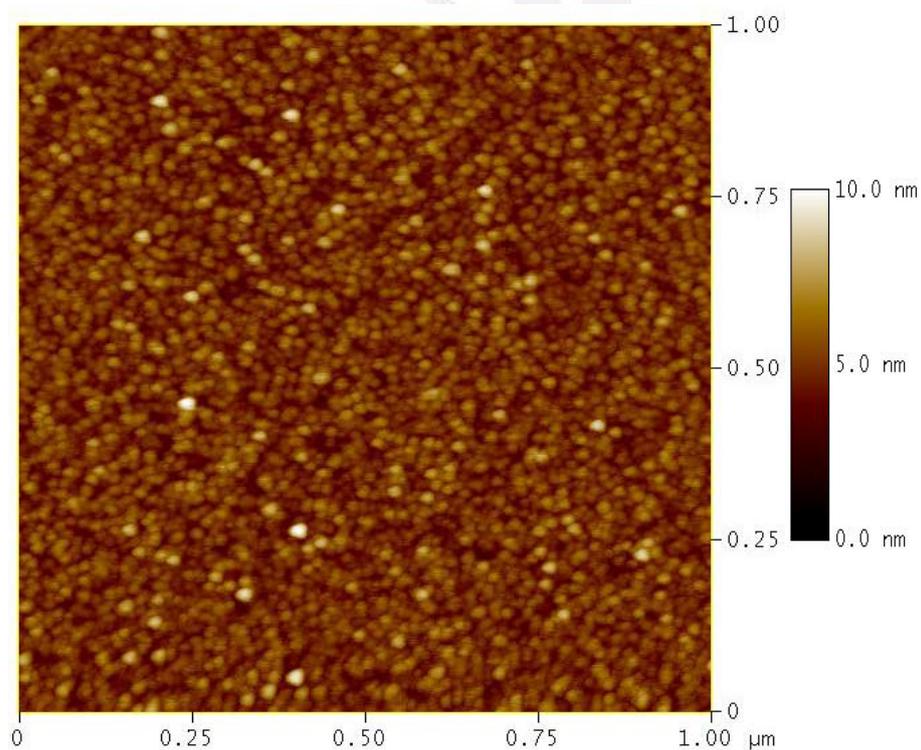


圖 3.4 Si<sub>3</sub>N<sub>4</sub> 表面有矽奈米晶體 40 秒沉積 AFM 影像圖，其中 R.M.S  
為 0.799 nm，Ra 為 0.619 nm

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

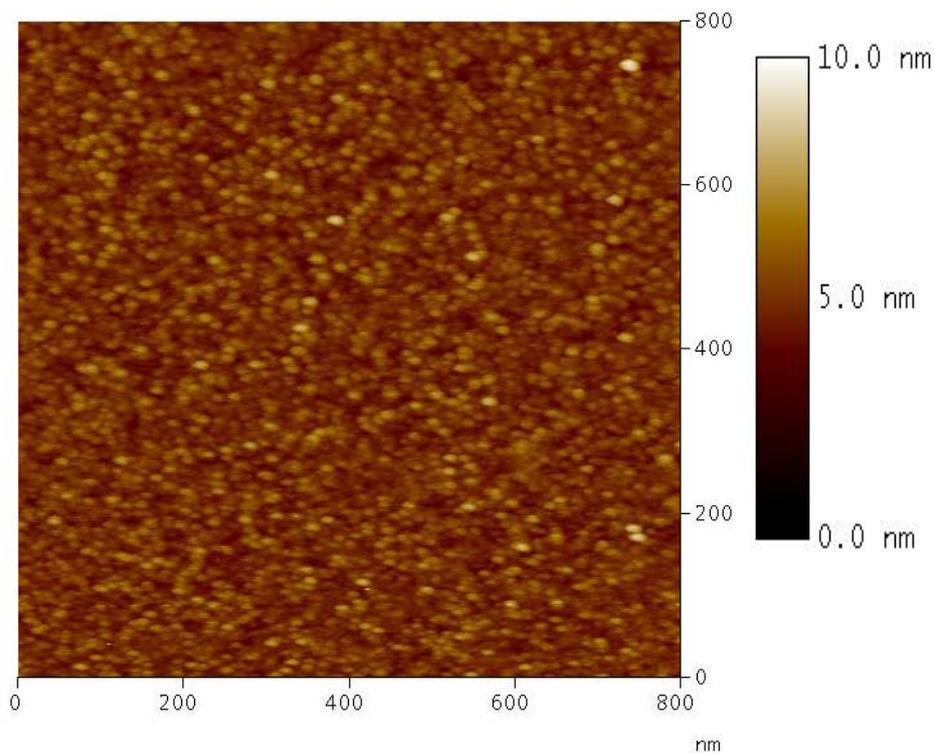


圖 3.5 Si<sub>3</sub>N<sub>4</sub> 表面有矽奈米晶體 20 秒沉積 AFM 影像圖，其中 R.M.S 為 0.606 nm，Ra 為 0.470 nm

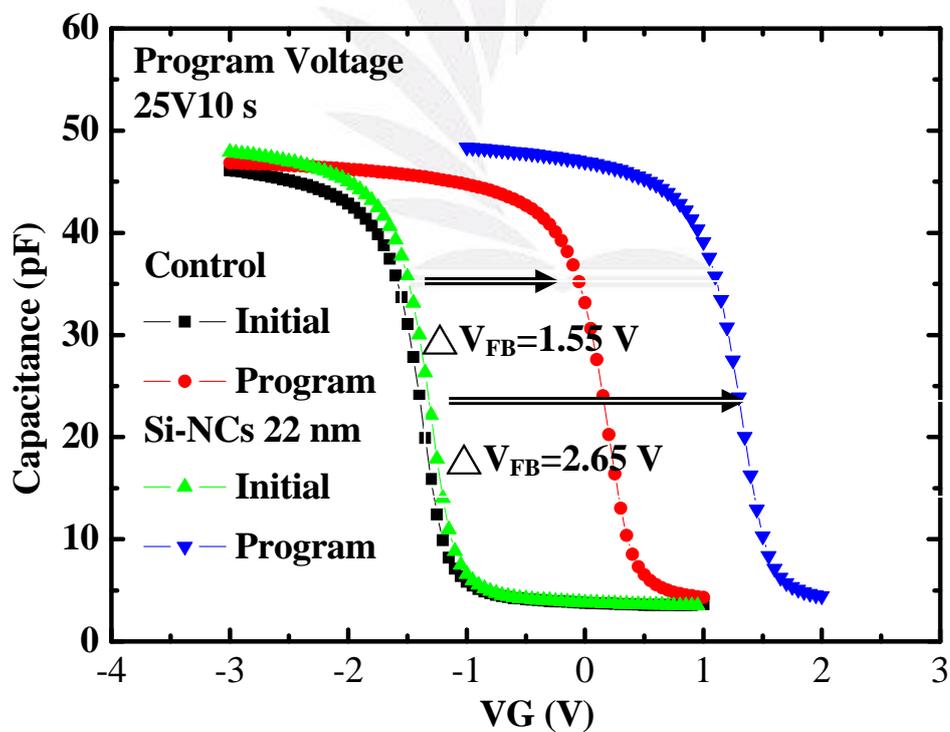
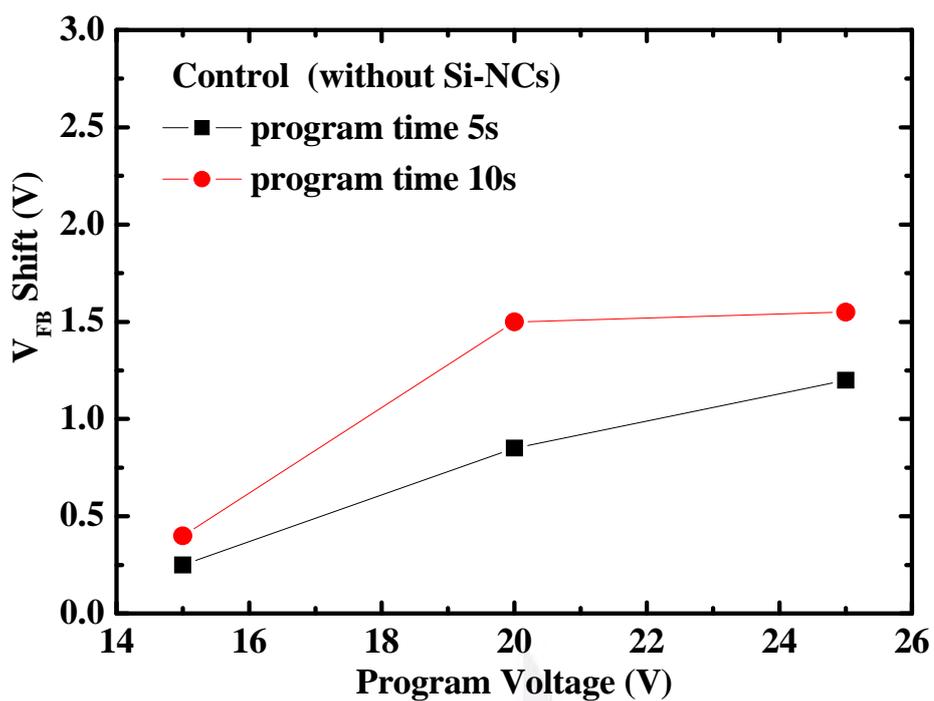
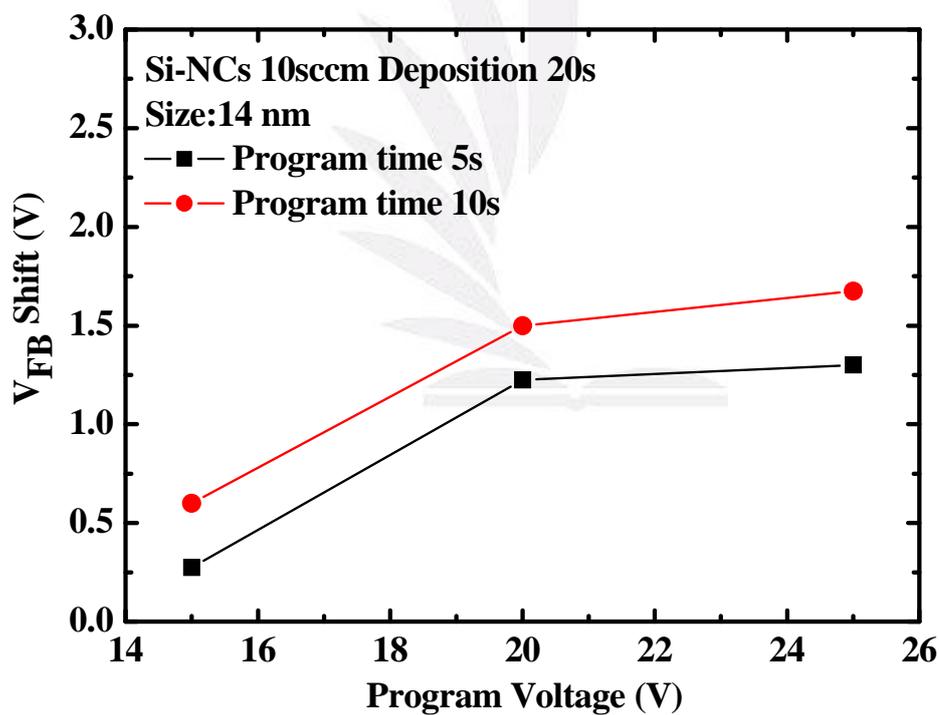


圖 3.6 電容-電壓曲線在 25 伏 10 秒條件下對  $V_{FB}$  偏移求值

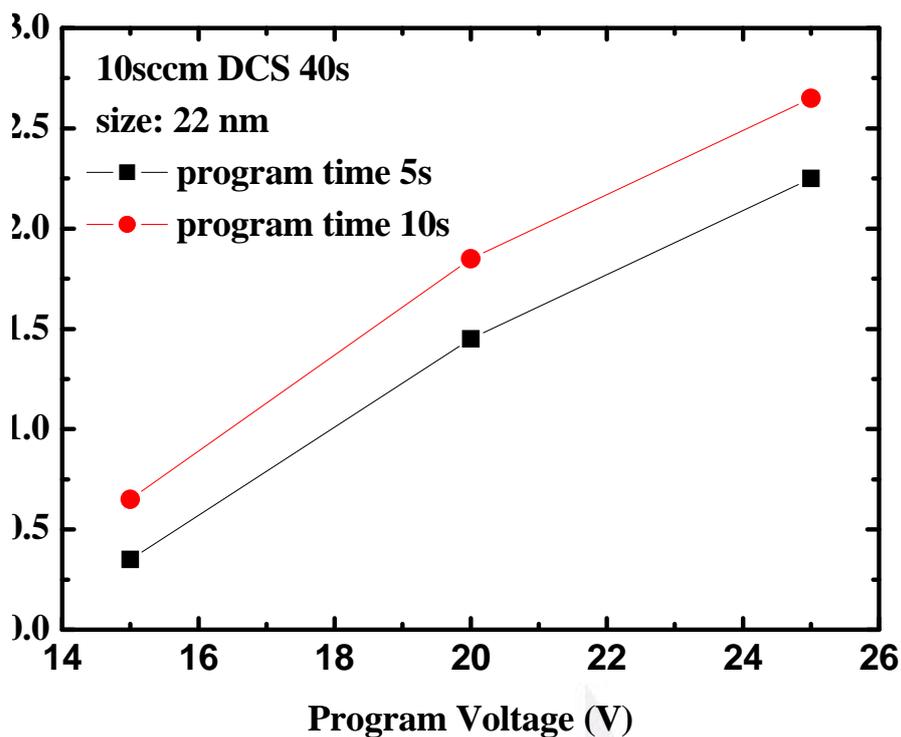


(a)

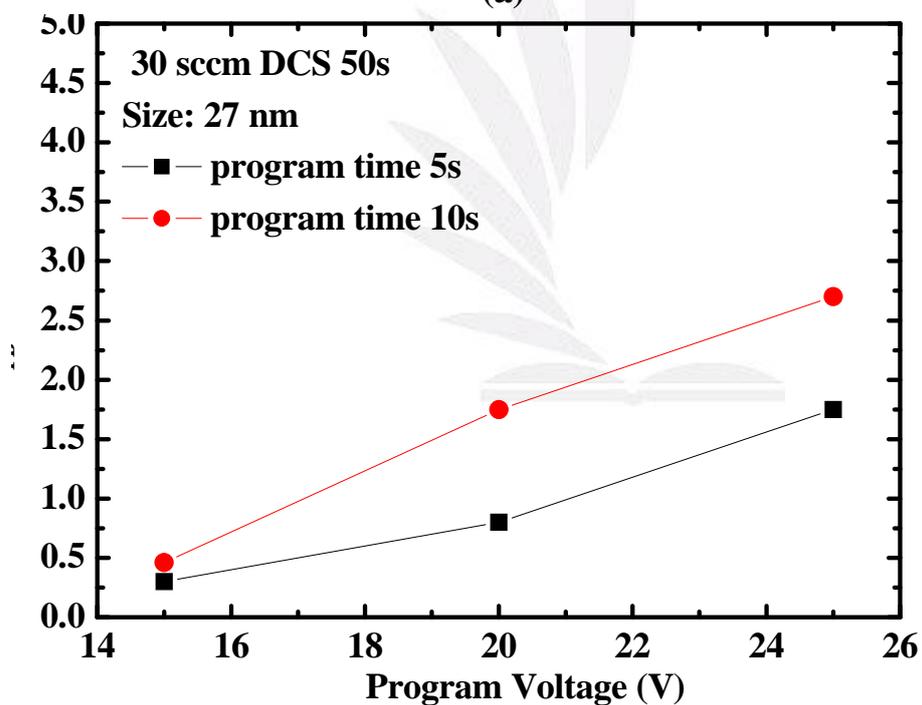


(b)

圖 3.7(a)控制樣品的  $V_{FB}$  偏移圖(b)矽奈米晶體 SONOS 尺寸 14nm 於寫入電壓 15V, 20V, 25V 對於時間 5 秒和 10 秒的  $V_{FB}$  偏移圖。



(a)



(b)

圖 3.8(a)矽奈米晶體 SONOS 尺寸 22nm 的  $V_{FB}$  偏移圖(b)矽奈米晶體  
SONOS 尺寸 27nm 於電壓 15, 20, 25V 對時間 5, 10 秒的  $V_{FB}$  偏移圖

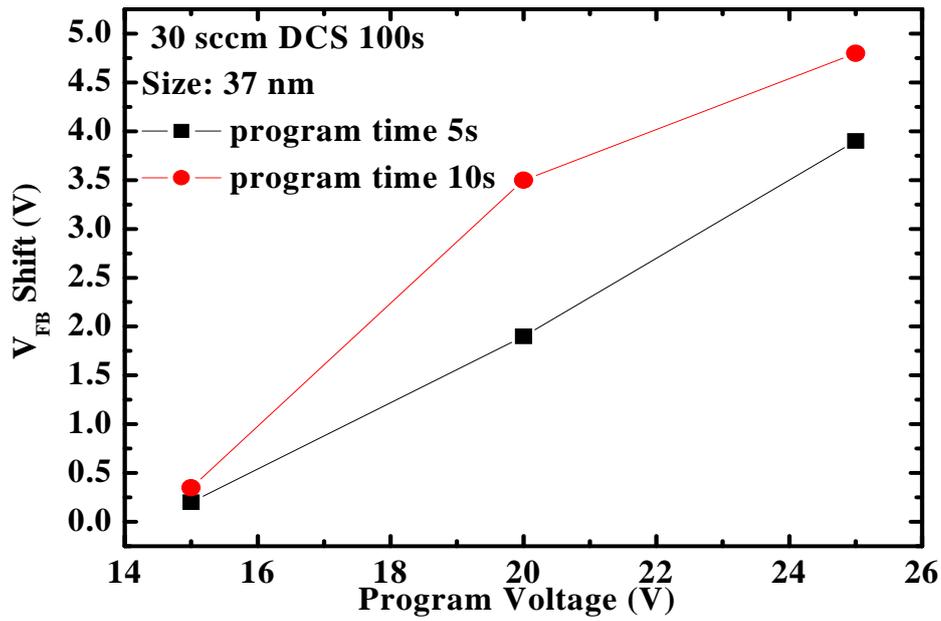


圖 3.9 矽奈米晶體 SONOS 尺寸 37nm 於寫入電壓 15V, 20V, 25V 對於時間 5 秒和 10 秒的  $V_{FB}$  偏移圖。

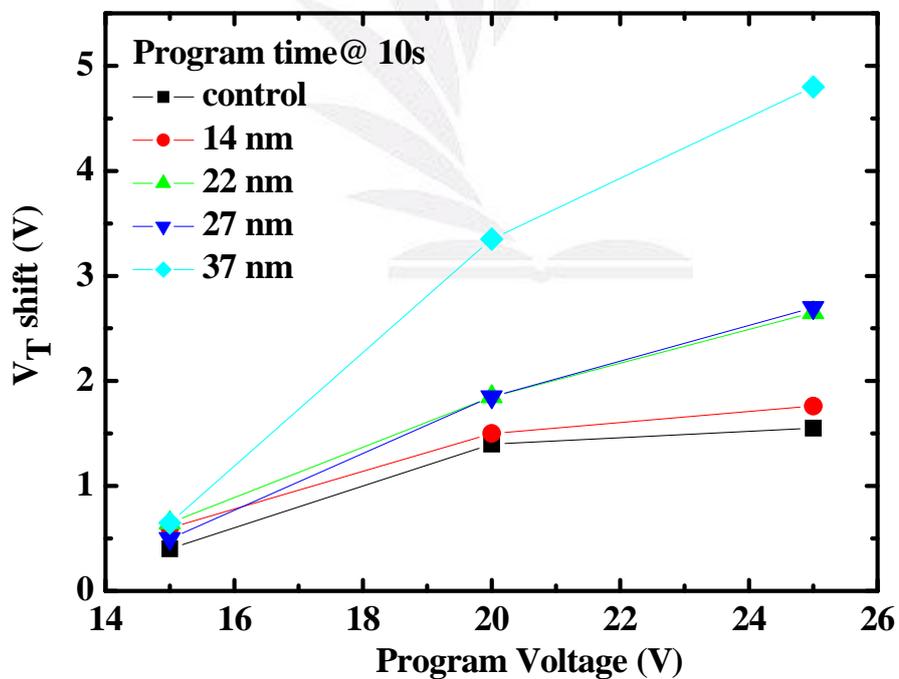


圖 3.10 矽奈米晶體 SONOS 在不同尺寸下，寫入相同時間 10 秒的  $V_{FB}$  偏移圖。

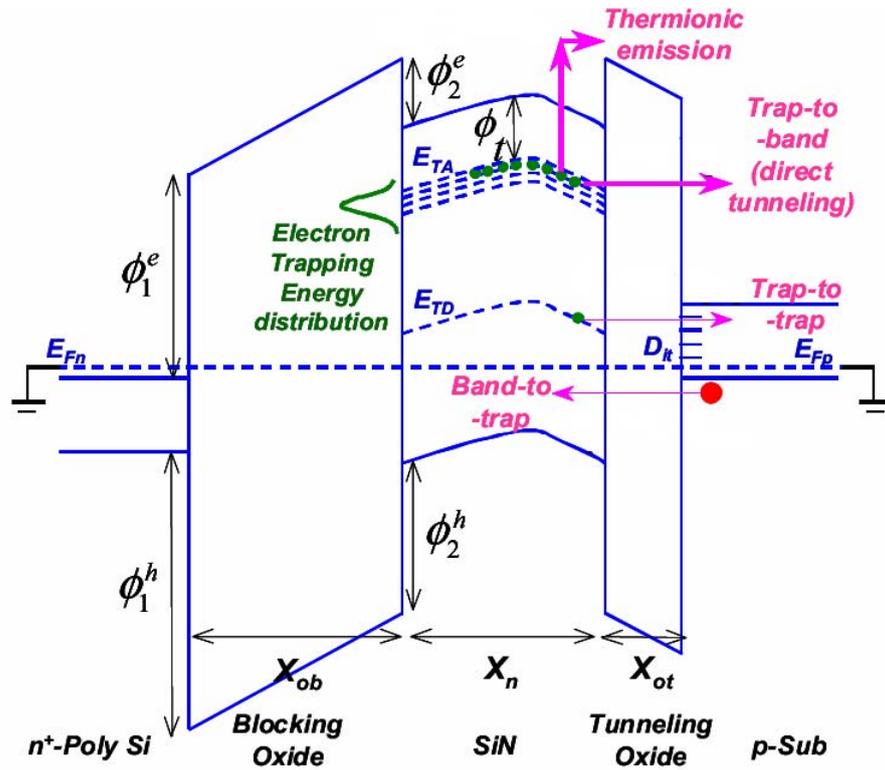


圖 3.11 電荷漏失機制圖，熱離子放射主導電荷的漏失機制。

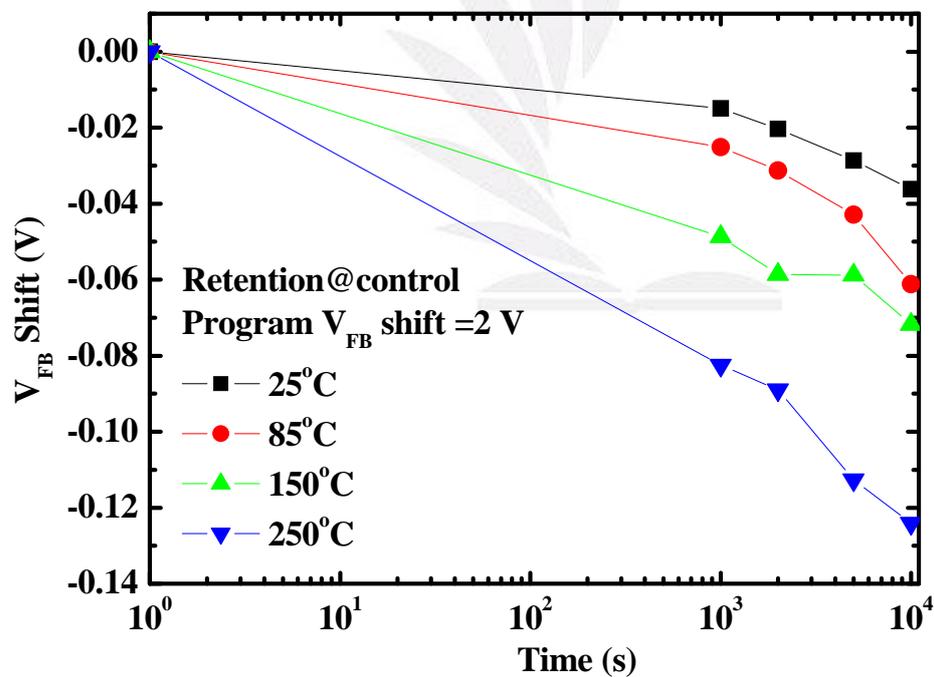


圖 3.12 矽奈米晶體 SONOS 記憶體於寫入窗 2 伏下在不同溫度量測保存能力特性圖。

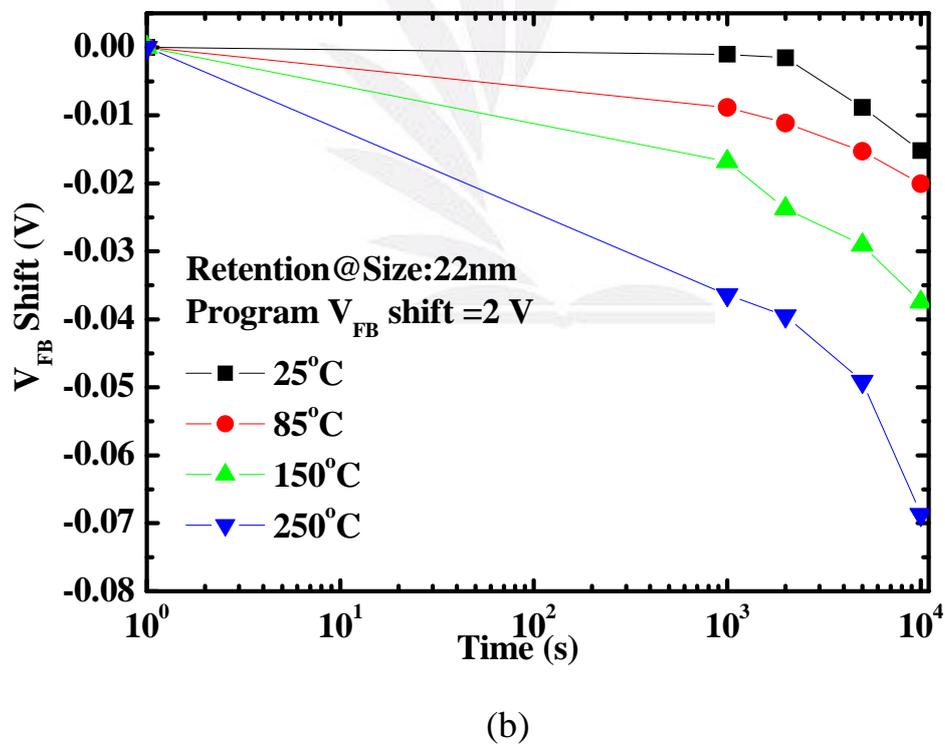
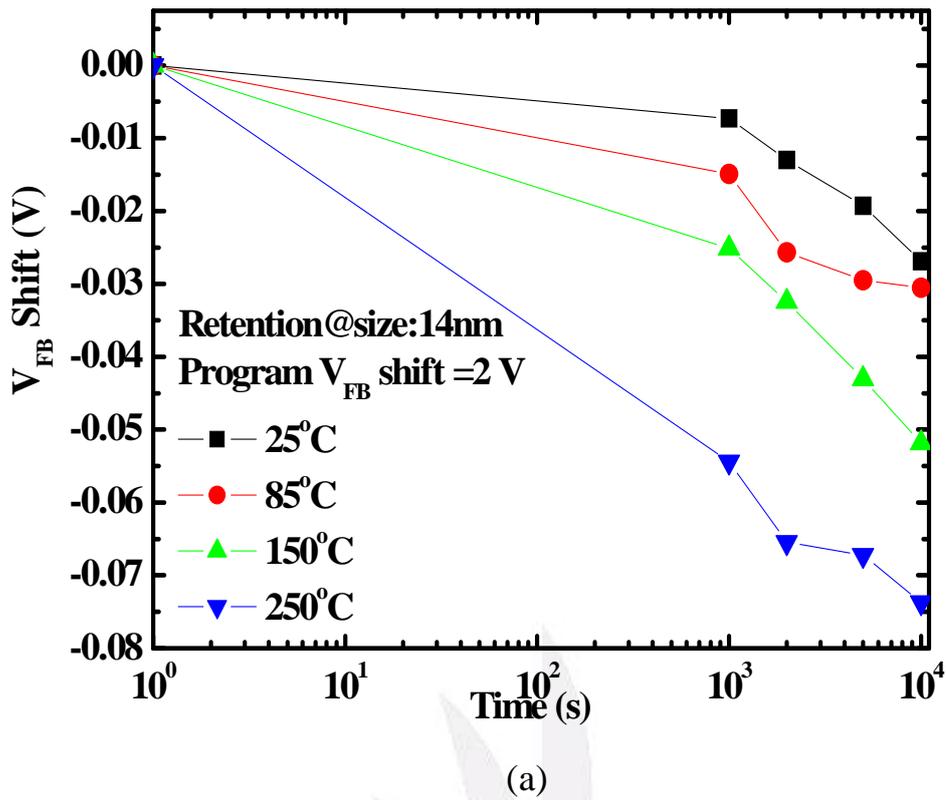
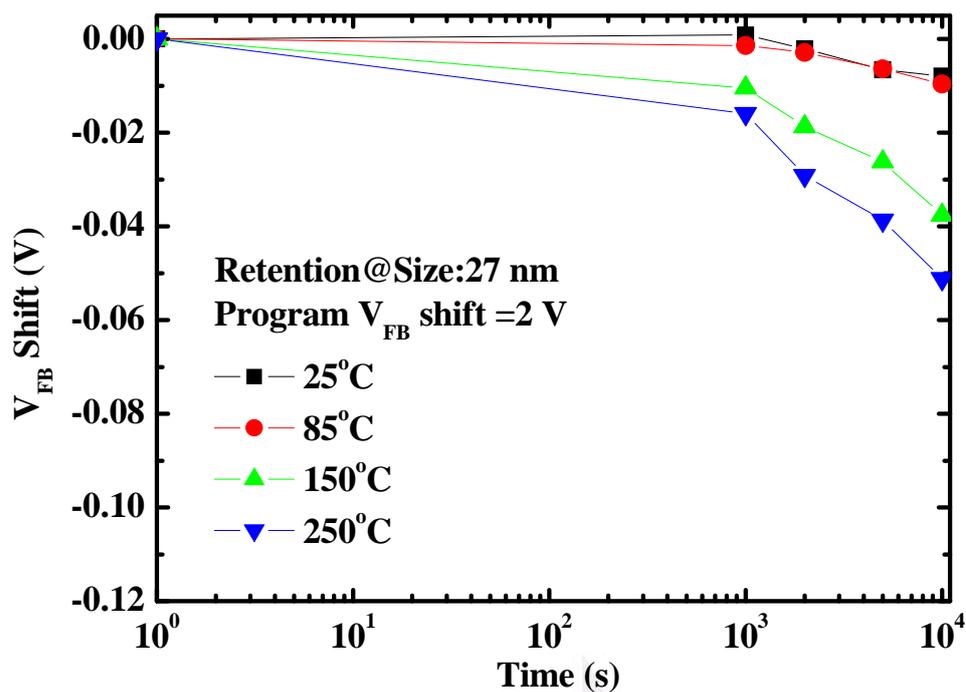
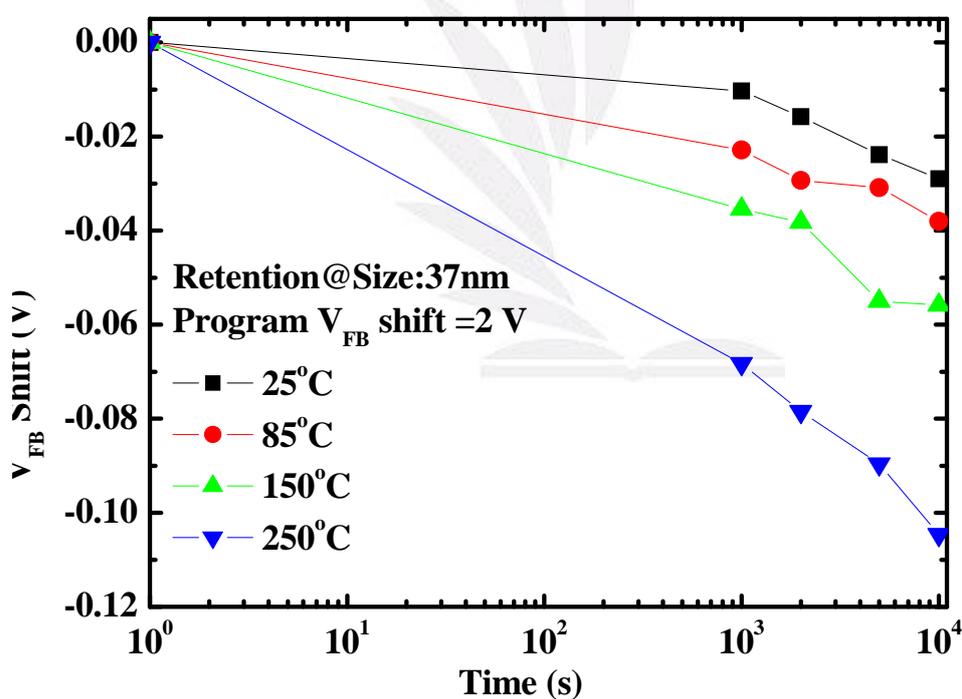


圖 3.13 矽奈米晶體 SONOS 記憶體於寫入窗 2 伏下在不同溫度量測  
保存能力特性圖(a) 14nm 和(b)尺寸 22nm。



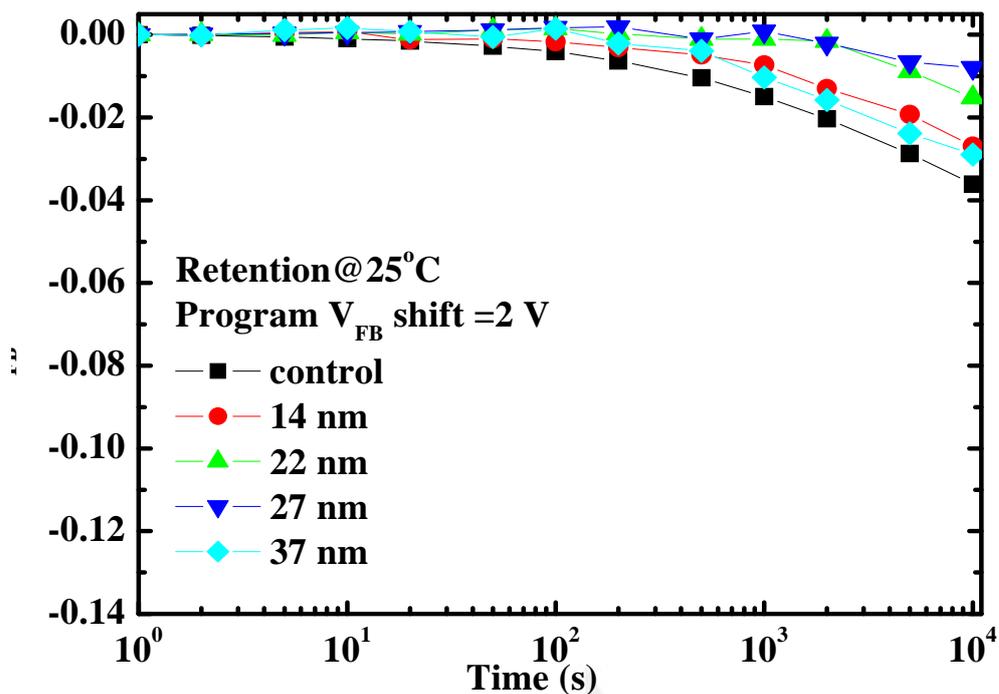
(a)



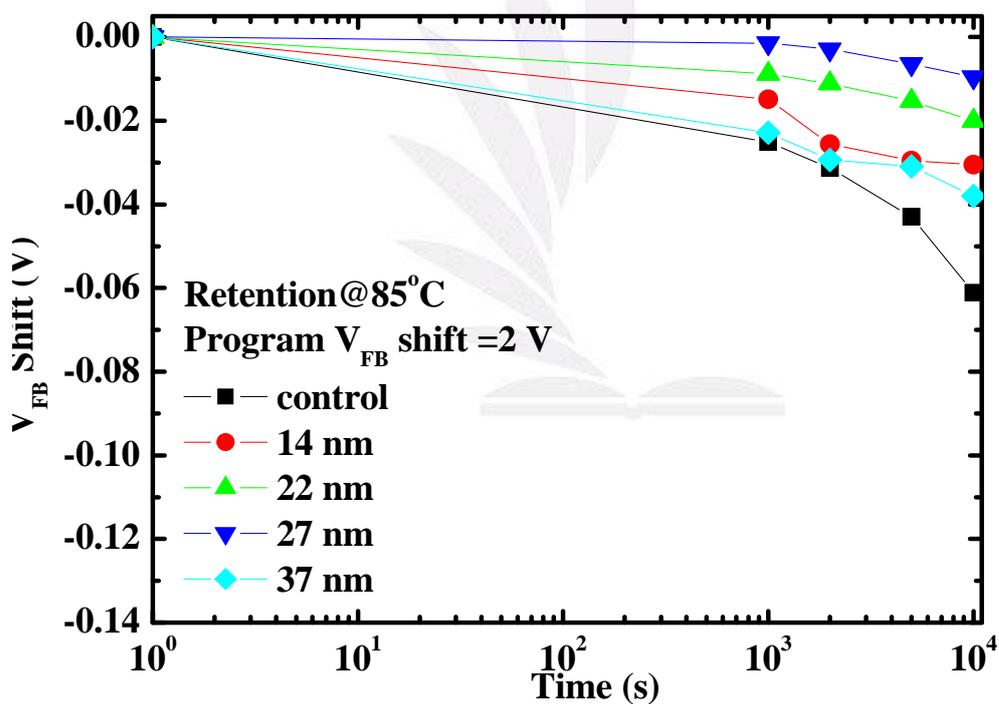
(b)

圖 3.14 矽奈米晶體 SONOS 記憶體於寫入窗 2 伏下在不同溫度量測保存能力特性圖(a) 27nm 和(b)尺寸 37nm。

臨場沉積法成長矽奈米晶體在 SONOS  
記憶體元件之研究

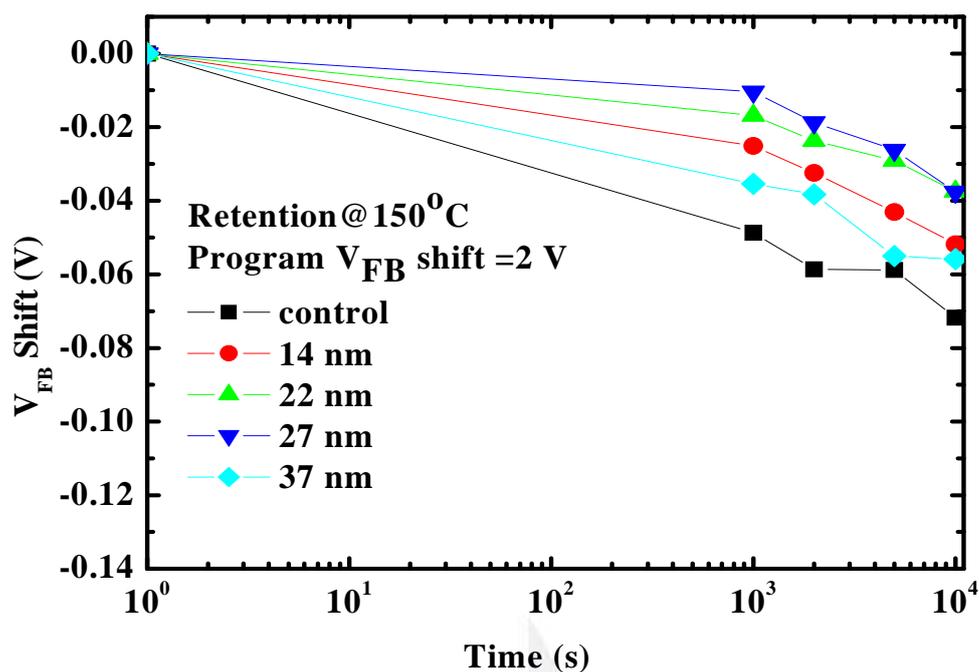


(a)

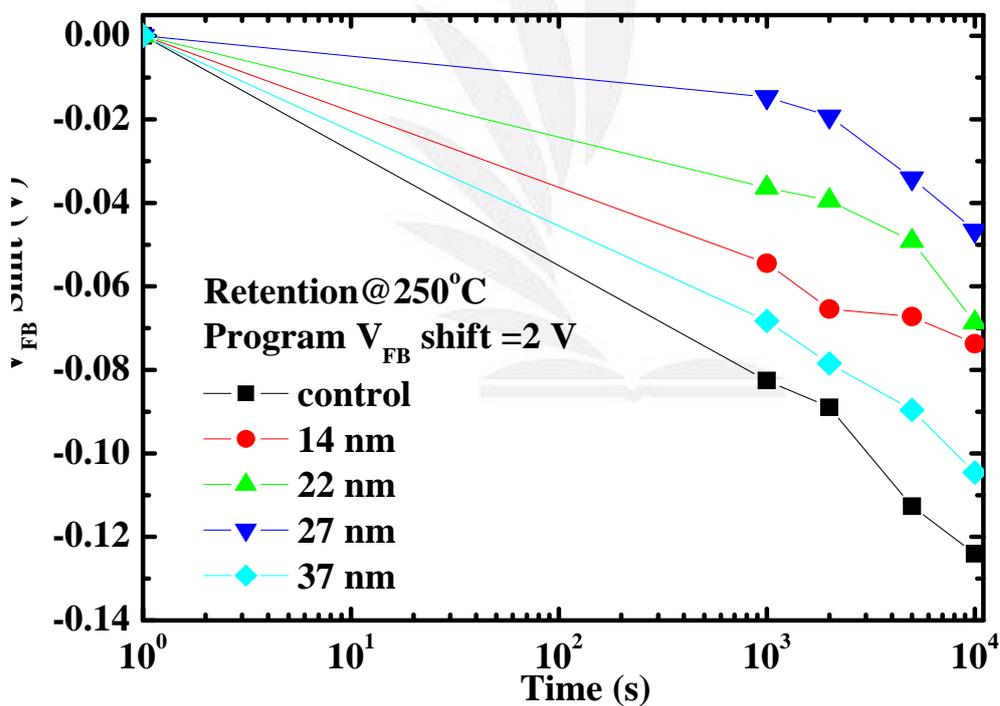


(b)

圖 3.15 矽奈米晶體 SONOS 記憶體在不同溫度條件於寫入窗 2 伏下的保存能力特性圖(a) 25°C 和(b) 85°C。



(a)



(b)

圖 3.16 矽奈米晶體 SONOS 記憶體在不同溫度條件於寫入窗 2 伏下的  
保存能力特性圖(a) 150°C 和(b) 250°C。

## 第四章 記憶體的元件特性

### 4.1 寫入速度

我們將在這一節中討論 in-situ Silicon NanoCrystals 寫入特性，圖 4.1 為 F-N 和 CHE 寫入的 I-V 曲線，從圖 4.2 我們可以觀察到傳統 SONOS memory 有較差的特性，在相同寫入電壓條件下傳統 SONOS memory 的寫入速度會比 in-situ Silicon NanoCrystals 來得慢，Memory window 和寫入速度都是 in-situ Silicon NanoCrystals 較佳，示於圖 4.3，我們將原因解釋為 NanoCrystals 提供額外儲存能力，圖 4.4 分別在  $V_G=6V, V_D=6V$ ;  $V_G=7V, V_D=7V$  和  $V_G=8V, V_D=8V$  下的 CHE 寫入速度特性圖。

### 4.2 抹除速度

這一節討論 in-situ Silicon NanoCrystals 抹除特性，當抹除時，熱電洞注入用來抹除 SONOS 中寫入的電荷，我們在閘極端輸入負電壓 ( $V_G=-9V$ )，而在汲極端輸入正電壓 ( $V_D=7V$ ) 且讀取時使  $V_G=0\sim 9V$ ， $V_D=0.1V$ ，注入的熱電洞會與儲存的電子結合而達到抹除的效果，圖 4.5 秀出在固定閘極電壓調變汲極電壓條件下的抹除速度，而圖 4.6 則秀出在固定汲極電壓調變閘極電壓條件下的抹除速度，由以上的圖可得到一個結論，就是汲極電壓影響抹除速度大於閘極電壓的影響。

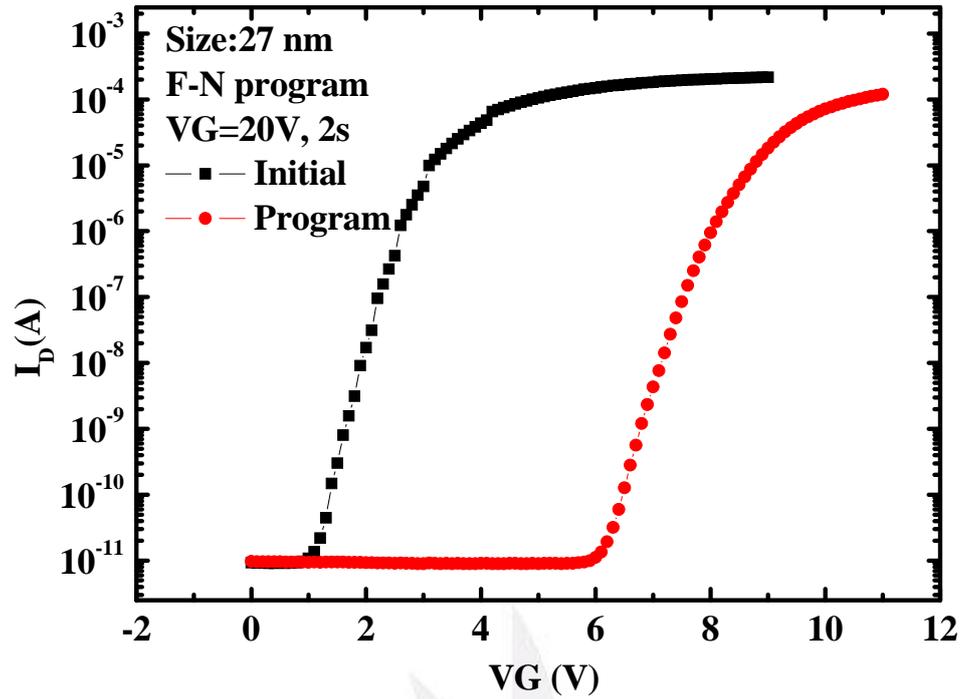
### 4.3 保存能力

此小節我們秀出傳統 SONOS 和 NanoCrystals 尺寸 27 nm 和 37 nm 的 retention 特性，元件的趨勢和電容一樣，埋入 NanoCrystals 會提供深層捕陷能階的能力，此外，在愈高溫的情形下，電荷漏失愈快，秀於圖 4-7 和圖 4-8(a)-(b)。因此，圖 4-9(a)-(b)和圖 4-10(a)-(b)。

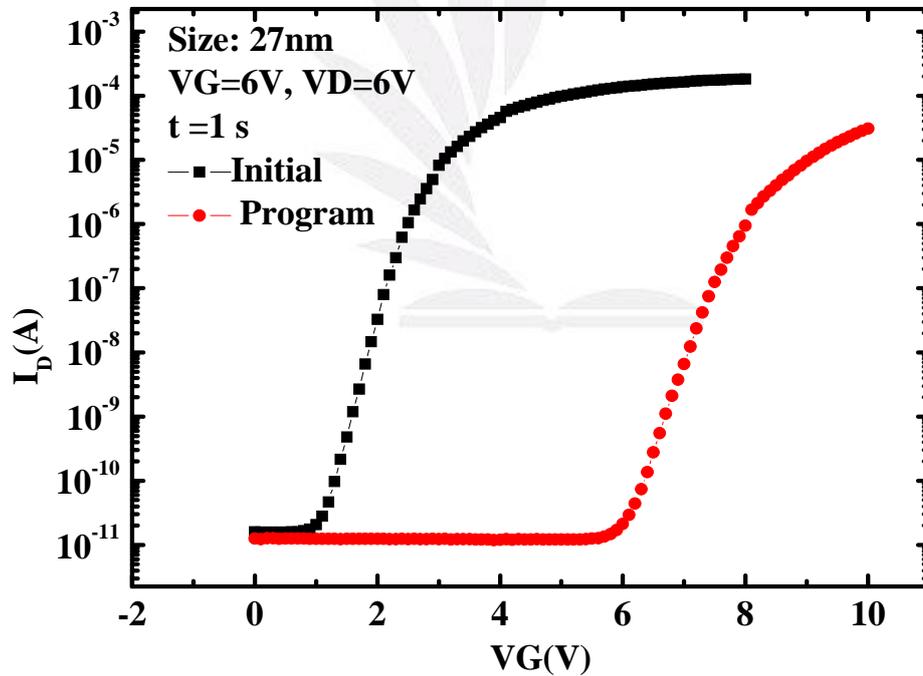
### 4.4 閘極干擾

此節中我們討論 Silicon NanoCrystals 尺寸 27 nm 和 37 nm 的干擾特性，首先來討論寫入干擾，在記憶體陣列中在我們寫入一特定的 Cell 時，而隔壁未受寫入的 Cell 經常會發生寫入干擾，考慮了兩種寫入干擾分別為 gate (word-line) disturbance 和 drain/source(bit-line) disturbance，圖 4-11(a)-(b)分別在尺寸 27nm 和 37nm 秀出 NanoCrystal 在  $V_G=6,8V$  下，閘極干擾 1000 秒  $V_T$  偏移低於 0.4 伏的特性圖。

圖 4-12(a)-(b)秀出 NanoCrystals 在  $V_D=6,8$  伏下，汲極干擾 100 秒的特性圖，結果顯示了嚴重的汲極干擾，因此，我們要在寫入速度和寫入干擾之間取得最理想的平衡點。



(a)



(b)

圖 4.1 矽奈米晶體尺寸 27 nm 在起始狀態和寫入狀態下的電流-電壓  
曲線圖(a) F-N (b) CHE

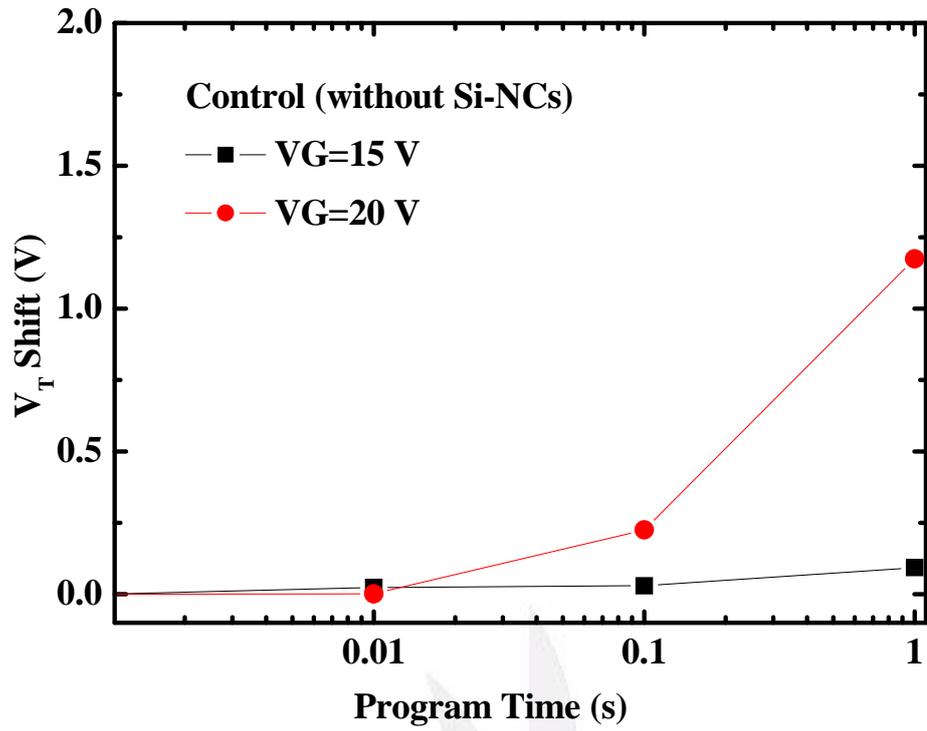
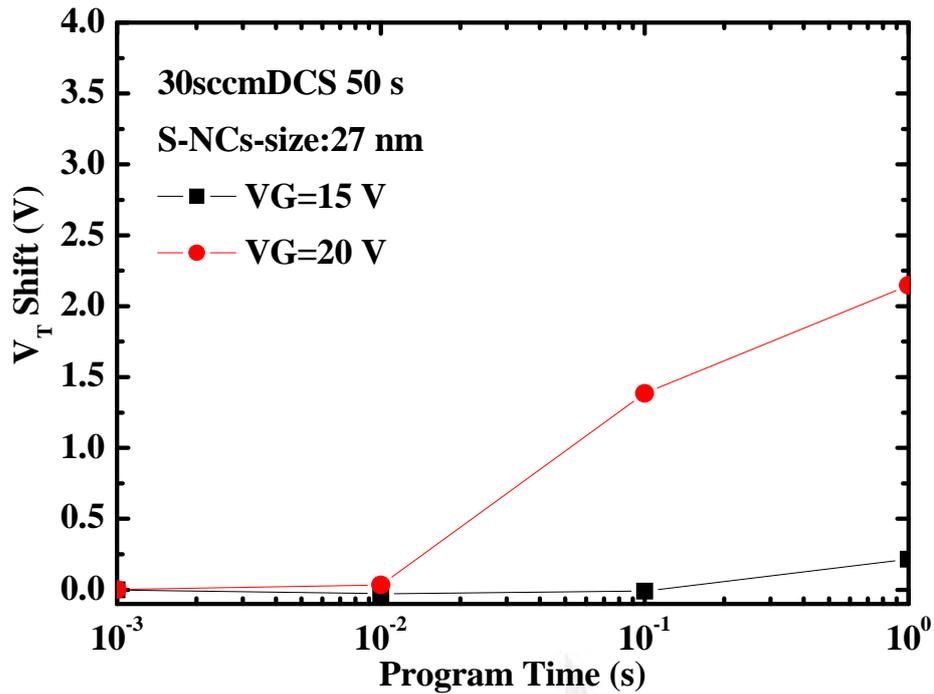
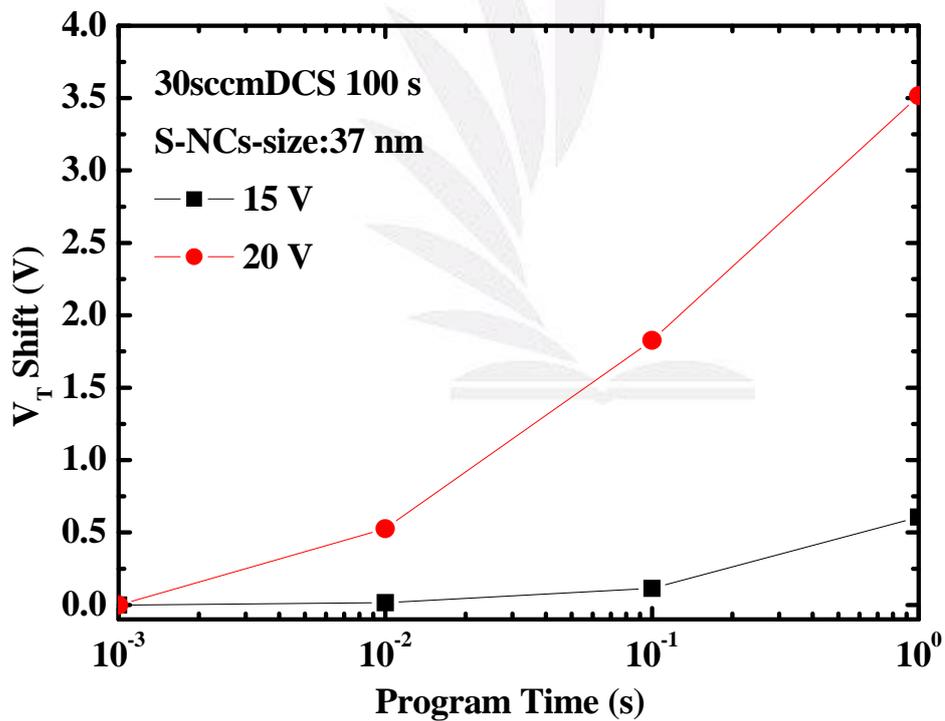


圖 4.2 在無矽奈米晶體條件下  $V_G=15,20$ V 的 F-N 寫入速度特性圖

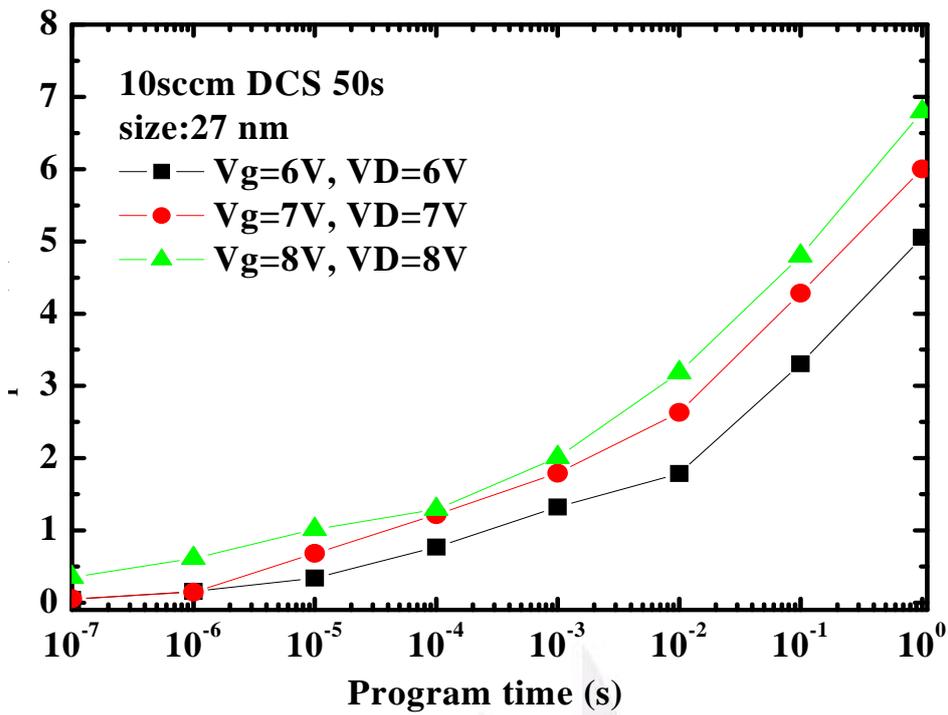


(a)

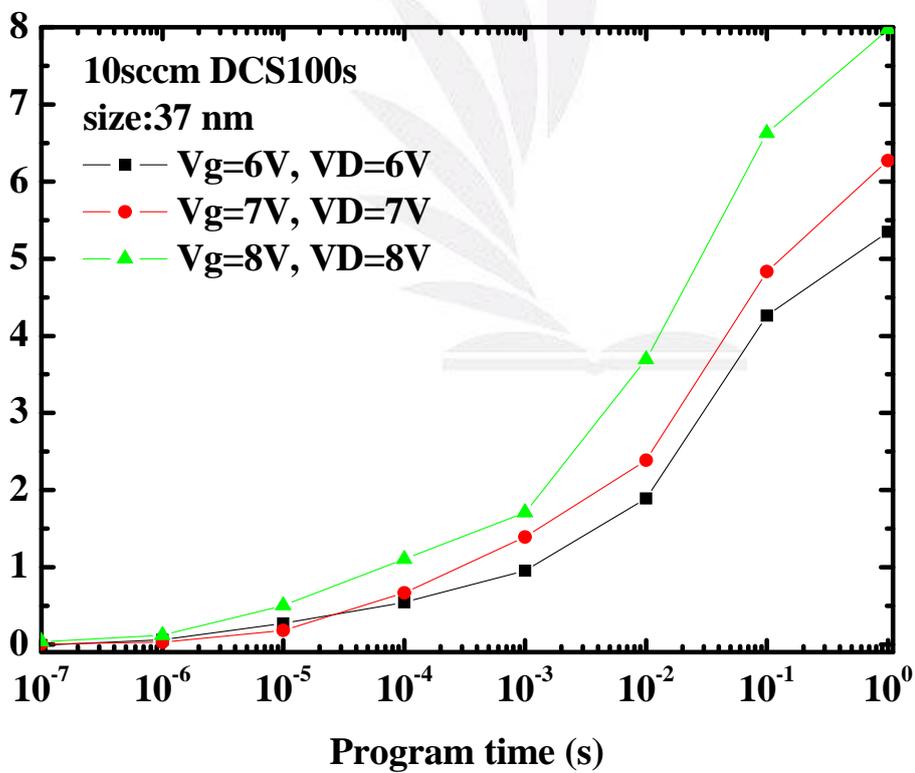


(b)

圖 4.3 V<sub>G</sub>=15,20V 的 F-N 寫入速度特性圖(a)尺寸 27 nm 的矽奈米晶體(b)尺寸 37 nm 的矽奈米晶體

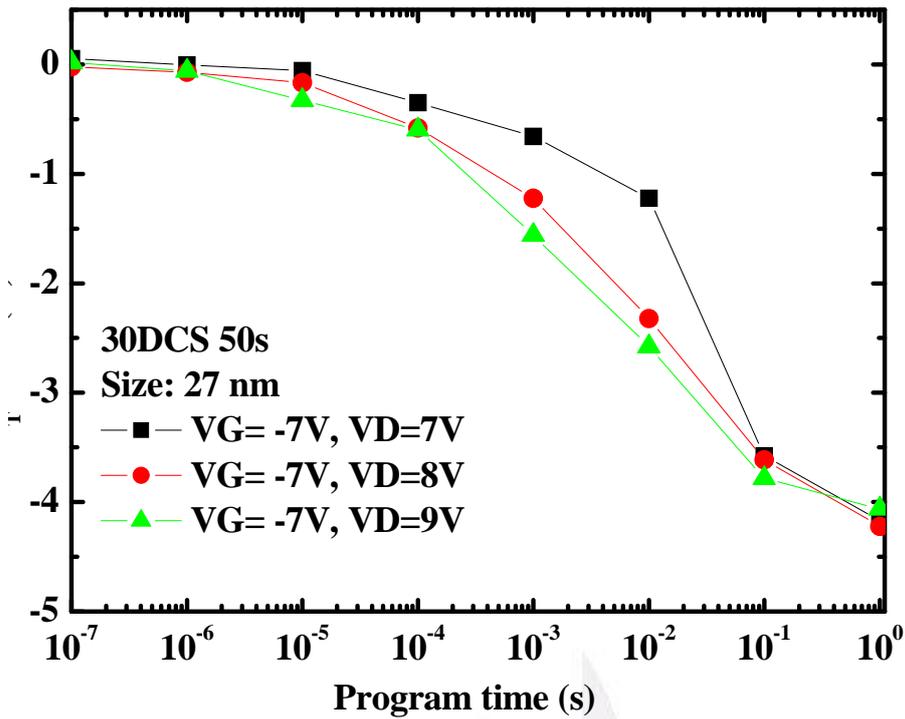


(a)

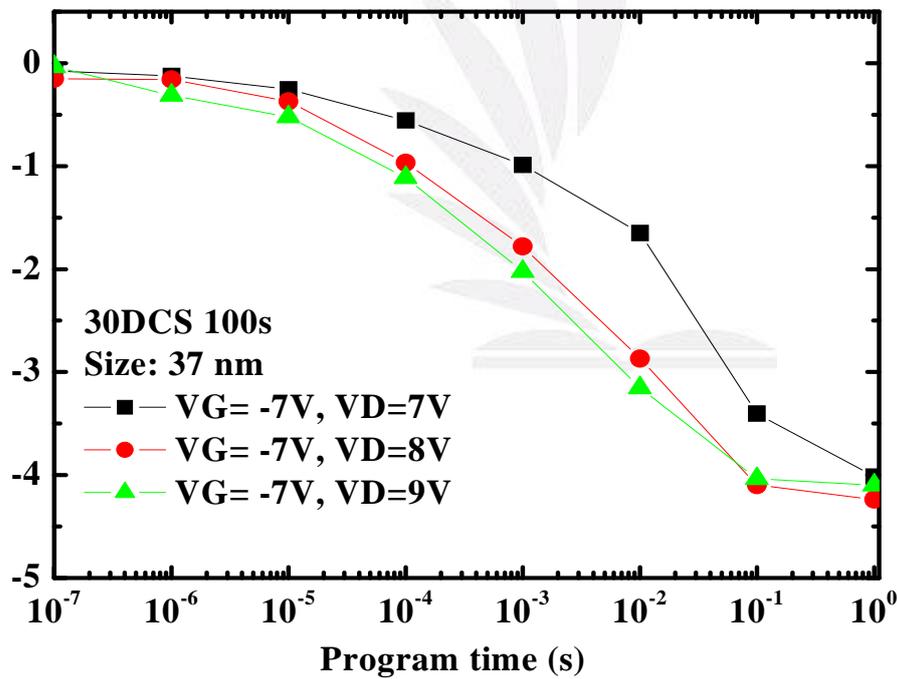


(b)

圖 4.4 在不同  $V_G$  和  $V_D$  下的 CHE 寫入速度特性圖

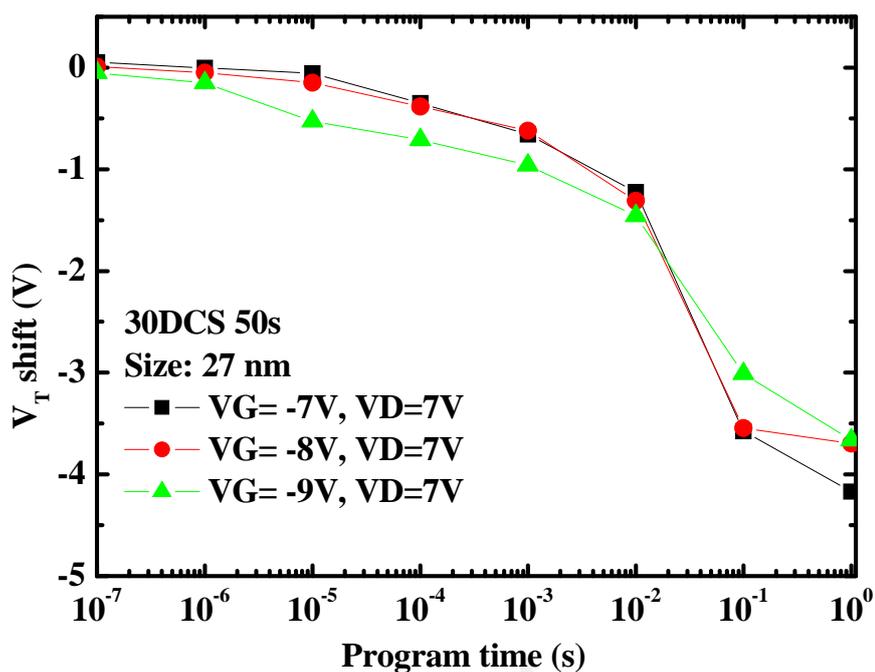


(a)

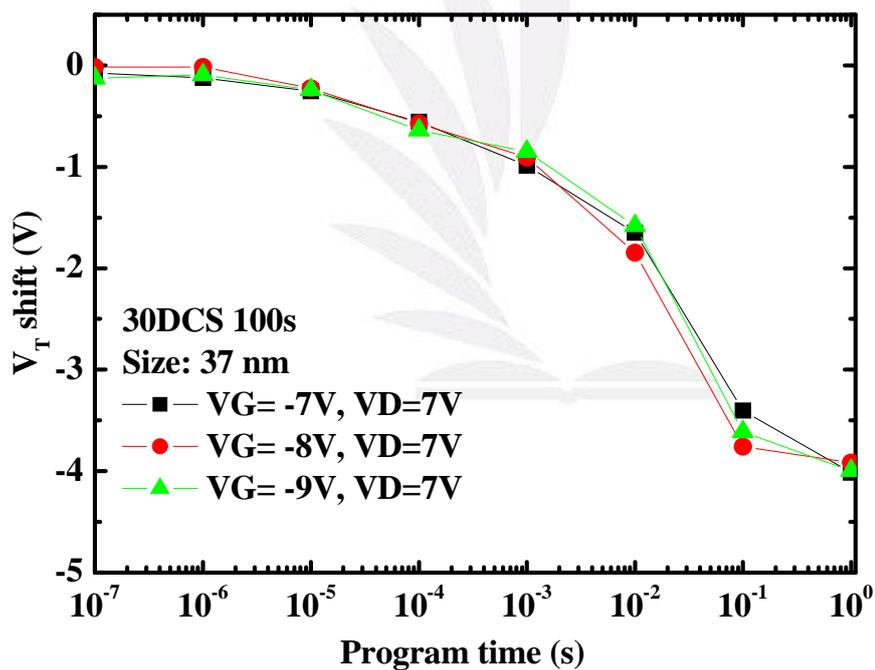


(b)

圖 4.5 在固定  $V_G = -7$  伏，調變  $V_D = 7$  伏，8 伏和 9 伏情形下，顯示帶對帶熱電洞抹除速度



(a)



(b)

圖 4.6 在固定  $V_D=7$  伏，調變  $V_G=-7$  伏， $-8$  伏和 $-9$  伏情形下，顯示帶對帶熱電洞抹除速度

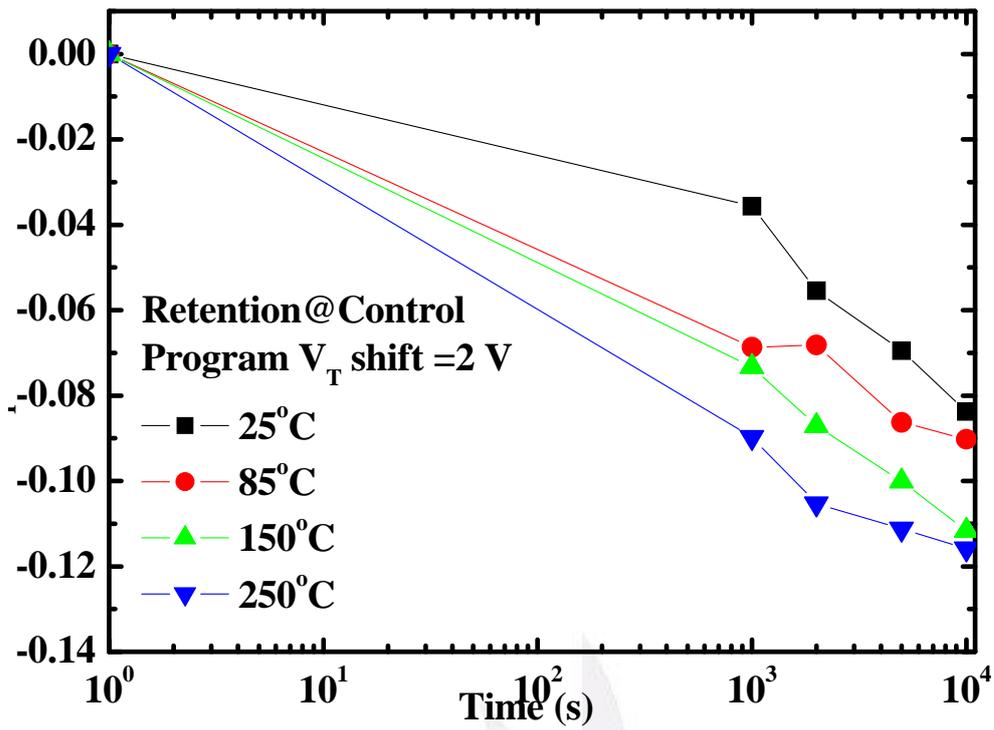
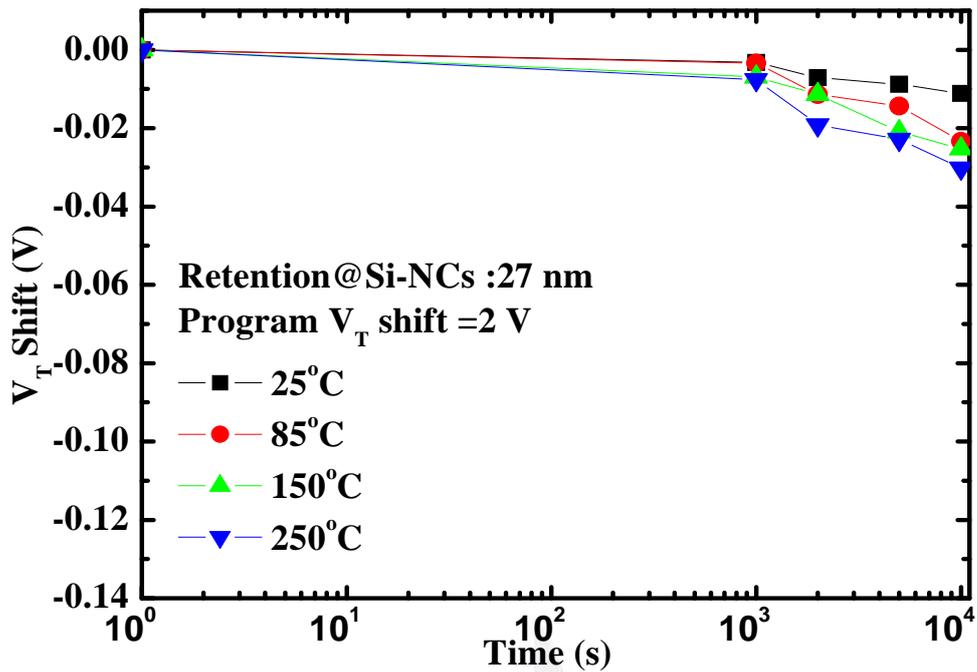
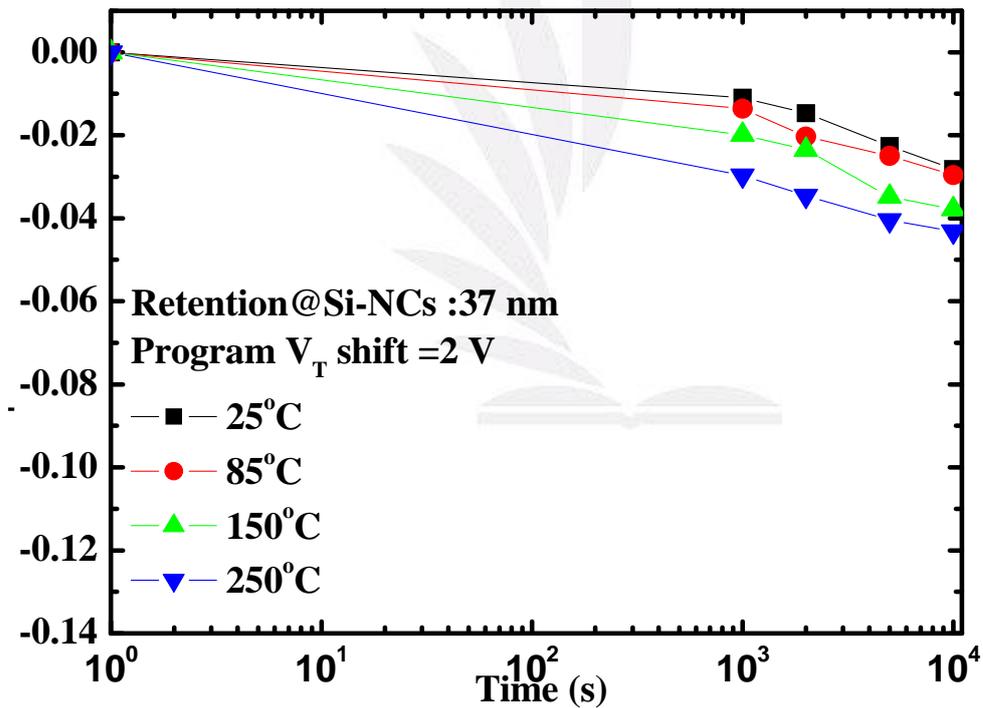


圖 4.7 傳統記憶體在寫入窗 2 伏條件下量測於不同溫度的保存能力特性圖

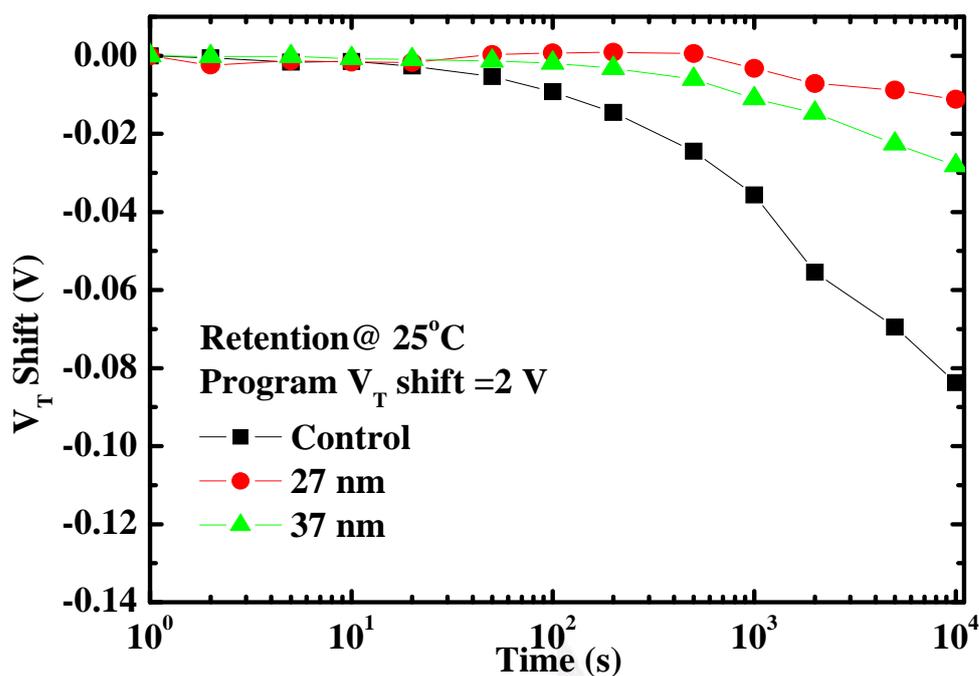


(a)

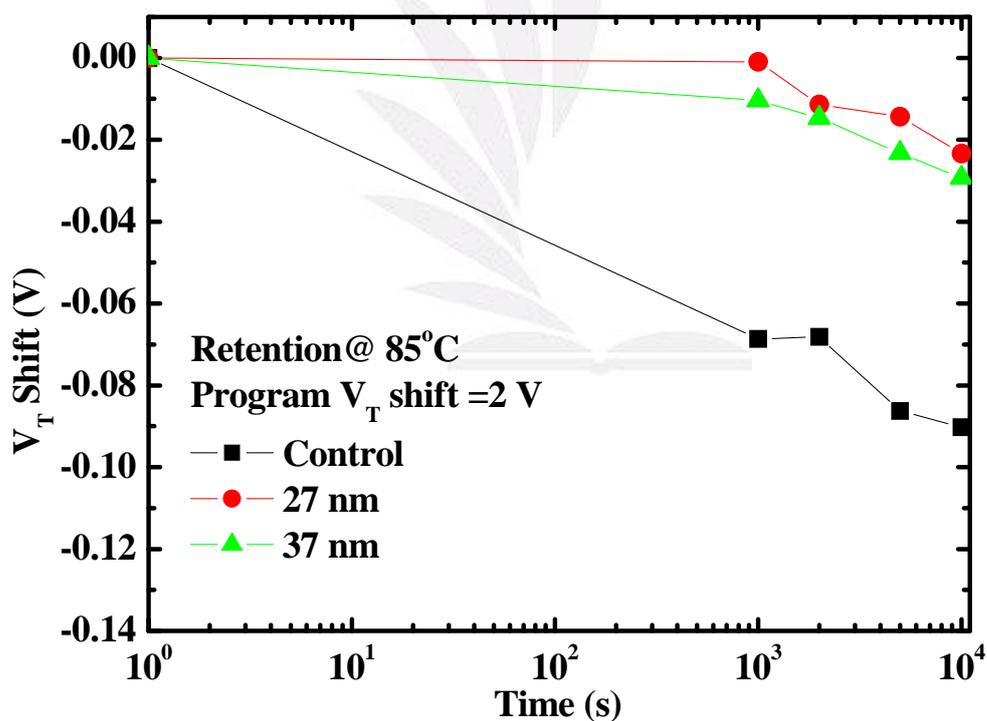


(b)

圖 4.8 矽奈米晶體 SONOS 記憶體在不同溫度條件於寫入窗 2 伏下的  
保存能力特性圖(a)尺寸 27 nm and (b) 37 nm



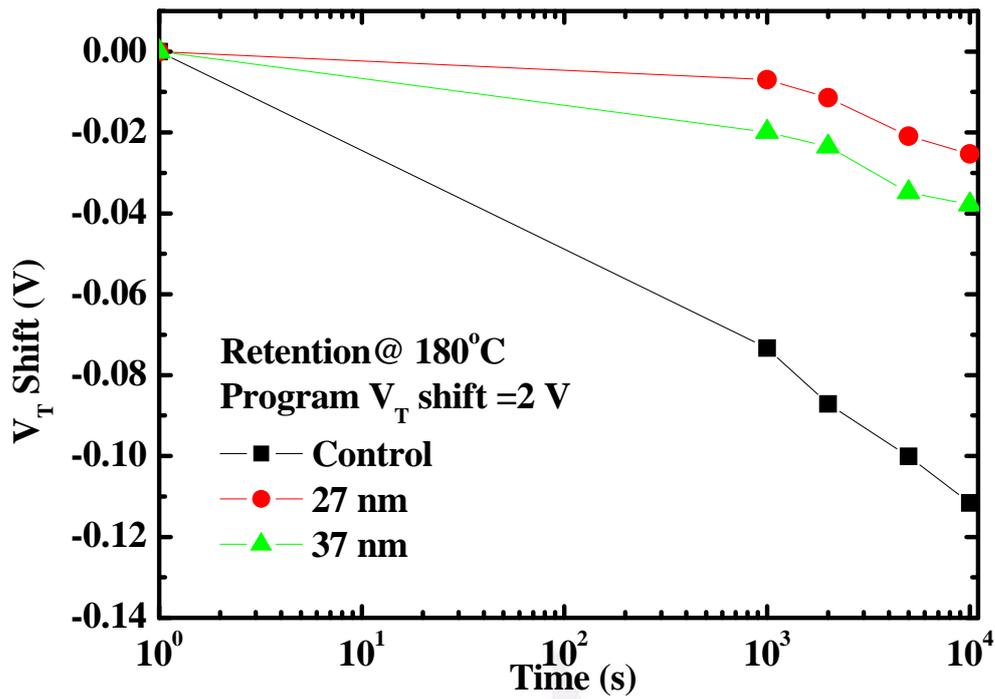
(a)



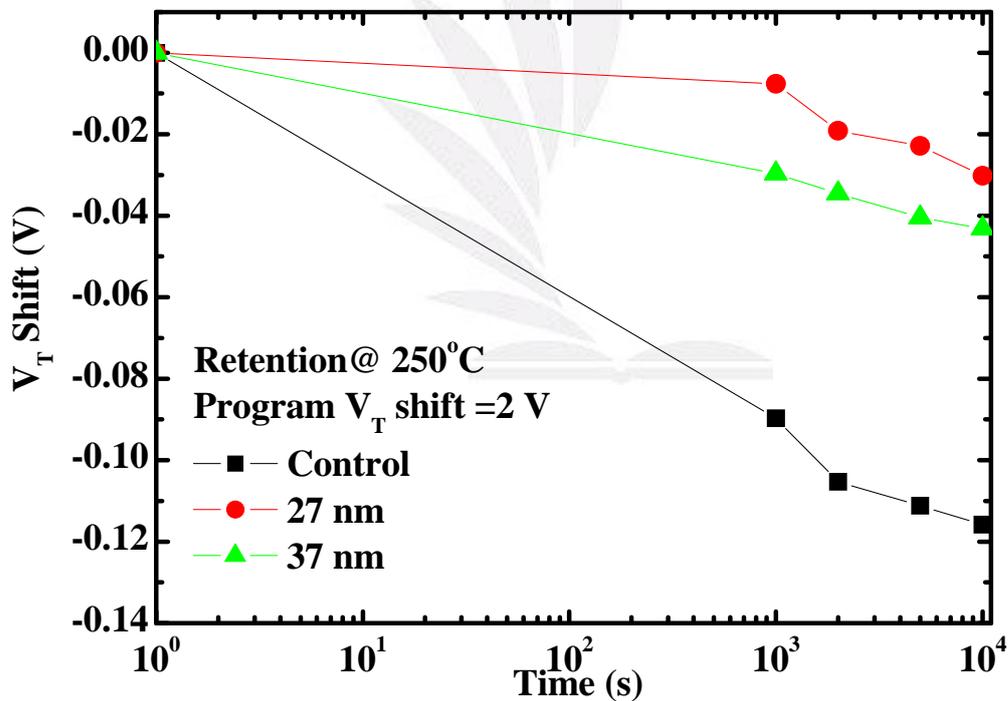
(b)

圖 4.9 矽奈米晶體 SONOS 記憶體不同尺寸在相同溫度條件於寫入窗

2 伏下的保存能力特性圖(a) 25°C 和(b) 85°C



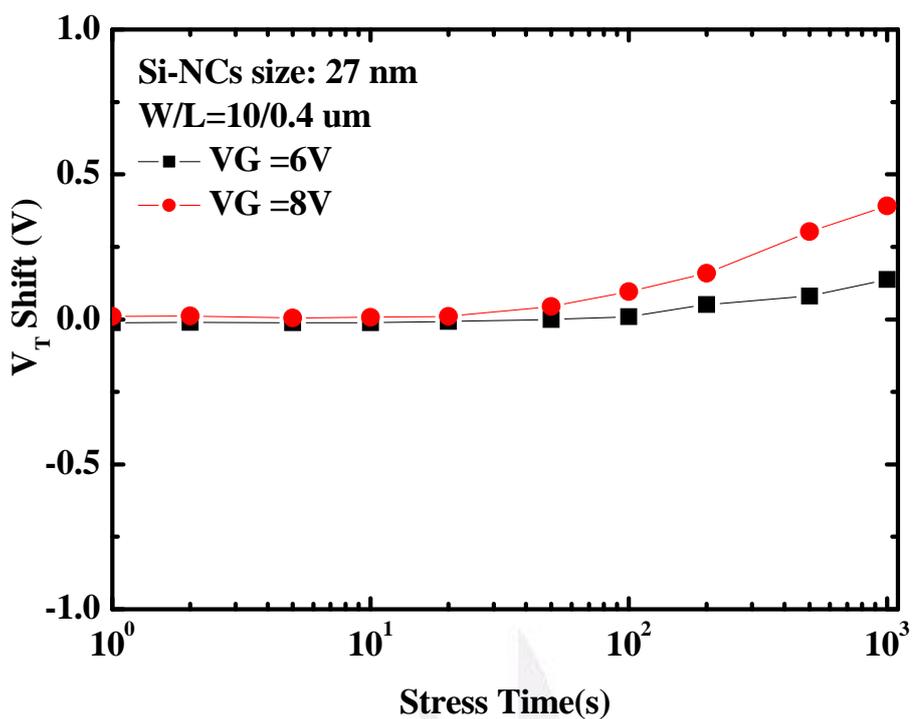
(a)



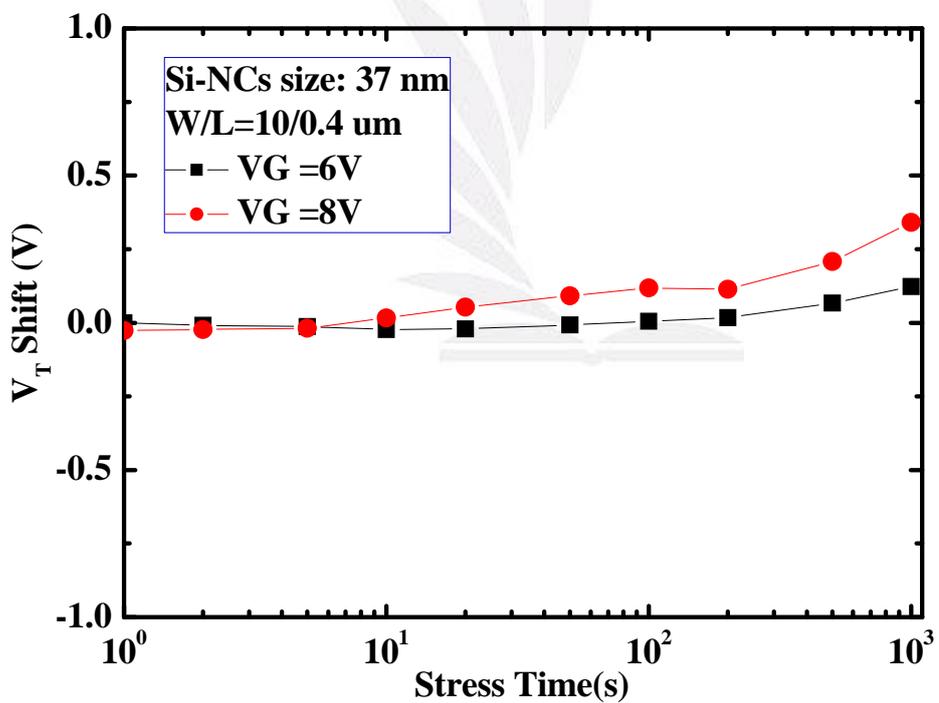
(b)

圖 4.10 矽奈米晶體 SONOS 記憶體不同尺寸在相同溫度條件於寫入窗

2 伏下的保存能力特性圖(a) 180°C 和(b) 250°C



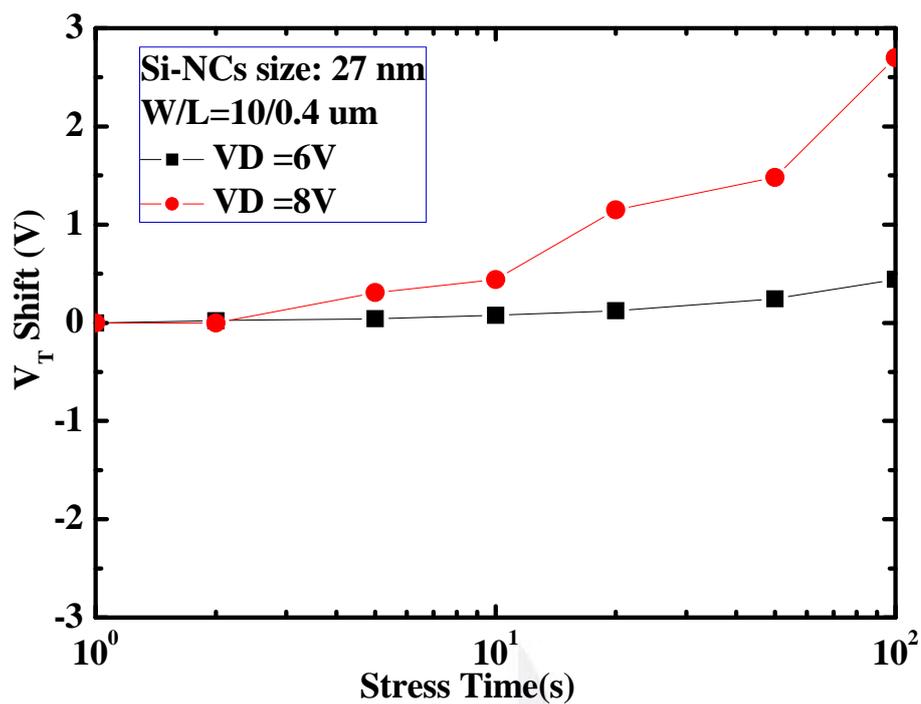
(a)



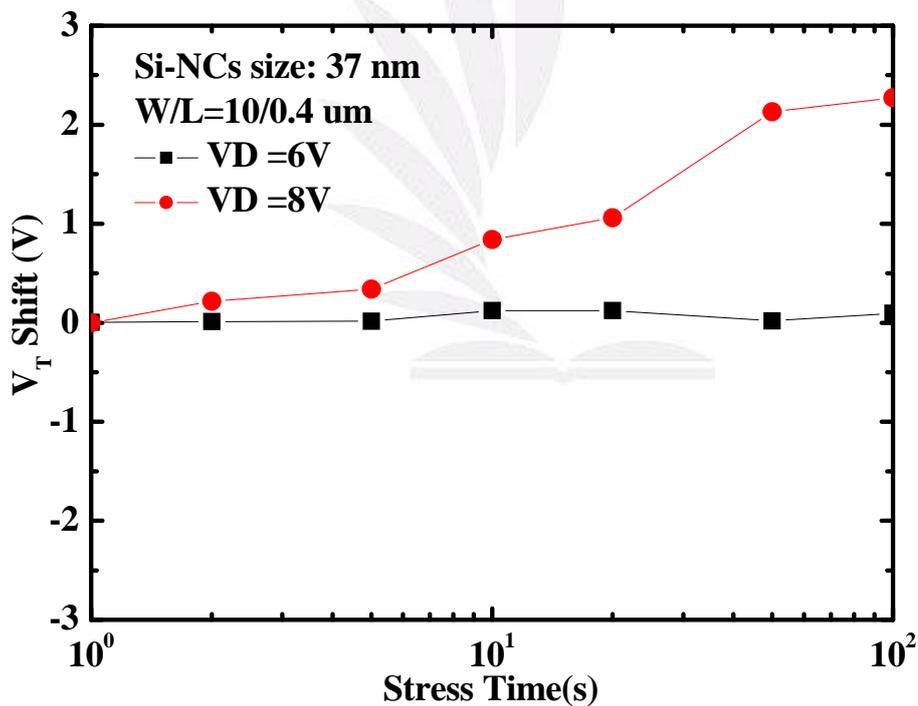
(b)

圖 4.11 矽奈米晶體在  $V_G=6,8$  伏下，開極干擾 1000 秒  $V_T$  偏移低於 0.4

伏的寫入特性圖(a)尺寸 27nm (b)尺寸 37nm



(a)



(b)

圖 4.12 矽奈米晶體在  $V_D=6,8$  伏下，汲極干擾 100 秒的寫入特性圖(a)

尺寸 27nm (b)尺寸 37nm

## 第五章 總結以及未來展望

### 5.1 總結

在這篇專題研究中可發現 *in-situ* Silicon NanoCrystals memory 將變得更吸引人，因為 Silicon NanoCrystals 容易埋入  $\text{Si}_3\text{N}_4$  中且不需要額外的製程步驟，另外與 CMOS 邏輯製程有高度的相容性且元件的結構簡單，近年來利用 CHE 機制來寫入和 BTBHH 機制抹除來進行二位元操作的 Memory 愈來愈具有實用價值。我們利用了 AFM 機台來估計 NanoCrystals 的尺寸，我們秀出 Silicon NanoCrystals 特性具有寬廣的 memory window，因為 NanoCrystals 提供額外的捕陷位置且具有深層能階，因此，這個結果也許可讓我們作 Multi-Level 的操作，而且具有良好的 retention 特性，然而，解決抹除問題是近年來的挑戰。總結，此技術可以克服存在已久的微縮問題，而且可融合於 CMOS 製程當中，使得此技術在未來更具有競爭力。

### 5.2 未來展望

完成此階段研究後，我們希望去尋找特性更好的材料，像是：High Temperature Oxide (HTO)、oxidation nitride 或是 High-K 材料，去改善 ONO 的特性，我們也可利用高功函數材料，來抑制閘極注入的問題，期望解決現今 Flash Memory 所面臨的問題。

## 參考文獻

- [1] 莊達人, "VLSI 製作技術"。
- [2] 陳勝利, 張逸凡, "0.25um分離閘快閃記憶體元件之量測與可靠度研究", 聯合大學電子工程學系, 碩士論文。
- [3] S. M. Sze, "Physic of Semiconductor Devices, 2<sup>nd</sup> Edition."
- [4] E. C. Roberto Bez, Alberto M., And Angelo V., "Introduction to Flash Memory," *Proceedings of the IEEE*, vol. 91, 2003.
- [5] S. Lai, "Tunnel Oxide and ETOXTM Flash Scaling Limitations," pp. 6, 1998.
- [6] B. V. Keshavan and H. C. Lin, "MONOS memory element," presented at Electron Devices Meeting, 1968 International, 1968.
- [7] R. Ohba, N. Sugiyama, K. Uchida, J. Koga, and A. Toriumi, "Nonvolatile Si quantum memory with self-aligned doubly-stacked dots," *Electron Devices, IEEE Transactions on*, vol. 49, pp. 1392-1398, 2002.
- [8] G. Nicotra, R. A. Puglisi, S. Lombardo, C. Spinella, M. Vulpio, G. Ammendola, M. Bileci, and C. Gerardi, "Nucleation kinetics of Si quantum dots on SiO<sub>2</sub>," *Journal of Applied Physics*, vol. 95, pp. 2049-2055, 2004.
- [9] 鄭湘原, 葉智仁, "ONO 薄膜之研究與記憶體應用", 中原大學電子工程學系, 碩士論文。
- [10] 李佩雯, 曾韋傑, "選擇性氧化複晶矽鍺形成鍺量子點及其在金氧半浮點電容之應用", 中央大學電機工程學系, 碩士論文。
- [11] Richard S.Muller and Theodore I. Kamins with Mansun Chan, " *Devices Electronics for Integrated Circuits* " 3<sup>rd</sup> Edition.
- [12] 楊文祿, 彭武欽, "多層與二位元操作方式之隱藏性選擇式閘極結構記憶體", 逢甲大學電子工程學系, 碩士論文。