



## 逢甲大學學生報告 ePaper

報告題名：

藉由不同的結構對全金屬鎳矽化物之研究

作者：蔡育貽 張煜群

系級：電子四乙

學號：D9366628 D9329437

開課老師：李景松

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年： 96 學年度 第 1 學期

## 目 次

目錄.....	01
圖、表目錄.....	03
第一章 緒論.....	06
1.1 研究背景.....	06
1.1.1 自我對準金屬矽化物製程技術發展.....	08
1.1.2 金屬矽化物的選擇與比較.....	08
1.2 量測方法.....	10
1.2.1 掃描式電子顯微鏡(SEM)分析.....	10
1.2.2 金屬四點探針量測儀分析.....	11
1.2.3 電容-電壓(C-V)特性量測.....	12
1.2.4 X光繞射儀(XRD)特性量測.....	12
1.3 專題架構.....	13
第二章 元件製程.....	20
2.1 晶片刻蝕及曝零層.....	20
2.2 形成 LOCOS.....	21
2.3 消除 Kooi effect.....	21
2.4 成長閘極氧化層，定義閘極.....	22
2.5 形成全金屬矽化閘極(Fully Silicided Gate).....	22

2.6 做接觸窗(contact hole)，接出金屬導線.....	23
第三章 不同的全金屬矽化鎳結構對閘極特性的影響.....	28
3.1 引言以及動機.....	28
3.2 實驗過程與條件.....	29
3.3 結果與討論.....	29
3.3.1 物性的量測分析.....	29
3.3.2 電性的量測分析.....	32
3.3.3 綜合比較與討論.....	34
第四章 總結以及未來方向.....	49
參考文獻.....	52

**關鍵詞:** 全金屬矽化物、金屬鎳矽化物、橋接效應、窄線寬效應

## 圖、表目錄

圖 1.1 莫耳定律(Moore's low)示意圖.....	15
圖 1.2 橋接效應形成流程圖.....	16
圖 1.3 $TiSi_2$ 的相位與線寬之關係圖.....	17
圖 1.4 窄線寬效應示意圖.....	18
表 1.1 Summary of various salicide properties.....	19
圖 2.1 物性分析片實驗流程圖(a).....	24
圖 2.1 物性分析片實驗流程圖(b).....	24
圖 2.2 PMOS 電容實驗流程圖(a).....	25
圖 2.2 PMOS 電容實驗流程圖(b).....	25
圖 2.2 PMOS 電容實驗流程圖(c).....	26
圖 2.2 PMOS 電容實驗流程圖(d).....	26
圖 2.2 PMOS 電容實驗流程圖(e).....	27
圖 3.1 (a)物性分析片結構圖 (b)電性分析片結構圖.....	36
圖3.2 為(1) Ni 600Å /poly-Si 1000Å/ ox 300Å (2) Ni 600Å /α-Si 1000Å/ ox 300Å (3) Ni 600Å/α-Si 500Å /poly-si 500Å/ox 300Å在不同回火溫度 下的片電阻值曲線圖.....	37
圖3.3為Ni 600Å/poly-Si 1000Å/ox 300Å經過550°C;30s回火後的SEM 分析圖.....	38
圖3.4為Ni 600Å/α-Si 1000Å/ox 300Å經過550°C;30s回火後的SEM分析	

圖 .....	39
圖3.5 為Ni 600Å/ $\alpha$ -Si 500Å/ poly-Si 500Å /ox 300Å經過550°C;30s回 火後的SEM分析圖.....	40
圖3.6為Ni 600Å/poly-Si 1000Å/ox 300Å經過550°C;30s回火後的XRD 分析圖.....	41
圖3.7為Ni 600Å/ $\alpha$ -Si 1000Å/ox 300Å經過550°C;30s回火後的XRD分析 圖.....	42
圖3.8 為Ni 600Å/ $\alpha$ -Si 500Å/ poly-Si 500Å /ox 300Å經過550 °C;30s回火後的SEM分析圖.....	43
圖3.9 為Ni 600Å/poly-Si(BF <sub>2</sub> ) 1000Å/ox 50Å在經過550°C;30sec回火 溫度後的電容-電壓曲線圖.....	44
圖3.10為Ni 600Å/ $\alpha$ -Si(undoped) 1000Å/ox 50Å在經過550°C;30sec回火 溫度後的電容-電壓曲線圖.....	45
圖3.11 為Ni 600Å/ $\alpha$ -Si(BF <sub>2</sub> ) 1000Å/ox 50Å在經過550°C;30sec回火溫 度後的電容-電壓曲線圖.....	46
圖3.12 為Ni 600 Å/ $\alpha$ -Si 500Å(undoped) / poly-Si 500Å / ox 50Å在經過 550°C;30sec回火溫度後的電容-電壓曲線圖.....	47
圖3.13 為Ni 600 Å/ $\alpha$ -Si 500Å(BF <sub>2</sub> ) / poly-Si 500Å / ox 50Å在經過550°C;30sec 回火溫度後的電容-電壓曲線圖.....	48

# 第一章

## 摘要

### 1.1 研究背景

近年來在資訊革命快速的成長之下，MOSFET 元件尺寸快速的精進微縮，有效的提升了微處理器的性能。而莫耳定律(Moore's law)促成資訊革命的基本法則，在 1965 年 Gordon Moore 預測晶片上之電晶體數目，將隨著時間成指數型增加。

在 0.1 微米 ( $\mu\text{m}$ ) 以後的元件製作，由於金屬閘極結構的低電阻與無載子空乏等優點，一般預測金屬閘極結構將會取代多晶矽。但必須選擇在製程方面容易被微影蝕刻加工，且抗腐蝕性強的閘極金屬材料。其同時也須具備良好的熱穩定性 (thermal stability)，對主要的連線金屬成分，要有良好的阻擋特性。並且閘極材料本身不會滲入氧化層造成損傷，或和氧化層反應。再者，要和閘極介電層材質界面特性良好穩定，附著性高不易剝落，在製作金屬閘極時也不會對介電質材料造成傷害。

用作降低閘極寄生電阻的金屬矽化物，擁有高熔點、高穩定性及

低電阻率等優點。且在製程步驟上的「自動對準」特性，使其製程容易。因此若把傳統多晶矽閘極 (Poly-Si) 經由金屬矽化 (silicidation) 的步驟時，將多晶矽閘極 (Poly-Si) 全部形成金屬矽化物 (silicide)，使閘極成為一個金屬閘極 (metal gate)，稱作全金屬矽化閘極 (Fully silicide)。

全金屬矽化閘極 (Fully silicide) 類似純金屬閘極，有其高傳導率之優點，以及降低閘極介電層的等效厚度 ( $T_{\text{oxinv}}$ )。其中，閘極介電層的等效厚度 ( $T_{\text{oxinv}}$ ) 的定義是量測偏壓在強反轉區的電容值，再經計算後而得之。能降低閘極介電層的等效厚度 ( $T_{\text{oxinv}}$ ) 的原因在於全金屬矽化閘極 (Fully silicide) 類似純金屬閘極，消除了傳統複晶矽 (Poly-Si) 閘極空乏的影響。另一方面，由於降低了閘極介電層的等效厚度 ( $T_{\text{oxinv}}$ )，因此不用降低閘極介電層的物理厚度，使得穿透漏電流不會因為等效厚度的下降而大幅上升。此外，在使用複晶矽閘極 (Poly-Si) 時，為降低寄生電阻，部分金屬矽化閘極已經成為一個標準製程。全金屬矽化閘極 (Fully silicide) 只需把傳統金屬矽化 (silicidation) 的步驟做些許變化，便可完成。因此全金屬矽化閘極 (Fully silicide) 取代複晶矽閘極 (Poly-Si)，並不需增加額外的製程步驟，對於製程步驟的簡單化，有明顯地好處。此舉遠勝過使用純金屬閘極以取代複晶矽閘極之製程。

### 1.1.1 自我對準金屬矽化物製程技術發展

金屬矽化物(Silicide)的技術之所以得到大家的注意，主要是因為金屬矽化物能夠降低電晶體在閘極、源極和汲極的接觸電阻，而元件的體積越小，其所受到寄生電阻的影響也就會越大，所以在次微米的製程之中，金屬矽化物技術所使用的範圍也就越來越廣泛了。

在閘極工程方面最大的困擾在於寄生電阻。由於電阻和傳導線的截面積成反比，因此當閘極寬度縮小後，寄生電阻會顯著上揚（假設厚度不變）。對於深次微米元件的操作影響很大。而金屬矽化物因其具有高熔點、高穩定性及低電阻率等優點，於積體電路製程上的應用，已經越來越普遍。目前被廣泛應用於積體電路的製程中解決寄生電阻問題的方法，是用一種稱為「自動對準」的金屬矽化物（Self-Aligned silicide，簡稱salicide）。採用「自動對準」的金屬矽化物除了可降低接面接觸電阻、閘極電阻，進而提高整個元件的驅動電流，反應時間或電路的操作速度外，在金屬矽化物製程上，有一個特點，即自動對準功能。

### 1.1.2 金屬矽化物的選擇與比較

在以前的金屬矽化物材料上，工業界較常使用的矽化金屬是矽化



鈦，它的優點為：(1)其具有很低的電阻係數（ $13-20 \mu\Omega\text{-cm}$ ）；(2) 在高溫製程下，不會凝聚成一塊；(3) 自行對準製程已被標準化。然而隨著元件尺寸的日益縮小，矽化鈦之製程面臨極大的挑戰。因為矽化鈦在矽化過程中，矽為擴散源（如附圖 1.2），所以會產生橋接短路效應（Bridge Short Effect）。而且當複晶矽線寬小於  $0.5 \mu\text{m}$  或高摻雜砷濃度時（如附圖 1.3），鈦矽化物無法由高阻值的 C49 相位（晶粒尺寸小至  $0.1-0.2 \mu\text{m}$ ）轉換成低阻值的 C54 相位（ $1-10\mu\text{m}$  巨大晶粒），此乃窄線寬效應（如附圖 1.4）。而矽化鈷正好可以彌補矽化鈦的種種缺點。在自行對準方面，由於在形成矽化鈷時鈷是擴散源，所以並沒有像矽化鈦在矽化反應時的橋接短路效應，種種的優點都使得矽化鈦漸漸被矽化鈷所取代。但以鈷當做金屬矽化物的材料也並非全無缺點，例如鈷金屬與矽原子在進行矽化反應時，會消耗大量的矽（1:3.2），所以對於超淺接面元件所使用的鈷金屬厚度就必須減少；而且在進行矽化反應時，其對自生氧化層（Native oxide）的存在極為敏感。並且使用矽化鈷作為金屬接觸的最大問題，在於矽化鈷形成的時候，矽化鈷與矽基板（Si Substrate）的界面並不是平整的，且會有熱凹槽（Thermal Grooving）的現象產生，造成矽化鈷薄膜的結塊（Agglomeration），降低矽化鈷超淺接面的熱穩定性。

而在元件尺寸日漸縮小的情況下，目前最受矚目的便是矽化鎳

(NiSi)之研發與應用。它基本上和  $\text{CoSi}_2$  相似，同樣沒有  $\text{TiSi}_2$  種種的缺點。但 NiSi 還有很多特性優於  $\text{CoSi}_2$  且適合應用於奈米尺寸的 CMOS 製程上。首先(1)NiSi 矽化物可以在  $400^\circ\text{C}$  到  $600^\circ\text{C}$  的低溫下形成，而且擁有相當寬的製程溫度窗口。(2)NiSi 在微小線寬下可被輕易形成，不會有相位轉換的問題。(3)NiSi 矽化物形成過程所消耗的矽量較  $\text{TiSi}_2$  和  $\text{CoSi}_2$  小(如表一)。(4)NiSi 的薄膜應力也較  $\text{TiSi}_2$  和  $\text{CoSi}_2$  低很多。(5)NiSi 的矽化過程傾向於金屬移動到矽基座或複晶矽薄膜與矽反應(如表一)。因此它幾乎沒有 Creep-up 現象。(6)與  $\text{TiSi}_2$  比較，NiSi 在摻雜方面也有較佳的穩定性。

## 1.2 量測方法

為了分析在 MOSFET 元件特性，可採用下列幾種量測方式，來萃取出一些電性特性參數和以及物理分析，進而探討閘極介電層，以下分別將一些電性參數和表面型態的量測方式作依說明。

### 1.2.1 掃描式電子顯微鏡 (SEM) 分析

原理:利用電子槍發散的電子通過陽極之後，隨即為聚焦鏡所凝聚，在通過物鏡後於樣品的位置形成一極為微小的聚焦電子束點。物鏡上方的掃描線圈藉由外加控制電壓所產生的磁場，去改變通過的電子束

的偏折方向。連結此掃瞄控制電壓訊號至映像管，則螢幕上的掃瞄訊號會與樣品上聚焦電子束同步。電子打到樣品時會產生散射電子，二次電子或 X 光螢光等訊號。這些訊號分別由各種不同的偵測器偵測，若以偵測器所得訊號大小為每一掃瞄點的亮度值，則可於螢幕上真時 (real time) 的看到樣品影像。

## 1.2.2 金屬四點探針量測儀分析

此機台的量測範圍在  $0.5\text{m} \sim 400\text{M}\Omega/\text{sq}$  可分為手動量測與自動量測，先測量出金屬薄膜的片電阻值、再利用關係式  $R = \rho \frac{L}{A}$  求出其電阻率 (resistivity)。片電阻的量測基本原理，利用固定電流源產生的微小電流通過外面的兩根探針，測量裡面兩根探針的電壓。在厚度  $W$  且遠小於  $a$  或  $d$  的薄晶片，其片電阻值 (Sheet resistance) 等於：

$$R_s = \frac{V}{I} \cdot CF \quad \Omega/\text{square}$$

其中  $CF$  為修正因子如所示，故電阻係數為  $\rho = R \times W$  ( $\Omega\text{-cm}$ )。

除此之外，此機台還有 wafer mapping 的功能，用以檢視金屬薄膜的均勻性。

## 1.2.3 電容-電壓 (C-V) 特性量測

電容的量測是以 HP 4284 分析儀，在高頻 (1MHz) 的電壓-電容分

析中所獲得。一般在電容-電壓量測電路中，通常使用並聯電容-電阻模式(如圖2.5(a))來進行MOS電容的量測。不過電容元件在高頻率量測時常會出現相當大的變化，這個現象並不是由於材料的本質所引起。且本專題所有的量測曲線都是由累增區到反轉區，量測尺寸為 $100\mu\text{m}\times 100\mu\text{m}$ ，由公式

$$C_{OX} = \epsilon_{OX} \times \frac{A}{T_{OX}} \quad \text{【1】}$$

其中 $C_{OX}$ 為電容值【單位：F(法拉)】， $\epsilon_{ox}$ 是絕緣體介電係數【二氧化矽為 $3.9\times 8.85\times 10^{-14}$  F/cm】，A是指量測的電容面積【單位： $\text{cm}^2$ 】。利用這個公式所求得的閘極介電層厚度( $T_{OX}$ )為等效氧化層厚度(Equivalent Oxide Thickness, EOT)。

## 1.2.4 X光繞射儀 (XRD) 分析

系統主要分5個部份：(1) X光管、(2) 第一光學模組、(3) Sample Cradle、(4) 第二光學模組、(5) 偵測器

晶體是由原子或原子團在空間中以規則排列而成的固體，X-ray進入晶體時，會被原子散射，當存在某種相位關係(相位差)兩個或兩個以上散射波相互疊加後，就會產生繞射現象。X光繞射儀就是利用偵測器收集繞射訊號強度，得到待測樣品的繞射圖譜(Diffraction Pattern)，此繞射圖譜一般來說是以繞射強度對繞射角作圖，將此繞

藉由不同的結構對全金屬鎳矽化物之研究

射圖譜經過結晶面標定過程後，便可得到待測樣品的結晶結構。此實驗過程，稱為樣品晶相鑑定(Phase Identification)。常見方式有兩種(1) $\theta$ - $2\theta$  (Gonio scan)，此法的檢測為材料晶相鑑定，繞射訊號來自平行基板的晶面。(2)  $2\theta$  scan (GIXRD)，此法的檢測為材料晶相鑑定，採低掠角入射(1度入射)，繞射訊號不是來自平行基板的晶面。可以鑑定表層材料的繞射訊號，分析的結果圖如圖2.2所示。本專題藉由X光繞射儀的分析來觀察矽化鎳的相位變化情形。

### 1.3 專題架構

本研究是以NiSi作為閘電極的材料，氧化層部分為傳統二氧化矽介電層，製作一簡單的MOS電容結構，並對不同的實驗條件作比較和探討，本專題包含五個章節：

第一章：簡介本專題的研究背景與動機，以及本專題的架構。

本章節首先針對金屬矽化物製程技術的發展作一簡單的介紹，並介紹目前金屬矽化物特性改善之相關研究，以便瞭解先進們的研究趨勢，而後再針對其他文獻未完善部分提出研究動機。最後則是本專題的架構部分。以及將針對本專題所引用的量測方法與原理作一描述，包含本章節中主要介紹在實驗中所以用到的機台、量測方法與原理，了解了量測的方法及原理之後，對實驗的內容才有一定的基本見解。

藉由不同的結構對全金屬鎳矽化物之研究

第二章：介紹本研究的相關實驗步驟流程。本章節中主要是介紹本研究的相關實驗步驟流程，介紹其物性分析、電性分析的詳細製程方法及流程。

第三章：不同全金屬矽化鎳材料及不同結構之物性與電性之比較。本章節主要為探討、分析其不同全金屬矽化鎳閘極材料、不同閘極結構其物性、電性的結果。

第四章：對本研究做個總結以及探討未來方向。

參考文獻

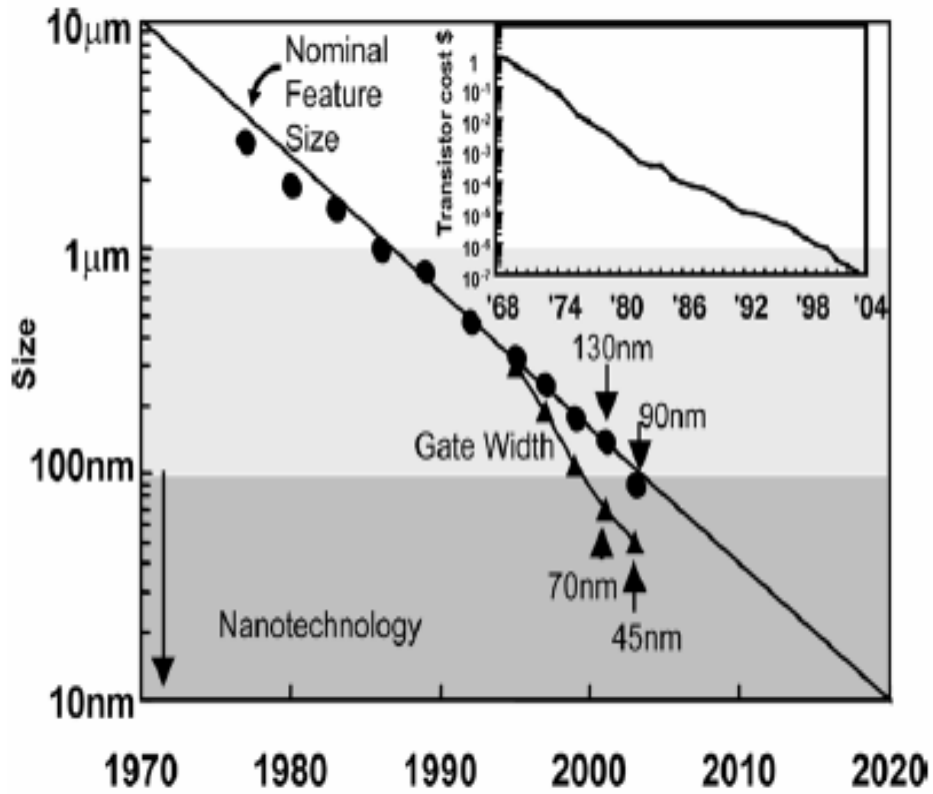


圖 1.1 莫耳定律(Moore's law)示意圖  
(參考：Electronics vol.38 pp.114-117 1965)

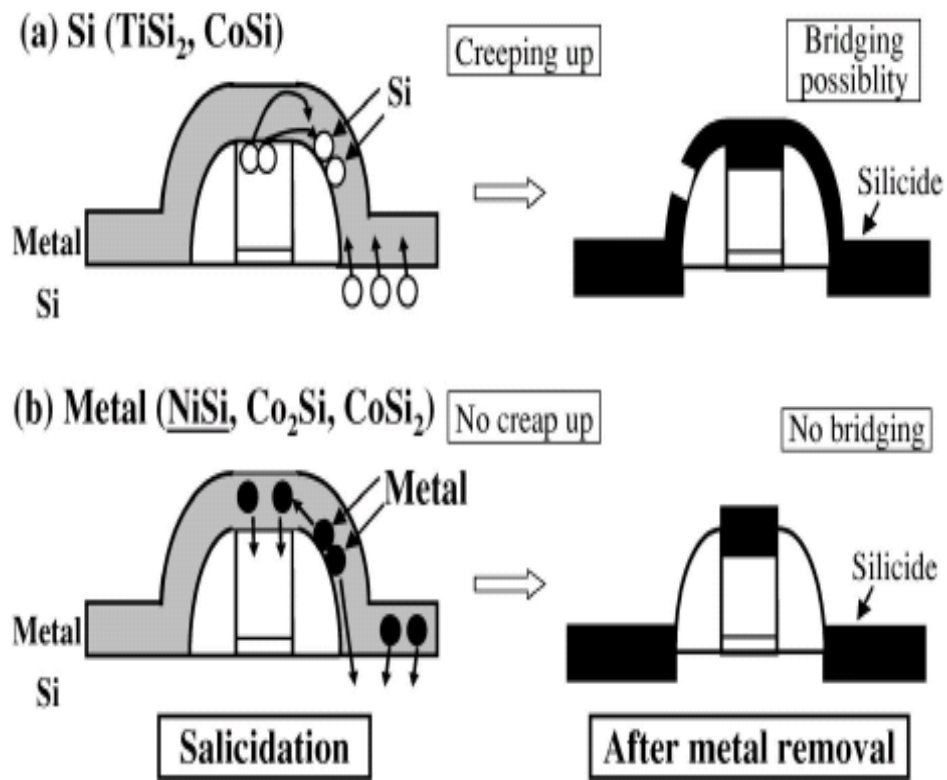


圖 1.2 橋接效應形成流程圖



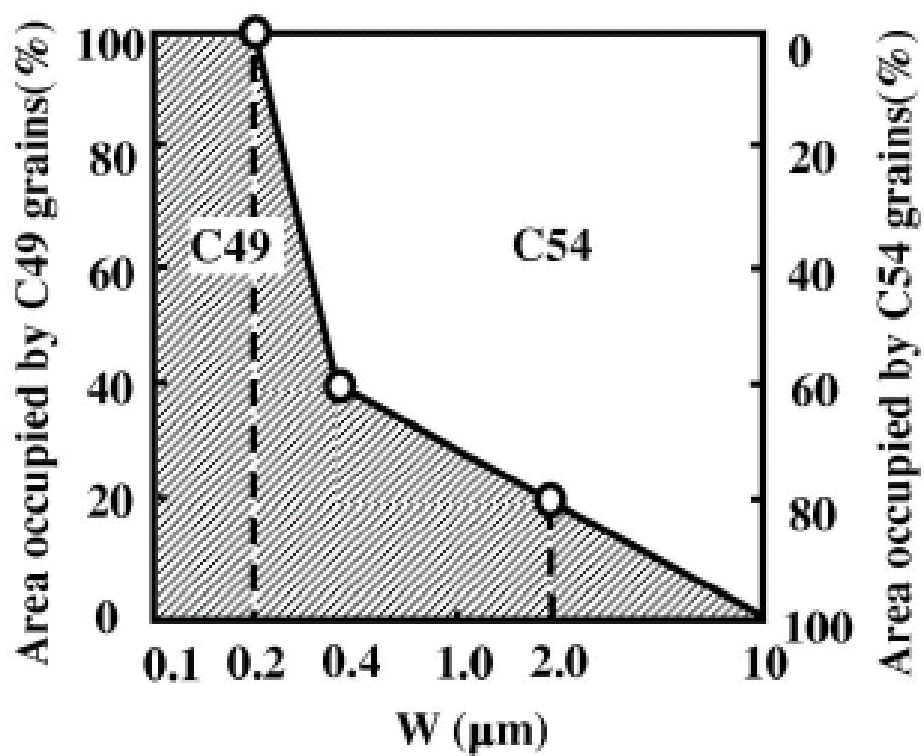


圖 1.3  $\text{TiSi}_2$  的相位與線寬之關係圖

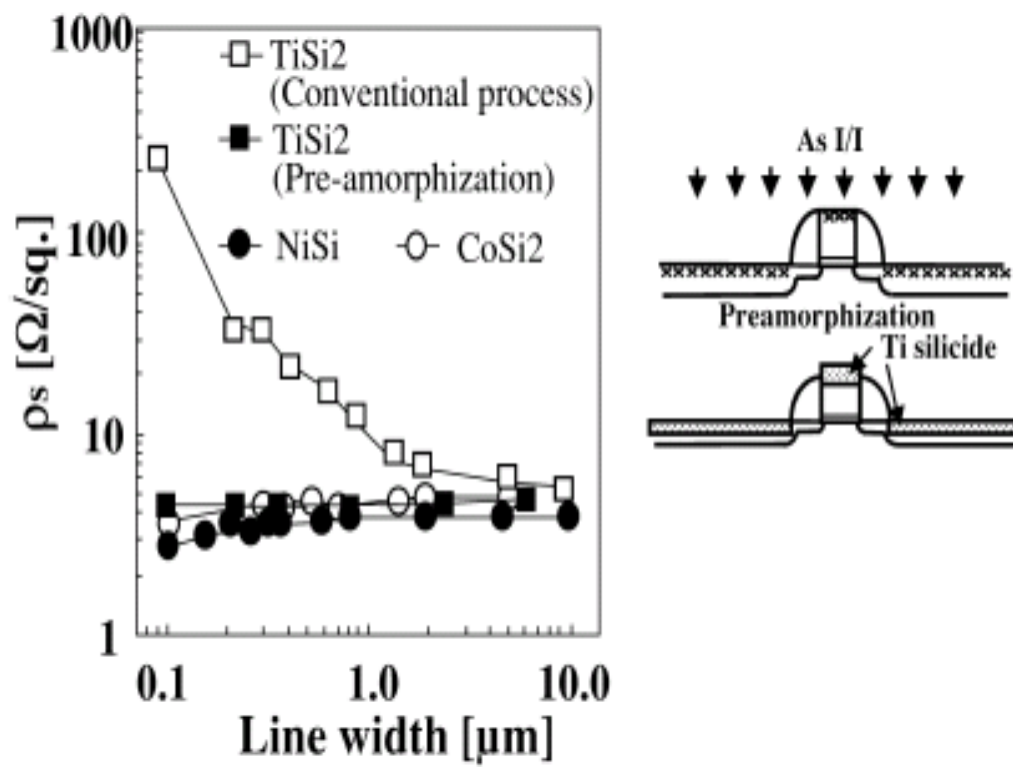


圖 1.4 窄線寬效應示意圖

Silicide	TiSi <sub>2</sub>	CoSi <sub>2</sub>	NiSi
Resistivity ( $\mu \Omega$ -cm)	13~15	18	20
Moving species	Si	Co	Ni
Silicidation temperature ( $^{\circ}\text{C}$ )	750~900	550~900	350~750
Silicide formed per nm metal (nm)	2.4	3.59	1.8
Si consumption (Si/metal)	0.904	1.03	0.82
Film stress (dyne/cm)	$1.5 \times 10^{10}$	$1.2 \times 10^{10}$	$6 \times 10^9$

表一 Summary of various silicide properties

## 第二章

### 元件製程

本實驗將製作一個閘極MOS電容結構來作為探討的主軸，其製程進行將在國家奈米實驗室( National Nano Device Laboratories，簡稱NDL)中進行。圖2.1及2.2分別為物性與電性的基本製程流程，以下為詳述PMOS電容製程步驟。

#### 2.1 晶片刻號及曝零層

本實驗是採用 P-型六吋矽晶片，晶格方向  $\langle 100 \rangle$ ，阻值介於 15~25  $\Omega\text{-cm}$  之間。首先將所有的晶片以雷射刻號機刻號，方便以後辨識晶片，再用氨水去除刻號時所產生的微粒後，接著開始曝零層的動作(俗稱:曝眼睛)，用途是用在以後 G-line 光學步進機(G-line Stepper) 曝光時晶片位置對準矯正用。

## 2.2 形成LOCOS

按照標準清洗步驟(Standard Clean)去除晶片表面的雜質，然後以高溫爐管成長墊氧化層(Pad-Oxide)- 350Å，以及用低壓爐管沈積氮化矽(Si<sub>3</sub>N<sub>4</sub>)- 1500Å。這兩層的用處分別是：墊氧化層用來抵抗氮化矽(Si<sub>3</sub>N<sub>4</sub>)在矽表面所產生的應力，氮化矽則是用來當罩幕(Mask)用，藉著其不易被氧滲透的優點來進行場氧化層(Field Oxide)的製作。接著進入微影(Lithography)及乾蝕刻程序，使用第一道光罩，將主動區定義完成，微影時所採用的設備是G-line光學步進機(G-line Stepper)曝光其光波波長為 436nm 的紫外線。此時再以離子佈植來做Channel Stop，離子佈植條件(離子砷，As，能量為120 KeV，劑量為 $3 \times 10^{12}$  ions/cm<sup>2</sup>)。接著以高溫爐管成長一層約5500 Å 的場氧化層，最後再以磷酸去除氮化矽，那麼具有LOCOS 結構的金氧半元件便有了初始的外觀。

## 2.3 消除Kooi effect

先用高溫爐管成長氧化層 350 Å 的 SiO<sub>2</sub>，再以濕蝕刻去除，這成長蝕刻的步驟主要在消除 Kooi effect。緊接著再成長一次相同厚度的 SiO<sub>2</sub>(Sacrificial Oxide)，其功能是覆蓋於矽的表面防止離子佈植過程將表面的矽晶格毀壞過多。

## 2.4 成長閘極氧化層，定義閘極

完成標準 LOCOS 製程後，接著開始長閘極氧化層的動作，長氧化層前清洗除了作標準 RCA 清洗外，尚須增加一個清洗步驟，增加經稀釋的氫氟酸(配置比例 HF:H<sub>2</sub>O=1:50)來蝕刻晶片表面的自生氧化層(Native Oxide)，以確實控制閘極氧化層的厚度，避免因自生氧化層所造成的電性衰減。長閘極氧化層的動作是在垂直爐管中進行，先成長一層厚度為 50Å 的二氧化矽(gate oxide)，之後，隨即開始疊上不同堆疊形式的閘極，分別為複晶矽 (poly-Silicon) 1000Å、非晶矽 ( $\alpha$ -Si) 1000Å、非晶矽 500Å/複晶矽 500 Å ( $\alpha$ -si 500 Å /poly-silicon 500 Å)，之後對成長完成閘極做離子佈植(BF<sub>2</sub>:10keV;5E15)，另留有沒有摻雜的樣本當控片以便比較。接著用第二道光罩定義閘極，再利用 TCP 對閘極做蝕刻，接著將光阻去除，完成閘極。接著覆蓋一層 TEOS(Tetra-Ethy-Ortho-Silicate)，再以乾蝕刻機做非等向性蝕刻形成側壁(Spacer)，然後將摻雜(Dopant)活化(Activation)，此製程的條件為快速熱製程 1000°C 10 秒。

## 2.5 形成全金屬矽化閘極 ( Fully Silicided Gate )

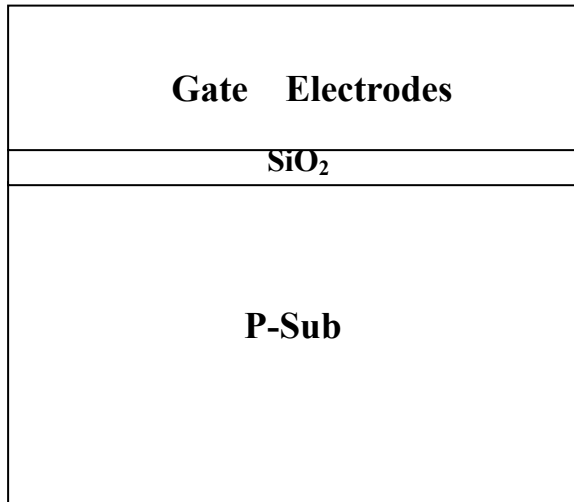
完成傳統 MOS 製程後緊接著沉積金屬鎳 Ni 600 Å 以及氮化鈦 TiN 50 Å，金屬鎳 Ni 為金屬矽化過程的金屬材料，而且厚度的控制

要能使 1000 Å 的多晶矽 Poly-Si 完全形成金屬矽化閘極，沉積氮化鈦 TiN 的目的在防止金屬鎳 Ni 與空氣接觸氧化。經過回火後，全金屬矽化閘極完成，最後浸泡硫酸將未反應完的金屬蝕刻掉。

## 2.6 做接觸窗(contact hole)，接出金屬導線

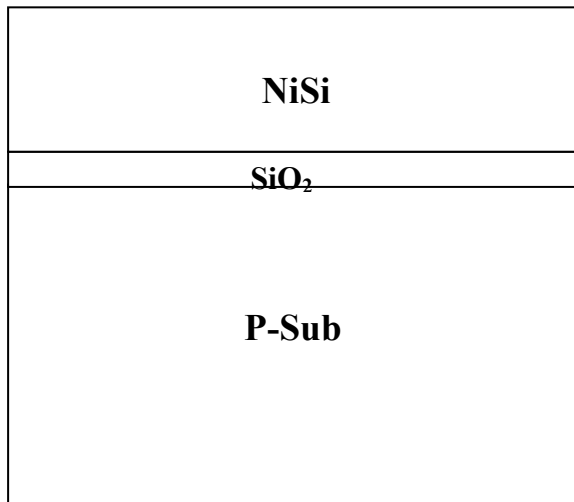
接著在晶片的表面沈積一層厚度5500Å 的TEOS，用來隔絕金屬與金氧半元件的隔絕材料，沈積在晶片表面以便於進行後續的金屬層沈積。完成後再次覆蓋光阻，用來製作接觸孔（Contact Hole）的圖案，再以乾蝕刻機與BOE溶液進行蝕刻。然後將光阻去除，進行四層金屬(Ti/TiN/Al-Si-Cu/TiN)的物理氣相沉積（PVD）。最後一道微影製程是定義金屬墊（Metal Pad）的圖樣，使用ILD-4100 來完成蝕刻金屬以及光阻的去除，到此元件的外觀已經完全形成。最後一個步驟就是將完成的元件，送入高溫爐管；以攝氏400 度的溫度做30 分鐘的燒結（Sintering），使金屬層與矽基板的接觸更為密合，減少串聯電阻或漏電流的發生機率，之後再背鍍鋁，製程即告完成。

## 物性分析片實驗流程圖



- 1、P-型六吋矽晶片
- 2、Standard Clean
- 3、成長 SiO<sub>2</sub> 300Å
- 4、沈積 Gate electrodes
  - (a) poly-Si 1000Å
  - (b) α-Si 1000Å
  - (c) α-Si 500Å/poly-Si 500Å

圖 2.1 (a)



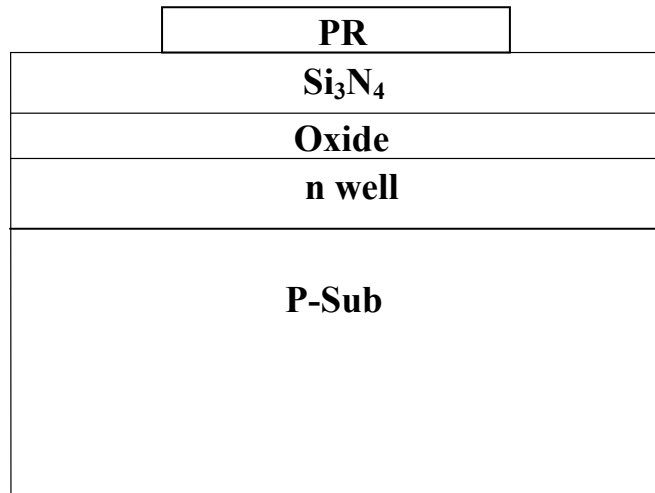
### 金屬矽化過程 ( Full Silicidation )

- 1、沈積 Ni 600Å
- 2、Metal RTA (500°C、550°C、600°C、650°C;30sec)
- 3、H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub>=3 : 1  
去除未反應的金屬

圖 2.1 (b)

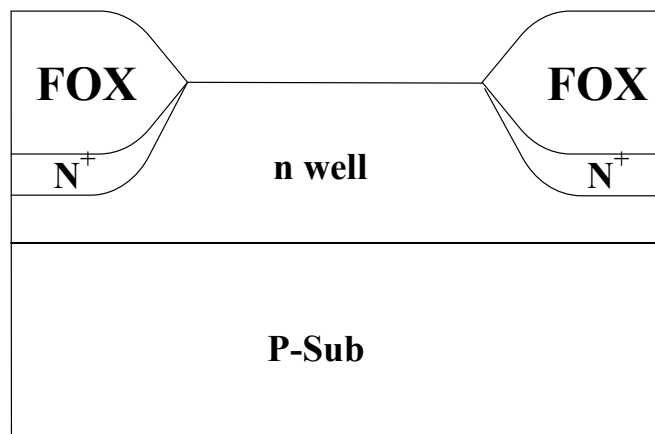


## PMOS 電容實驗流程圖



- 1、P-型六吋矽晶片，晶格方向  $\langle 100 \rangle$ ，阻值  $15 \sim 25 \Omega\text{-cm}$
- 2、Standard Clean
- 3、成 Pad-Oxide(SiO<sub>2</sub>)-350Å
- 4、沈積 Si<sub>3</sub>N<sub>4</sub>-1500Å
- 5、Pattern，定義主動區

圖 2.2 (a)



- 1、Etch 兩旁的 Si<sub>3</sub>N<sub>4</sub>，Channel Stop(離子 As，能量 120keV，劑量為  $4 \times 10^{13} \text{ ions/cm}^2$ )
- 2、Field Oxide-5500Å
- 3、以磷酸去除主動區 Si<sub>3</sub>N<sub>4</sub>
- 4、完成 LOCOS 結構

圖 2.2 (b)

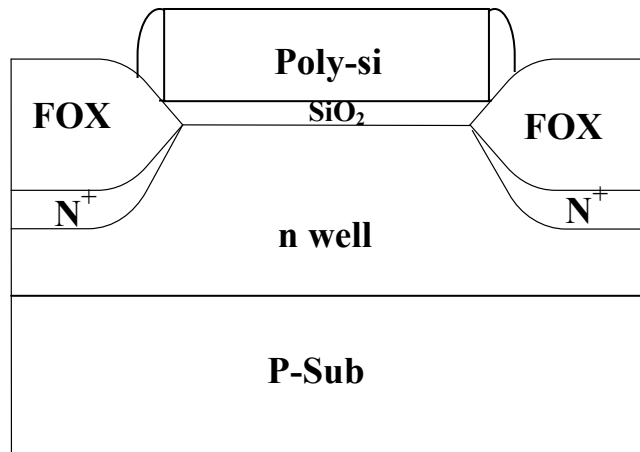


圖 2.2 (c)

- 1、RCA 清洗後，HF : H<sub>2</sub>O=1 : 50  
蝕刻自生氧化層
- 2、成長 50Å 的 SiO<sub>2</sub> oxide
- 3、開電極沉積
  - (a) Poly-Si : 1000Å
  - (b) α-Si : 1000Å
  - (c) α-Si : 500Å / Poly-Si : 500Å
- 4、離子佈植(無、有:BF<sub>2</sub>;10keV;5E15)
- 4、TEOS Spacer
- 5、1000°C 30s Activation

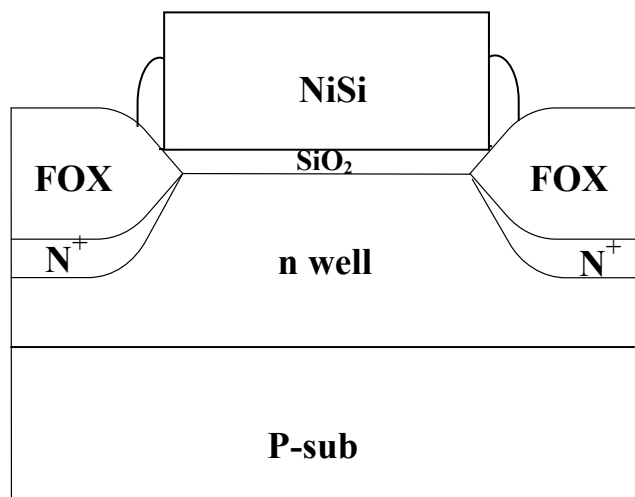
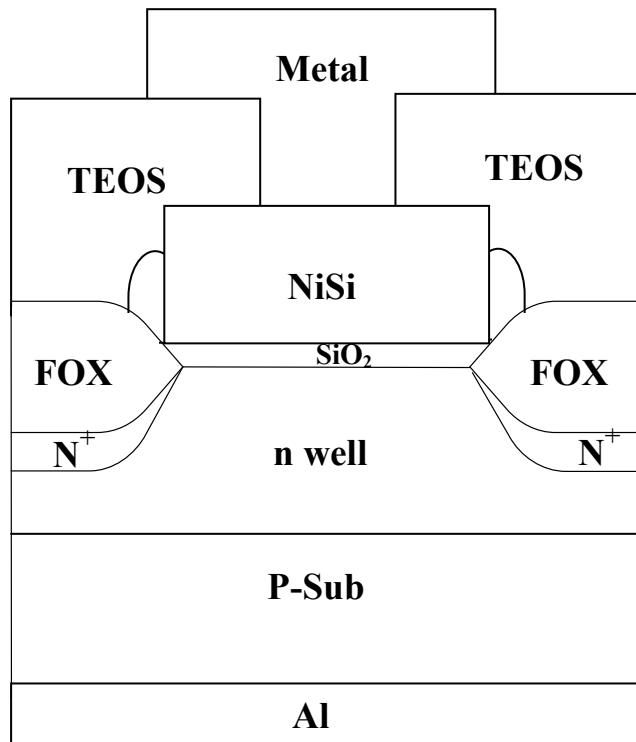


圖 2.2 (d)

**金屬矽化過程 ( Full Silicidation )**

- 1、Ni deposition ( 600Å )
- 2、Metal RTA (500°C;30sec)
- 3、Unreacted Ni removed



**金屬連線 ( Connection )**

- 1、TEOS 5500 Å deposition
- 2、Contact hole etching
- 3、TiN /Al /TiN/ Ti sputtering
- 4、400°C, 30 min sintering
- 5、背鍍 Al

圖 2.2 (e)

## 第三章

### 藉由不同的結構對全金屬鎳矽化物之研究

#### 3.1 引言以及動機

MOS 電晶體元件裡是以閘極 (Gate) 作為控制電極，即以閘極的電壓訊號控制電晶體的輸出特性。傳統上是以含高濃度 n 型雜質(如磷或砷)的多晶矽(poly-Si)作為閘極的材質。但在進入深次微米的時代，相關的閘極技術有很大的變革，也面臨許多的挑戰及問題待突破與解決。

為順應深次微米 CMOS 製程的發展，好的閘極技術應符合以下幾項要求：

(1)能搭配 surface channel 元件的設計，以減少 short channel effects 的影響；費米能階(Fermi-level)在 Si channel 的 mid gap 附近，以便調配元件的  $V_{th}$ 。

(2)低電阻率(resistivity,  $\rho$ )，以降低寄生電阻；減少閘極載子的空乏現象(carrier depletion effect)。

(3)避免高溫製程下，因摻雜元素或金屬成分擴散而造成的氧化層破壞；且能和氧化層介面特性穩定，並具有良好的附著力。

(4)在結構上最好能搭配各方面的要求，如通道雜質分佈(channel profile design)，減少寄生電容，降低汲極(drain)/源極(source)區的接觸電阻(contact resistance)等。

本章節的研究重點在於利用不同的閘極結構與材料和金屬鎳反應成金屬矽化物。並探討在不同的閘極材料與結構下，所反應成的全金屬矽化鎳閘極，其對元件的電性和物性的影響。

## 3.2 實驗過程與條件

在成長閘電極時，以不同的堆疊結構進行，本章的閘電極結構主要包含三種：多晶矽 (poly-Si)、非晶矽( $\alpha$ -Si)及非晶矽/多晶矽( $\alpha$ -Si / poly-Si)堆疊的這三種不同的結構，以下將針對此三種不同結構做分析探討。

## 3.3 結果與討論

### 3.3.1 物性的量測分析

圖3.2為Ni 600Å /poly-Si 1000Å/ ox 300Å和Ni 600Å / $\alpha$ -Si 1000Å/ ox 300Å以及Ni 600Å / $\alpha$ -Si 500Å/poly-Si 500Å/ ox 300Å在不同的溫度下(500°C、550°C、600°C、650°C經過30秒回火後的片電阻變化圖，

由圖顯示我們可發現在這三種結構中，當回火的溫度達到 $550^{\circ}\text{C}$ 時，可以有最低的片電阻值。而比較在 $500^{\circ}\text{C}$ 、 $550^{\circ}\text{C}$ 、 $600^{\circ}\text{C}$ 、 $650^{\circ}\text{C}$ 經過30秒的回火之後，Ni 600Å /poly-Si 1000Å/ ox 300Å的結構相較於另兩個結構Ni 600Å / $\alpha$ -Si 1000Å ox 300Å/以及Ni 600Å / $\alpha$ -Si 500Å / poly-Si 500Å/ ox 300Å來說，具有最低的片電阻值，且在升溫的過程中，片電阻值上升的趨勢較為緩慢；而Ni 600Å / $\alpha$ -Si 1000Å/ ox 300Å的片電阻值最高，Ni 600Å / $\alpha$ -Si 500Å / poly-si 500Å/ ox 300Å堆疊結構的片電阻值剛好在另兩個結構的中間，因此我們採用 $550^{\circ}\text{C}$  ;30秒為之後電性片的最佳回火條件，這有別於一般工業界在形成全金屬鎳矽化物所採用的 $500^{\circ}\text{C}$  ;30秒條件，可做為日後大家在做有關全金屬鎳矽化物回火時的最佳化條件參考。

接下來利用 SEM 分析圖來探討圖 3.3: Ni 600Å /poly-Si 1000Å/ ox 300Å、圖 3.4: Ni 600Å / $\alpha$ -Si 1000Å/ ox 300Å、圖 3.5: Ni 600 Å / $\alpha$ -Si 500Å /poly-Si 500Å/ ox 300Å 三種結構在經過回火處理之後，反應成 NiSi 的情形。由圖 3.3、3.4、3.5 中我們可以發現並確認幾點現象：(1) 由三張圖中確定三種結構經過  $550^{\circ}\text{C}$  ;30s 回火後，確實都可形成所謂的全金屬矽化鎳(Fully NiSi)，在 oxide 上層皆全為單層之 NiSi，並沒有殘餘之 Si 未與 Ni 反應。(2)由 SEM 圖可確認三種結構成長之 oxide 厚度皆為 300Å，但 poly-Si 1000Å 與 Ni 600Å 經過  $550^{\circ}\text{C}$  ;30s 回火後，

形成之 NiSi 厚度為 1150Å;  $\alpha$ -Si 1000Å 與 Ni 600Å 經過 550°C; 30s 回火後，形成之 NiSi 厚度為 1350Å;  $\alpha$ -Si 500Å / poly-Si 500Å 與 Ni 600 Å 經過 550°C; 30s 回火後，形成之 NiSi 厚度為 1350Å; 由此可發現一點，在相同厚度的 Ni 與相同厚度的 poly-Si、 $\alpha$ -Si 反應之後，形成之 Fully NiSi 的厚度是不同的。相同厚度的 Ni 與相同厚度的 poly-Si、 $\alpha$ -Si 反應之後，Ni 與  $\alpha$ -Si 會形成較與 poly-Si 反應之後較厚的 NiSi，造成這樣的原因是由於比較這兩種結構中，poly-Si 的結構較為緻密， $\alpha$ -Si 的結構較為鬆散，導致這兩種結構在與 Ni 反應之後，厚度會有所不同，而由此結果也告訴大家，Ni 與  $\alpha$ -Si 反應形成 NiSi，並不是普遍認定的固定反應厚度比例，而會與 poly-Si 的反應比例有所不同。(3) 在圖 3.5: Ni 600 Å /  $\alpha$ -Si 500Å / poly-Si 500Å / ox 300Å 的堆疊結構中，我們可以發現，在形成 Fully NiSi 之後，在上層的 NiSi 中，可明顯看到區分為兩層，其中下層為 poly-Si 與 Ni 反應之 NiSi，上層為  $\alpha$ -Si 與 Ni 反應形成之 NiSi，由這兩層的厚度再次可印證同圖 3.3、圖 3.4 之結果，就是相同厚度的 Ni 與相同厚度的 poly-Si、 $\alpha$ -Si 反應之後，Ni 與  $\alpha$ -Si 會形成較與 poly-Si 反應之後較厚的 NiSi; 而也希望藉此堆疊結構中 poly-Si、 $\alpha$ -Si 形成的兩層 NiSi 間的界面，可有延緩 Ni 在高溫時向下擴散的效果。(4) 由經過 550°C; 30 秒回火處理後的 Ni 600Å / poly-Si 1000Å / ox 300Å、Ni 600Å /  $\alpha$ -Si 1000Å / ox 300Å 以及 Ni 600

Å / $\alpha$ -Si 500Å / poly-Si 500Å/ ox 300Å 結構其片電阻值及 SEM 的厚度分析可算出，其 Ni 600Å /poly-Si 1000Å/ ox 300Å 反應之 NiSi 之電阻率約為  $17\mu\Omega$ -cm 左右，Ni 600Å / $\alpha$ -Si 1000Å/ ox 300Å 反應之 NiSi 之電阻率約為  $22\mu\Omega$ -cm 左右，Ni 600 Å / $\alpha$ -Si 500Å / poly-Si 500Å/ ox 300Å 反應之 NiSi 之電阻率約為  $20\mu\Omega$ -cm 左右。

而圖3.6、圖3.7、圖3.8是代表Ni 600Å /poly-Si 1000Å/ ox 50Å和 Ni 600Å / $\alpha$ -Si 1000Å/ ox 50Å及Ni 600 Å/ $\alpha$ -Si 500Å / poly-Si 500Å/ ox 50Å三種不同的結構在經過500°C、550°C、600°C、650°C;30秒回火之後的XRD分析圖，由分析圖來觀察矽化鎳的相位變化情形。由圖3.6、3.7、3.8的三張XRD分析圖來看，這三種結構在低溫500°C時就都可以形成低阻值之NiSi相位，而在550°C、600°C、650°C時，也都還存在有NiSi的相位，這代表著在後段製程中，NiSi確實在低溫500°C左右即可形成，印證了在先進製程中Ni適用於低溫製程的優點，在低溫500°C左右即可與Si反應形成低阻值之NiSi。

### 3.3.2 電性的量測分析

圖 3.9 為 Ni 600Å /poly-Si(BF<sub>2</sub>) 1000Å/ ox 50Å 在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖;圖 3.10 為 Ni 600Å / $\alpha$ -Si(undoped) 1000Å/ ox 50Å在經過550°C;30sec回火溫度後的電容-



藉由不同的結構對全金屬鎳矽化物之研究

電壓曲線圖;圖 3.11 為 Ni 600Å / $\alpha$ -Si(BF<sub>2</sub>) 1000Å/ ox 50Å 在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖;圖 3.12 為 Ni 600Å/ $\alpha$ -Si(undoped)500Å / poly-Si 500Å /ox 50Å 在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖;圖 3.13 為 Ni 600 Å / $\alpha$ -Si(BF<sub>2</sub>)500Å / poly-Si 500Å/ ox50Å 在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖。由圖 3.9 量測出來的電容值發現,可反推出其氧化層等效厚度約為 52Å,其 V<sub>fb</sub> 為 0.864V;由圖 3.10 量測出來的電容值,可反推出其氧化層等效厚度約為 51Å,其 V<sub>fb</sub> 為 0.84V; 由圖 3.11 量測出來的電容值,可反推出其氧化層等效厚度約為 51Å,其 V<sub>fb</sub> 為 0.864V, V<sub>fb Shift</sub> 為 0.024V;由圖 3.12 量測出來的電容值,可反推出其氧化層等效厚度約為 51Å,其 V<sub>fb</sub> 為 0.824V;由圖 3.13 量測出來的電容值,可反推出其氧化層等效厚度約為 52Å,其 V<sub>fb</sub> 為 0.904V, V<sub>fb Shift</sub> 為 0.08V

另外我們可以發現有 Implant BF<sub>2</sub> 的結構,他們的 V<sub>fb</sub> 相對於沒有 Implant(Undoped) 的結構有些微的漂移,這是因為摻雜所造成的原因,此現象我們可以利用來印證 NiSi 的功函數可藉由摻雜來調變。

### 3.3.3 綜合比較以及討論

由本專題的實驗結果顯示,我們可以發現:

(1) Ni 600Å /poly-Si 1000Å/ ox 300Å和Ni 600Å/ $\alpha$ -Si 1000Å/ox 300Å及Ni 600Å/ $\alpha$ -Si 500Å/ poly-Si 500Å /ox 300Å在不同的回火溫度下，Ni 600Å/poly-Si 1000Å/ox 300Å皆具有最低的電阻率，因此對於全金屬鎳矽化物閘極材料的選擇，基於電阻率的考量，使用poly-Si的全金屬鎳矽化物閘極結構為最佳的選擇。而對於這三種結構而言，其最佳的回火條件為550<sup>o</sup>C;30秒(有最低的電阻率)，可做為日後大家在做有關全金屬鎳矽化物回火時的最佳化條件參考。

(2) 在相同厚度的Ni與相同厚度的poly-Si、 $\alpha$ -Si各別反應之後，形成之Fully NiSi的厚度是不同的。Ni與 $\alpha$ -Si反應會形成比poly-Si反應之後更厚的NiSi，造成這樣的原因是因為poly-Si的結構較為緻密， $\alpha$ -Si的結構較為鬆散，導致這兩種結構在與Ni反應之後形成的NiSi厚度會有所不同;因此Ni與 $\alpha$ -Si反應形成NiSi的反應比例關係，與Ni與poly-Si反應形成NiSi的反應比例關係是不一樣的。

(3)  $\alpha$ -Si的結構較poly-Si的結構鬆散，因此 $\alpha$ -Si的結構所形成的NiSi在高溫時較poly-Si形成的NiSi更容易發生結塊，這有可能會導致NiSi層易有斷裂的情形發生。

(4) NiSi的功函數可藉由摻雜來調變;而Ni 600Å /poly-Si 1000Å/ ox 50Å 和 Ni 600Å/ $\alpha$ -Si 1000Å/ox 50Å 及 Ni 600Å/ $\alpha$ -Si 500Å/ poly-Si

藉由不同的結構對全金屬鎳矽化物之研究

500Å /ox 50Å 這三種結構做成 PMOS 電容之後，對於功函數(Work Function)的調整能力是很小的，這是因為在 PMOS 中所摻雜的  $\text{BF}_2$  或 B 較 NMOS 的 As 或 P 不易大量主要累積在 NiSi 與 oxide 的介面處所造成。

藉由不同的結構對全金屬鎳矽化物之研究

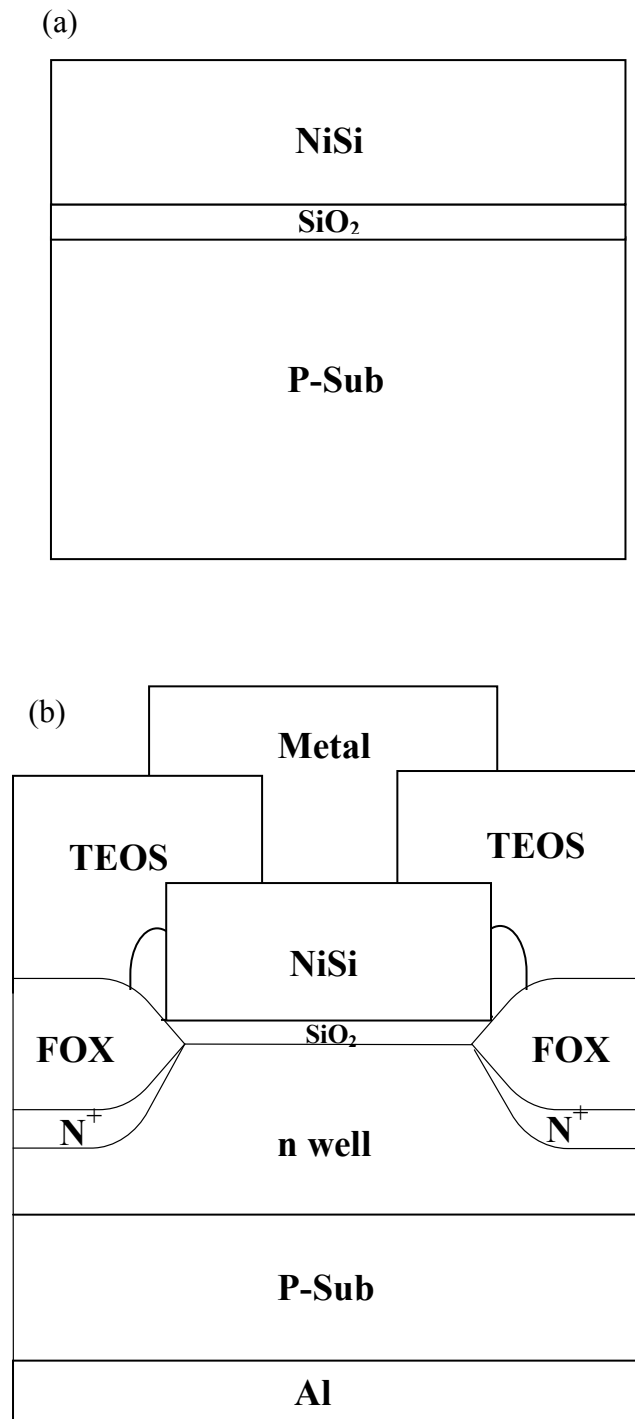


圖 3.1 (a)物性分析片結構圖 (b) 電性分析片結構圖

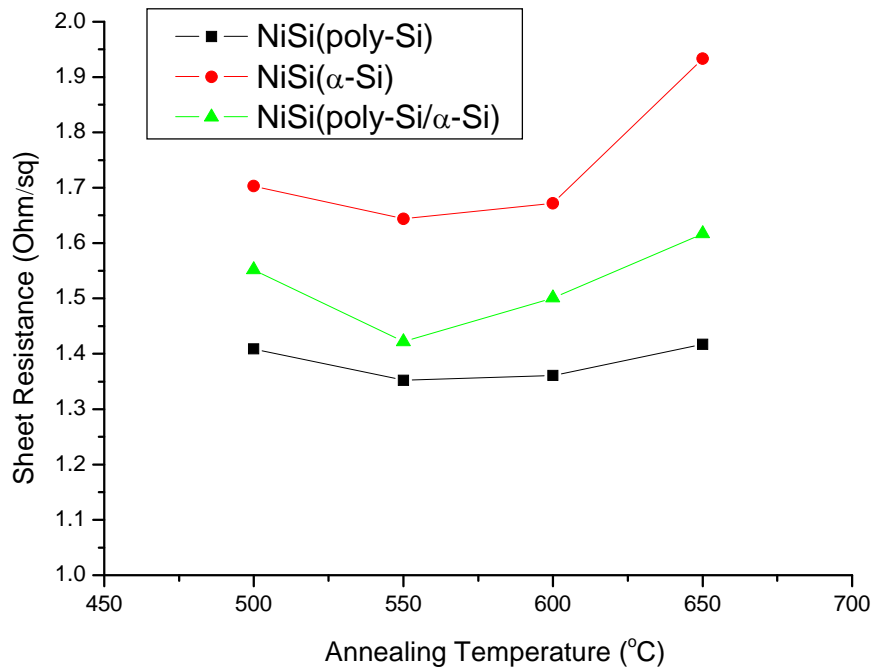


圖 3.2 為(1) Ni 600Å/poly-Si 1000Å/ ox 300Å (2) Ni 600Å /α-Si 1000Å/ ox 300Å (3) Ni 600Å/α-Si 500Å / poly-Si 500Å/ ox 300Å 在不同回火溫度下的片電阻值曲線圖

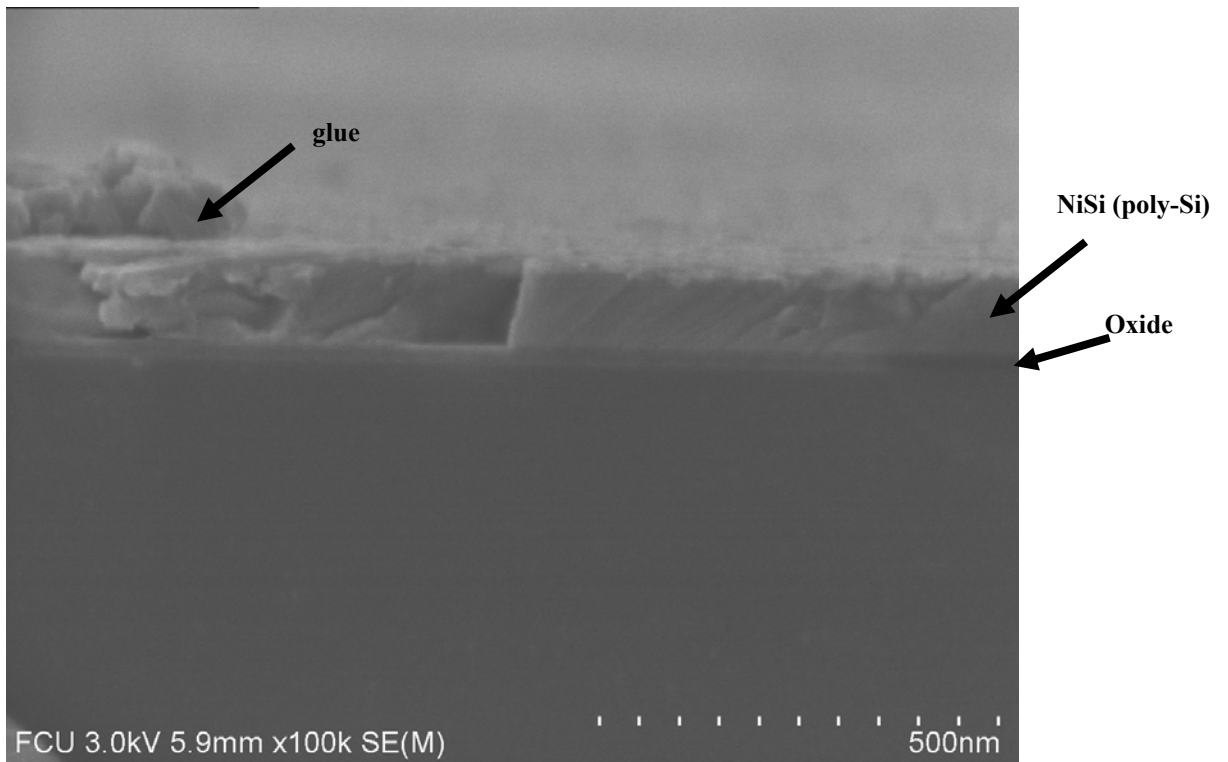


圖 3.3 為 Ni 600Å /poly-Si 1000Å/ ox 300Å 經過 550°C;30s 回  
火後的 SEM 分析圖

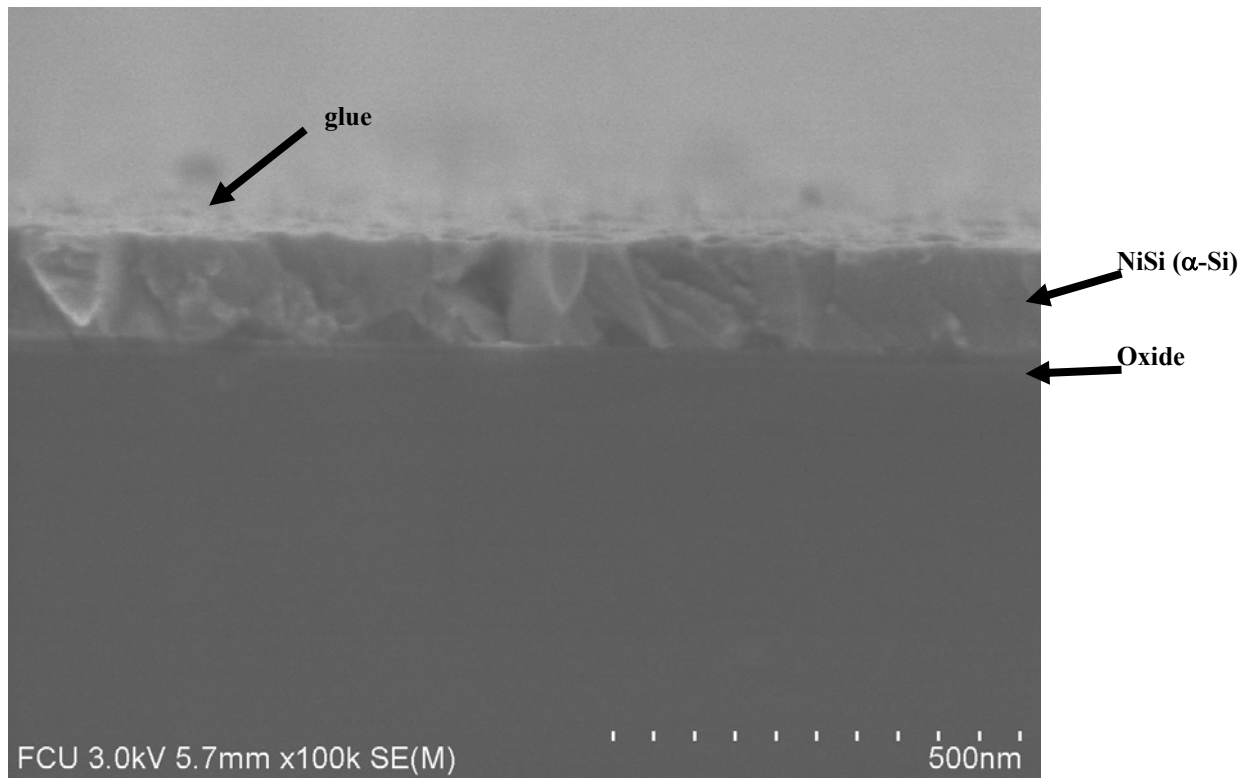


圖 3.4 為 Ni 600Å /α-Si 1000Å/ ox 300Å 經過 550°C;30s 回火  
後的 SEM 分析圖

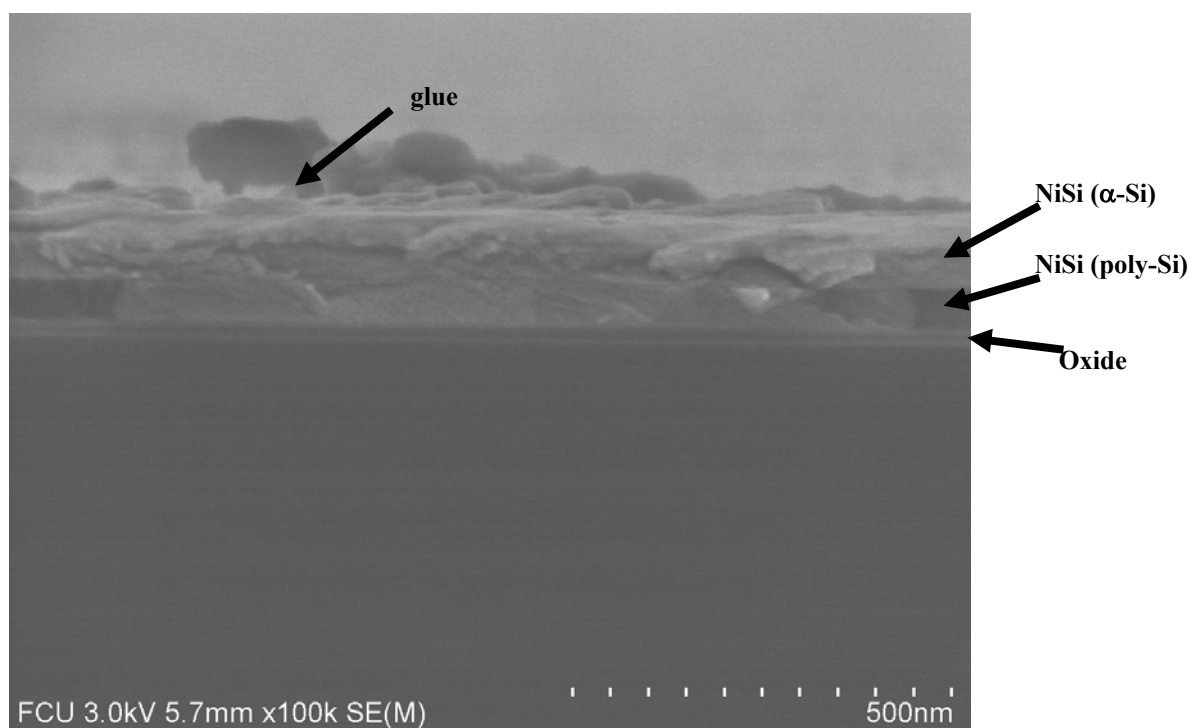


圖 3.5 為 Ni 600Å / $\alpha$ -Si 500Å / poly-Si 500Å / ox 300Å 經過 550°C;30s 回火後的 SEM 分析圖



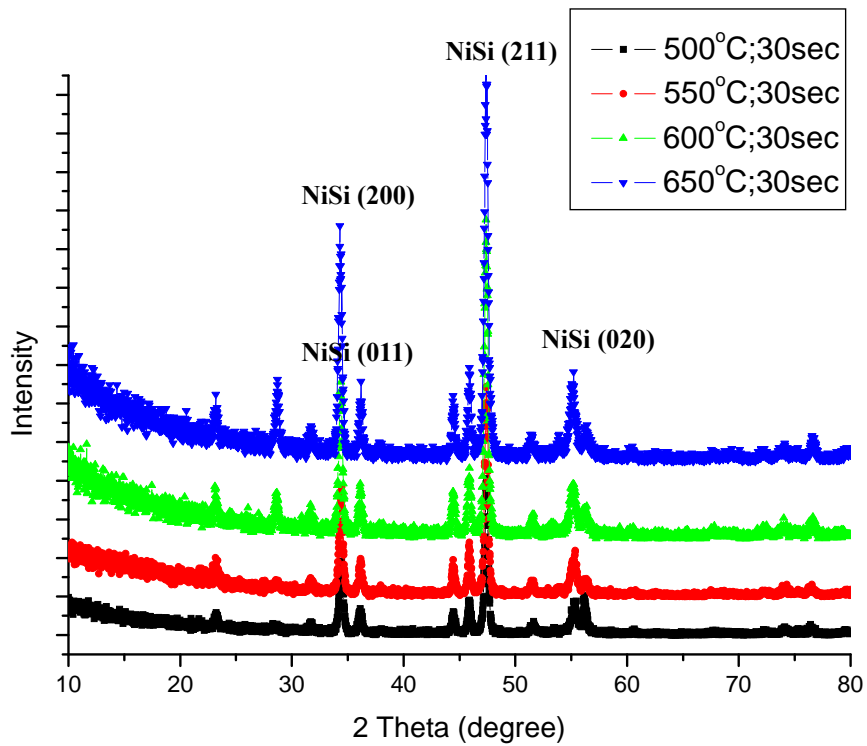


圖 3.6 為 Ni 600Å /poly-Si 1000Å/ ox 50Å 分別經過 500、550、600、650°C;30s 回火後的 XRD 分析圖

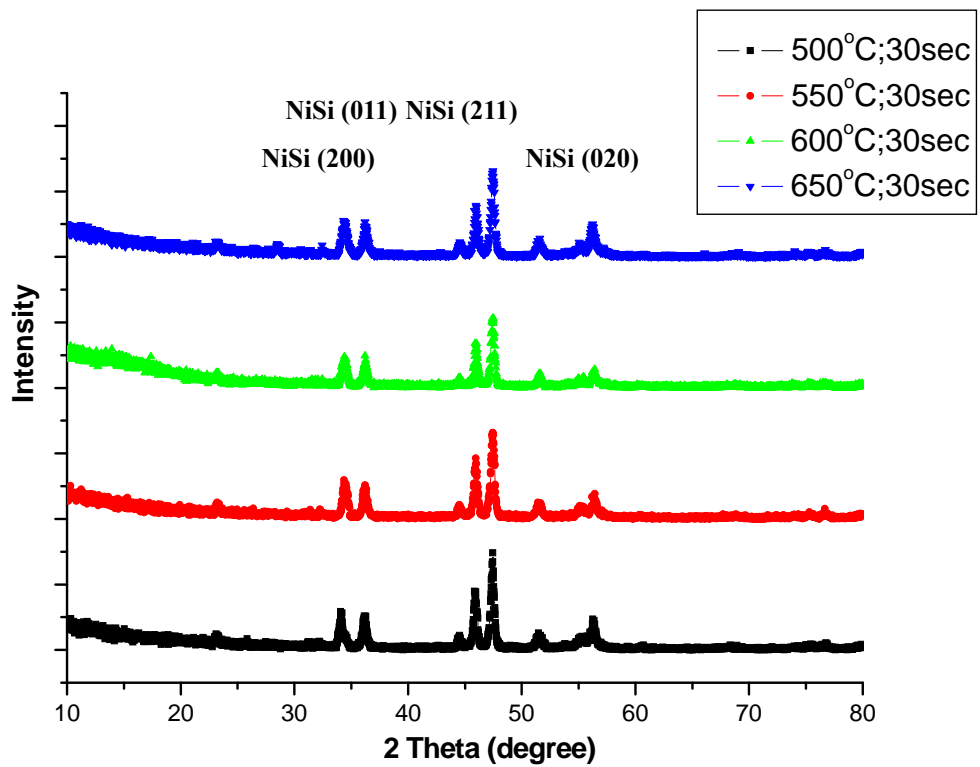


圖 3.7 為 Ni 600Å/ $\alpha$ -Si 1000Å/ ox 50Å 分別經過 500、550、600、650°C;30s 回火後的 XRD 分析圖

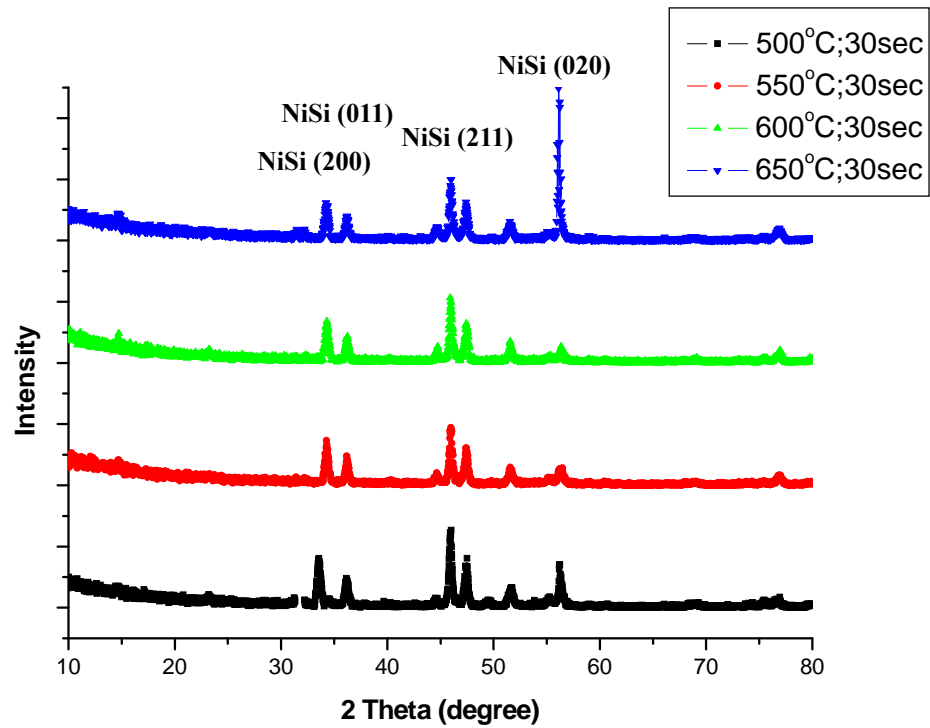


圖 3.8 為 Ni 600Å/ $\alpha$ -Si 500Å / poly-Si 500Å/ ox 50Å 分別經過 500、550、600、650°C;30s 回火後的 XRD 分析圖

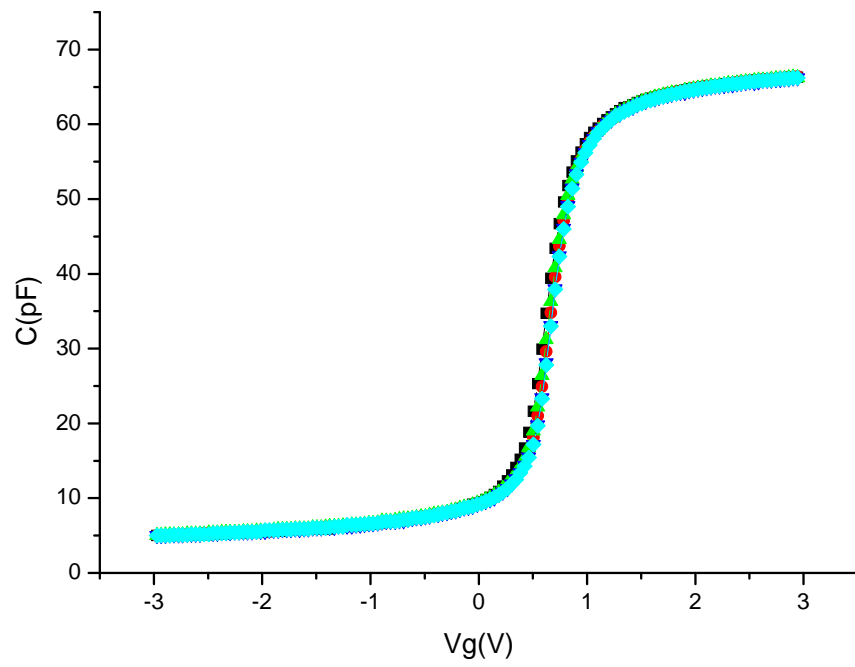


圖 3.9 為  $600\text{\AA}$  /poly-Si(BF<sub>2</sub>) $100\text{\AA}$ / ox  $50\text{\AA}$  在經過  $550^\circ\text{C};30\text{sec}$  回火溫度後的電容-電壓曲線圖

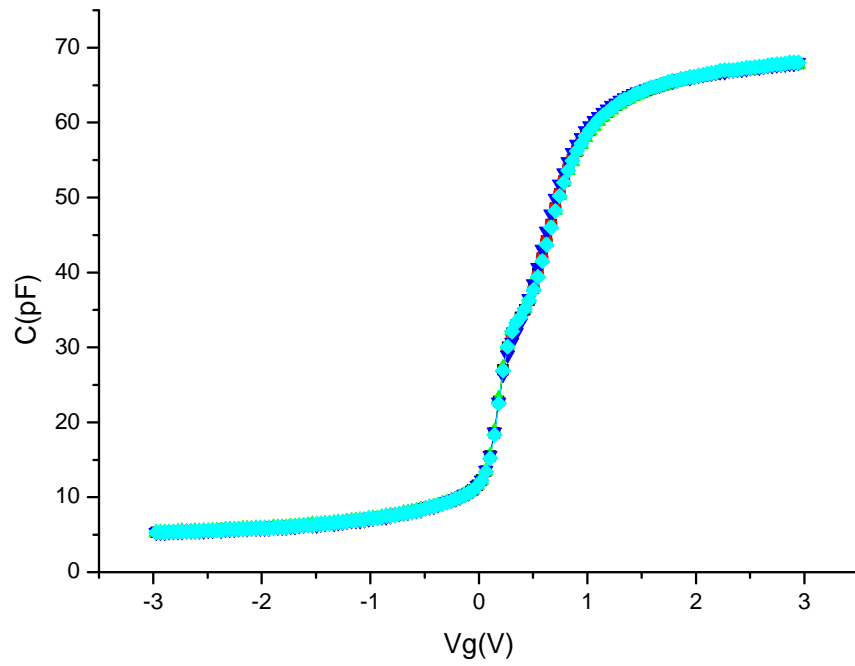


圖 3.10 為 Ni 600Å / $\alpha$ -Si(undoped) 1000Å/ ox 50Å 在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖

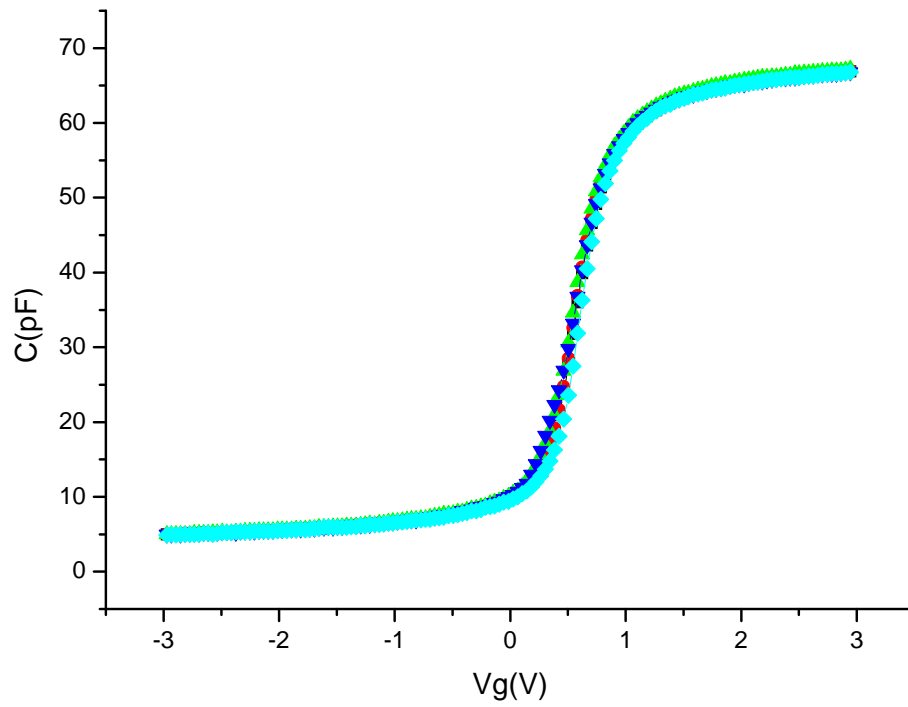


圖 3.11 為 Ni 600Å / $\alpha$ -Si(BF<sub>2</sub>) 1000Å / ox 50Å 在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖

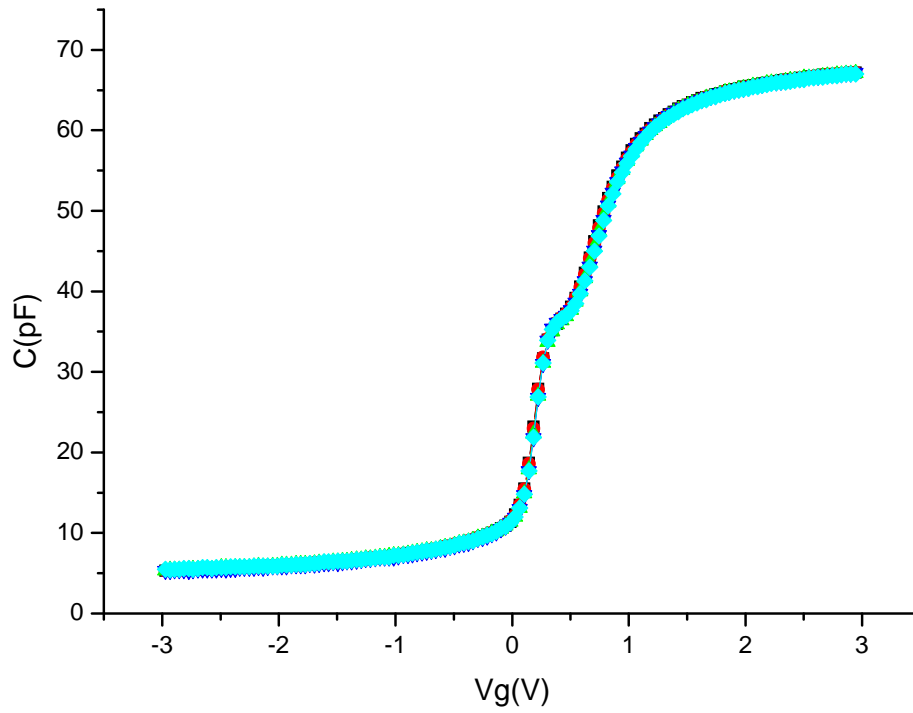


圖 3.12 為 Ni 600 Å / $\alpha$ -Si(undoped) 500Å / poly-Si 500Å/ ox  
50 Å 在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖

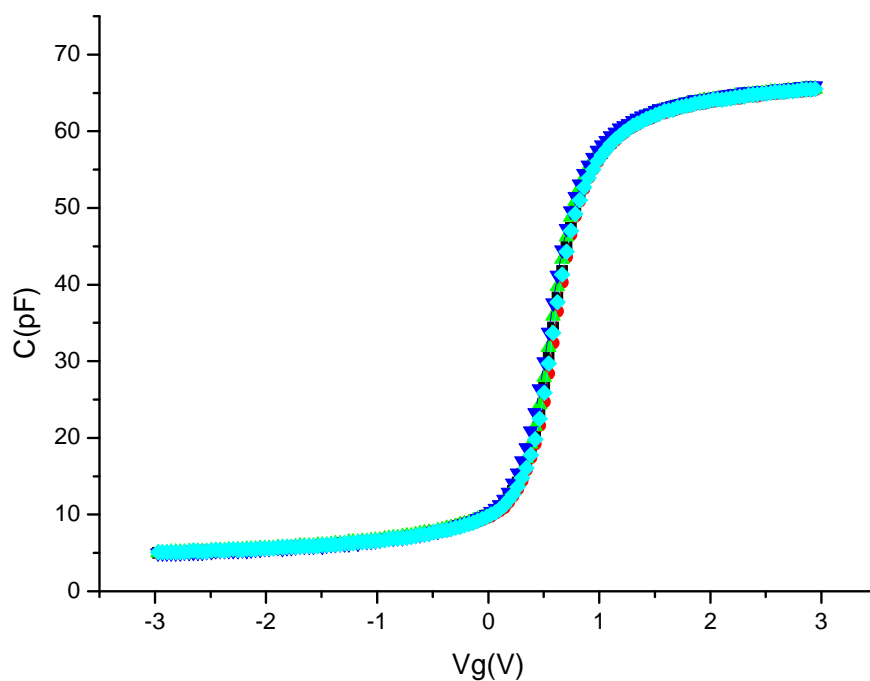


圖 3.13 為 Ni 600 Å / $\alpha$ -Si(BF<sub>2</sub>) 500Å / poly-Si 500Å/ ox 50 Å  
在經過 550°C;30sec 回火溫度後的電容-電壓曲線圖



## 第四章

### 總結以及未來方向

根據近期研究報告指出，全金屬矽化閘極 (Fully silicide) 便是可經由摻雜達到調整金屬功函數的金屬閘極。在這些報告中提出，矽化鎳 (NiSi) 的全金屬矽化閘極 (Fully silicide) 的功函數可以在做金屬矽化 (silicidation) 步驟之前經由摻雜來調整，而經由不同的摻雜的劑量、不同的雜質、摻雜後回火的溫度都有研究報告指出會調整NiSi之功函數，所以如何有效、準確、以及調整NiSi大範圍功函數，是近期研究NiSi的研究重點之一。另有實驗的結果指出，摻雜的雜質原子有累積在閘極與介電層之間的傾向，在這一層薄薄地界面層 (interface layer) 中，雜質的濃度高到足夠影響閘極材料的成分，還有閘極材料的功函數，這是影響閘極材料的功函數的一大主因。

而前述的全金屬矽化鎳閘極雖然在元件尺寸縮小之際，擁有相較於全金屬矽化鈦、矽化鈷閘極更多的優點，但矽化鎳的缺點就是它的熱穩定性較差，特別是在溫度高於750°C後，因為矽化鎳轉相以及結塊的產生，造成其電阻值急遽的上升。因此，在形成矽化鎳層之後所執行之半導體元件的後續處理必須在不超出矽化物產生轉相或產生大量結塊的有限溫度範圍內執行。但是在實務上，在整合有多種產物

之半導體電路的製造過程中，若要維持在此限制的溫度之中是困難或是不可能的。因此如何提高金屬矽化物層的熱穩定性，就變得十分重要，因此有相當多的研究是針對鎳矽化物的熱穩定性改善，比如使用Ti、TiN的Capping Layer、氮離子佈植技術、二階段回火等等..因外在最新研究結果顯示，若對矽摻雜碳離子，之後再形成含碳之矽化鎳與碳化矽接觸，發現此結構的熱穩定性，比矽化鎳與矽接觸之熱穩定性更佳，含碳之矽化鎳層可在高溫(接近900°C)時還具有低阻值的特性。

參考文獻

- [1] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, pp. 114–117, 1965.
- [2] H. Yang et al., "A comparison of TiN processes for CVD WTiN gate electrode on 3 nm gate oxide," *Proc. IEDM*, p. 459 (1997)
- [3] A. Chatterjee et al., "Sub-100 nm gate length metal gate NMOS transistors fabricated by a replacement gate process," *Proc. IEDM*, p. 821 (1997)
- [4] J. C. Hu et al., "Feasibility of using WTiN as metal gate for conventional 0.13  $\mu\text{m}$  CMOS technology and beyond," *Proc. IEDM*, p. 825 (1997)
- [5] L. Su, et al., *Symp. VLSI Technol.*, p. 12 (1996).
- [6] J. R Pfiester, F. K. Baker, T.C. Mele, H. H. Tseng, P. J. Tobin, J. D. Hayden, J. W. Miller, C.D. Gunderson, L. C. Parrillo, "The effects of boron penetration on  $\text{p}^+$  polysilicon gated PMOS devices," *IEEE Tran. Electron Devices*, ED-37, p. 1842 (1990)
- [7] T. Kuroj, M. Kobayashi, M. Shirohata, Yokumura, Skusunoki, M. Inuishi, and N. Tshboushi, "The impact of nitrogen implantation into highly doped polysilicon gates for highly reliable and high-performance sub-quarter-micron dual-gate complementary metal oxide Semiconductor," *Jpn. J. Appl. Phys*, 34, 771 (1995)
- [8] T. Kuroj, Skusunoki, M. Shirohata, Y. Okumura, M. Kobayashi, M. Inuishi, and N. Tshboushi, "The effect of nitrogen implantation into  $\text{P}^+$  polysilicon gate on gate oxide properties," in *Symp. VLSI Technol.*, 107 (1994)
- [9] S. Nakayama, T. Sakai, "The effect of nitrogen in  $\text{P}^+$  polysilicon gates on boron penetration into silicon substrate through the gate oxide," in *Symp. VLSI Technol.*, 228 (1996)
- [10] C. Y. Wong, J. Y. Sun, Y. Taur, C. S. Oh, R. Angelucci, B. Davari, "Doping of  $\text{n}^+$  and  $\text{p}^+$  polysilicon in a dual-gate CMOS process," *Proc. IEDM*, p. 238 (1988)
- [11] C. Hu, "Gate oxide scaling limits and projection," in *IEDM Tech. Dig.*