



逢甲大學學生報告 ePaper

報告題名：

高效能抬升式汲源極之新式

雙通道薄膜電晶體

High Performance Double-Channel

Poly-Silicon Thin Film Transistor

with Raised Source and Drain Structures

作者：廖偉傑

系級：電子四乙

學號：D9572768

開課老師：簡鳳佐 老師

課程名稱：專題研究(一)

開課系所：電子工程學系

開課學年： 98 學年度 第一 學期



## Abstract

Recently, polycrystalline-silicon thin-film transistors (poly-Si TFTs) manufactured on glass or plastic are widely used in different fields such as active matrix liquid crystal displays (AM-LCDs), solar cells, and three-dimensional (3-D) integrated circuits because of its high mobility and driving current. The technology is a promising candidate to achieve building a fully integrated flat-panel-display system on-panel (SOP) as a controller and memory. However, the speed and driving current of the devices must be increased in order to achieve a higher quality display in the future. The double-gate TFT (DGTFT) structure provides an approach to enhance the driving current of poly-Si TFT. However, the process of the DGTFT is more complicated than that of the conventional TFT. Furthermore, the larger electric field of the DGTFT can increase the undesired effects.

In this project, we propose a high performance double channel polycrystalline-silicon (poly-Si) thin film transistor (DCTFT). The double channels of the DCTFT can increase the on current to enhance the driving capability. The DCTFT combines both the raised source and drain (RSD) and offset structure that can decrease the drain electric field to suppress the undesired effects. Our simulate results show that the on current of the DCTFT is higher than the conventional structure and the drain electric field of the DCTFT is lower than the conventional structure.

**Index terms:** Thin-film transistors (TFTs) 、 Double channel(DC) 、 Raised source and drain(RSD)

## 中文摘要

複晶矽薄膜電晶體因為擁有較高的場效應遷移率與驅動電流，在許多方面像主動式液晶顯示器、太陽能電池、記憶元件等的發展已經受到矚目。然而，傳統的複晶矽薄膜電晶體其特性已經不能夠滿足市場所需要的速度與驅動電流。

隨後，從許多已發表的論文中得知藉由使用雙閘極使元件有效的增加複晶矽薄膜電晶體的驅動電流，但是一個高性能的雙閘極複晶矽薄膜電晶體需要困難的製程技術而且還有相當大的漏電流和電場。而後有人提出了以雙通道的型式來增加複晶矽薄膜電晶體的驅動電流並降低電場，不過此結構的不對稱與材料間的應力問題使得在結構應用上的不理想。

在本實驗中，我們提出了新式單閘極雙通道複晶矽薄膜電晶體，且此結構藉由加入抬升式汲源極結構和Offset結構來提供了較好的元件特性與較低的串聯電阻，從我們的模擬結果中得知，靠近汲極端的電場強度與傳統型的元件比較之下明顯降低了許多，如此一來，就會改善一些不理想效應。

**關鍵字：** 薄膜電晶體、雙通道結構、抬升式汲源極

## 目 次

英文摘要.....	i
中文摘要.....	ii
目 錄.....	iii
圖 目 錄.....	v
表 目 錄.....	vi
第一章 前言.....	1
1-1 多晶薄膜電晶體簡介與應用.....	1
1-2 複晶矽薄膜電晶體的關鍵製造技術.....	4
1-3 不理想效應.....	6
1-3.1 漏電流效應 (leakage current effect).....	7
1-3.2 熱載子效應 (hot carrier effect).....	9
1-3.3 扭結效應 (kink effect).....	11
第二章 文獻回顧與論文動機.....	14
2-1 動機.....	14
2-2 薄膜電晶體結構.....	14
2-2.1 薄膜電晶體之基本結構.....	14
2-2.2 單閘極雙通道薄膜電晶體之結構發展.....	15
2-2.3 場引效汲極 (FID, Filed Induced Drain).....	16

2-2.4 場板 (Field Plate) .....	17
2-2.5 抬升式汲源極 (RSD, Raised Source Drain).....	18
2-2.6 雙閘極薄膜電晶體(DGTFT, Double Gate Thin Film Transistor) .....	20
2-2.7 ECTFT (Elevated-Channel Thin Film Transistor).....	20
2-2.8 雙通道薄膜電晶體 (DCTFT, Double Channel TFT).....	21
2-2.9 新式單閘極雙通道薄膜電晶體 .....	22
2-3 新式 DCTFT 製成步驟 .....	23
第三章 新式單閘極雙通道薄膜電晶體之模擬分析 .....	27
3-1 前言 .....	27
3-2 DCTFT 結構.....	27
3-3 Top channel 與 Bottom channel 結構之探討 .....	28
3-4 側蝕寬度對 DCTFT 結構之探討 .....	32
3-5 Spacer 寬度對 DCTFT 結構之探討 .....	34
3-6 新式 DCTFT 結構與傳統型結構之電性探討 .....	36
第四章 結論.....	44
參考文獻.....	45

## 圖目錄

圖 1.1 三種不理想效應 .....	7
圖 1.2 漏電流效應的機制 .....	9
圖 1.3 通道熱電子注入圖 .....	10
圖 1.4 汲極雪崩熱載子注入圖 .....	11
圖 1.5 扭結效應(a) .....	12
圖 1.6 扭結效應(b) .....	13
圖 1.7 扭結效應(c) .....	13
圖 2.1 薄膜電晶體常見基本結構圖 .....	15
圖 2.2 場引效汲極 FID .....	17
圖 2.3 場板在 HEMT 上的應用 .....	18
圖 2.4 水平電場之測試 .....	19
圖 2.5 雙閘極薄膜電晶體 .....	20
圖 2.6 雙閘極 ECTFT .....	21
圖 2.7 雙通道薄膜電晶體 .....	22
圖 2.8 新式單閘極雙通道薄膜電晶體(DCTFT)示意圖 .....	23
圖 2.9 新式 DCTFT 之關鍵製成步驟 .....	26
圖 3.1 DCTFT 之結構 .....	27
圖 3.2 Elevated-Channel 與 Top channel 和 Bottom channel 之結構圖	30

圖 3.3 Conventional offset 與 Top channel 和 Bottom channel 之結構圖 .....	30
圖 3.4 新式 DCTFT 與傳統型 TFT 結構之電場分布圖 .....	31
圖 3.5 側蝕寬度與水平電場圖 .....	33
圖 3.6 側蝕寬度與開電流圖 .....	33
圖 3.7 DCTFT 之 Spacer 寬度改變示意圖 .....	35
圖 3.8 Spacer 寬度改變對水平電場圖 .....	35
圖 3.9 DCTFT 與傳統型 TFT 之結構圖 .....	39
圖 3.10 DCTFT 與傳統型 TFT 之水平電場圖 .....	40
圖 3.11 DCTFT 與傳統型 TFT 之特性曲線圖 .....	41
圖 3.12 DCTFT 與傳統型 TFT 之輸出曲線圖 .....	43

## 表 目 錄

表 1.1 薄膜電晶體技術分類比較表 .....	4
表 1.2 各種複晶矽製作手法之比較 .....	5
表 3.1 側蝕寬度與電性值比較表 .....	34
表 3.2 各傳統 TFT 結構與 DCTFT 之水平電場比較表 .....	43
表 3.3 各傳統 TFT 結構與 DCTFT 之開電流比較表 .....	43

# 第一章 前言

## 1-1 多晶薄膜電晶體簡介與應用

隨著科技的發展，日常生活中許多物品已與電子緊密不可分，而隨著數位時代的來臨和平面顯示器的興起，使得顯示器的技術受到矚目。在過去的顯示器多為陰極射線管(CRT, Cathode Ray Tube)螢幕，但由於陰極射線管為工作模式的顯示器具有重量重、體積大、輻射量高、耗電量大、畫質較差等因素，使得陰極射線管漸漸不符合市場需求。但隨著薄膜電晶體(TFT, Thin Film Transistor)的研究及量產，使得以薄膜電晶體作為開關元件的顯示器如液晶顯示器(LCD, Liquid Crystal Display)、電激發光顯示器(EL, Electroluminescent)、電漿顯示器(PDP, Plasma Display Panel)、投影型顯示器(Projection Display)等顯示技術取代了傳統陰極射線螢幕而成為主流產品。而液晶顯示器具有體積小、重量輕、省電、無輻射等優點，舉凡常見的桌上型顯示器、筆記型電腦、手機、數位相機到高解析大型視訊家電等都能看到液晶顯示器的蹤影。TFT除了應用在顯示器上外，也應用於記憶體元件如靜態隨機存取記憶體、可清除程式化記憶體、電子式可清除程式化唯讀記憶體等。而雖然薄膜電晶體特性接近於MOSFET，但由於半導體層是由沉積所形成，比單晶矽半導體有更多缺陷與結晶瑕疵在薄膜上，導致元件的特性不理想，所以為了要改善元件特性與可靠度，bulk



高效能抬升式汲源極之新式雙通道薄膜電晶體

與表面缺陷密度必須要降低。

### **非晶矽薄膜電晶體 (Amorphous-silicon thin film transistors)**

TFT 依薄膜通道層材料又分成非晶矽(Amorphous-silicon TFT)與複晶矽(Poly-Si TFT)兩種，上述兩模式同樣都是各畫素下設置 TFT 元件作畫素切換，灰階控制通常採用電壓調變方式。非晶矽薄膜電晶體材質採用含有大量氫的非晶矽(a-Si:H)，隨著液晶顯示器面積的增大和像素的提高，薄膜電晶體對像素的提高須具備高移動率的載子，因而驅使液晶顯示器必須減短期充放電時間。但非晶矽薄膜電晶體在高效能電路的應用上受限於本身的不理想性能，如它的載子遷移率非常低，因而限制了驅動能力也使它無法整合高速的周邊驅動電路與控制電路。而由於非晶矽薄膜電晶體為了提高驅動電流，必須要有更大的元件尺寸，這會造成畫素的開口率(Aperture Ratio)無法提高，所以亮度也無法提升。但因為它的製程費用低廉簡單，仍成為主動是陣列的顯示器(AMLCDs, Active-matrix liquid crystal display)應用上的主流 [1-1]。

### **複晶矽薄膜電晶體 (Polysilicon thin film transistors)**

複晶矽薄膜電晶體相對於單晶矽薄膜電晶體是個大有可為的材料。由於它的載子遷移率非常高，可以解決非晶矽載子遷移率過低的

問題，以提升驅動能力，為高速主動式陣列的顯示器提供了解決的方案。複晶矽薄膜電晶體的優點為具有較高的載子遷移率[1-2]、自我對準(Self-alignment)、優良的操作穩定性及較長的生命週期(lifetime)、及低寄生電容及與金氧半場效電晶體(MOSFET, Metal-Oxide-Semiconductor Field-Effect Transistor)製成相似的優點，且具有將驅動電路整合於基板上的能力，開創高亮度、減少面板製造上的成本和增加可靠度。複晶矽電晶體一直被認為是大有可為的材料相對於單晶矽電晶體，由於它的高載子遷移率，約一百倍相對於傳統的非晶矽電晶體，使它非常有希望成為未來高速主動式陣列的顯示器提供解決方案。一般來說，複晶矽薄膜製作的方式有直接沉積複晶矽薄膜(As-deposited Polysilicon)及沉積非晶矽再回火的兩種方式。直接沉積複晶矽通常在 600°C 以上，一般的玻璃基板將無法使用，且直接沉積的複晶矽薄膜，其晶粒(Grain)較小，缺陷(Defect)較多，所以以此方法製作的薄膜電晶體特性會較差，因此通常無人使用此製程方式。而另一種製作複晶矽的方式為先利用低壓化學氣相沉積(LPCVD, Low Pressure Chemical Vapor Deposition)、電漿輔助化學氣相沉積(PECVD, Plasma-Enhanced Chemical Vapor Deposition)或濺鍍(Sputtering)的方法來沉積非晶矽薄膜，再利用熱處理方式使其轉變為複晶矽薄膜。複晶矽薄膜電晶體依製程溫度又分為高溫複晶矽薄膜電

晶體和低溫複晶矽薄膜電晶體。雖然高溫製程能使複晶矽有高效能、低缺陷的優點，但因為低溫製成使用的玻璃基板較高溫製程的石英基板便宜，且可在玻璃基板上嵌入驅動元件，以使元件縮小化。且低溫製程具有更高的解析度使電子在複晶矽的傳輸速率較快，品質較優良。所以低溫複晶矽薄膜電晶體(LTPS, Low Temperature Poly-Silicon) 必是未來的趨勢[1-3]。

TFT skill	A-Si	Low temperature Poly-Si	High temperature Poly-Si	Single crystal
Substrate	Glass	Glass	Quartz	Silicon wafer
Mobility (cm <sup>2</sup> /V-sec)	0.1 ~ 1	50 ~ 500	100 ~ 150	600 ~ 700
Leakage current	Low	Large	Large	Low
Sensitivity	High	Low	Low	Low
Operating frequency (Hz)	100K	10M	> 10M	1G
Device design (μm)	10 ~ 100	1 ~ 10	~ 10	< 1
Temperature (°C)	< 300	< 600	< 900	< 1100

表1.1 薄膜電晶體技術分類比較表

## 1-2 複晶矽薄膜電晶體的關鍵製造技術

在複晶矽薄膜電晶體中，晶粒與晶粒邊界的缺陷是一個很嚴重的問題，這些缺陷會影響電晶體的電性表現如載子遷移率、元件漏電流、臨界電壓及元件操作時高電場與缺陷交互作用等不理想效應，而這些都會造成元件特性的衰減。因此在複晶矽薄膜電晶體的製作上就

必須改善複晶矽的品質，以提高晶粒大小與減少晶粒邊界缺陷。而目前常用的低溫再結晶製程方法有三種，分別為固相再結晶(SPC, Solid Phase Crystallization)、沉積金屬與矽反應進行結晶(MIC, Metal-Induced Crystallization)、準分子雷射退火(ELA, Excimer Laser Anneal)。而考量薄膜品質與產量需求下，準分子雷射退火為目前工業界所採用的方式，也是日後製作超高性能的低溫複晶矽薄膜電晶體的唯一技術。

Property poly-si	Mobility	Large area capability	Uniformity	Throughput
As-deposited	△	O	O	O
Furnace anneal(SPC)	O	O	O	△
Rapid thermal anneal	O	X	X	△
Laser anneal	◎	X	X	△

◎=Excellent, O=Good, △=Fair, X=Poor

表1.2 各種複晶矽製作手法之比較

### 固相再結晶 (SPC, Solid Phase Crystallization)

固相再結晶以在 600°C，24 小時下藉由回火方式讓矽原子有規律地重新排列，雖然此方法結晶出的複晶矽擁有較均勻且平滑的表面，但其回火溫度太高、回火時間太長薄膜包含太多缺陷，都會影響薄膜電晶體的特性。

### **金屬與矽反應進行結晶 (MIC, Metal-Induced Crystallization)**

分類為 eutectic-forming 和 silicide-forming 兩種，其中 silicide-forming 結晶方法為利用非晶矽在高溫短時間下與金屬形成的金屬矽化物為晶種下向外延伸成長晶粒，尤以 MILC 成長之晶粒為長條狀為佳，但晶粒的成長所夾帶的金屬矽化合物累積在晶粒邊界存在通道內部將影響元件漏電流的表現。

### **準分子雷射退火 (ELA, Excimer Laser Anneal)**

利用雷射重新融溶非晶矽在一千多度的高溫下重新結晶，擁有比固相再結晶技術更大的晶粒以及較快的製程速度，但其表面較固相再結晶為不平坦。目前廣為工業界所應用的技術。

### **1-3 不理想效應**

複晶矽薄膜電晶體擁有高載子遷移率，但漏電流卻遠大於傳統非晶矽，使得複晶矽電晶體在做為像素切換開關不盡理想[1-4]。而當元件越做越小時，一些如漏電流效應(leakage current effect)、熱載子效應(hot carrier effect)和扭結效應(kink effect)等就會產生，而這些不理想效應都與汲極端的接面高電場有關如圖 1.1 所示，故降低汲極端電場為解決這些不理想效應的重要工程。

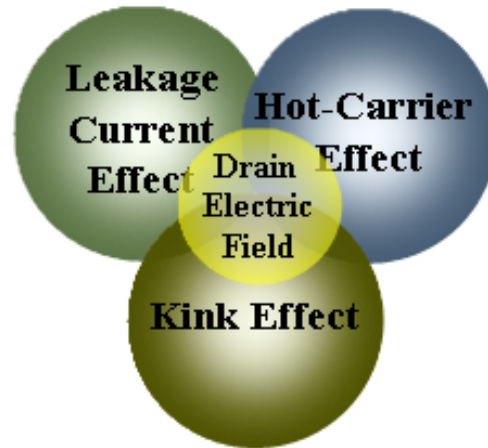


圖1.1 三種不理想效應

### 1-3.1 漏電流效應 (leakage current effect)

以複晶矽做成的薄膜電晶體會比以非晶矽做成的元件擁有較大漏電流，而使得元件應用在電路上會增加其功率的消耗，故降低漏電流效應是非常重要的工作。而引發漏電流的傳導機制可分為三種 [1-5]。第一種稱為熱活化(thermal activation)，如圖1.2(a)所示，是指電子藉由著一微弱的低電場，從價電帶(valence band,  $E_v$ )跳到傳導帶(conduction band,  $E_c$ )上產生漏電流，此活化能(activation energy)之值等於能階(energy gap)。第二種為如圖1.2(b)所示，在較低電場高的情形下發生，有兩種產生機制，首先電子獲得活化能從 $E_v$ 跳到一個缺陷狀態(trap state)，再經由近似產生(generation)與穿隧(tunneling)的現象到達 $E_c$ 上產生漏電流。第三種為如圖1.2(c)所示，在一個高電場下所引發的，高電場使得能帶大幅度彎曲，高電場亦使電子獲得足夠能



量，使得電子直接穿過能帶彎曲處而形成漏電流，此時雖活化能在這種情況下消失，但由於缺陷狀態使得能帶變短，有效的加速了漏電流的產生[1-6] - [1-8]。

限制漏電流的方法：

- 1、藉由氫化的方法可以有效的減少顆粒間(inter-grain)或晶粒(intra-grain)大量的懸擺鍵(dangling bond)[1-9]。
- 2、降低汲極端電場而使得逆偏效應能有效下降。

然而第一個方法存在著其缺點，就是經氫化處理過後的矽-氫鍵會較一般單晶的矽-氫鍵要來的脆弱，當熱載子產生時，這些弱鍵結很容易被撞斷而產生缺陷，使得元件的特性變得不穩定，雖然有數種方法可以改善其問題，但是效果不盡理想，因此能是以降低汲極端電場的方法為優先考慮。

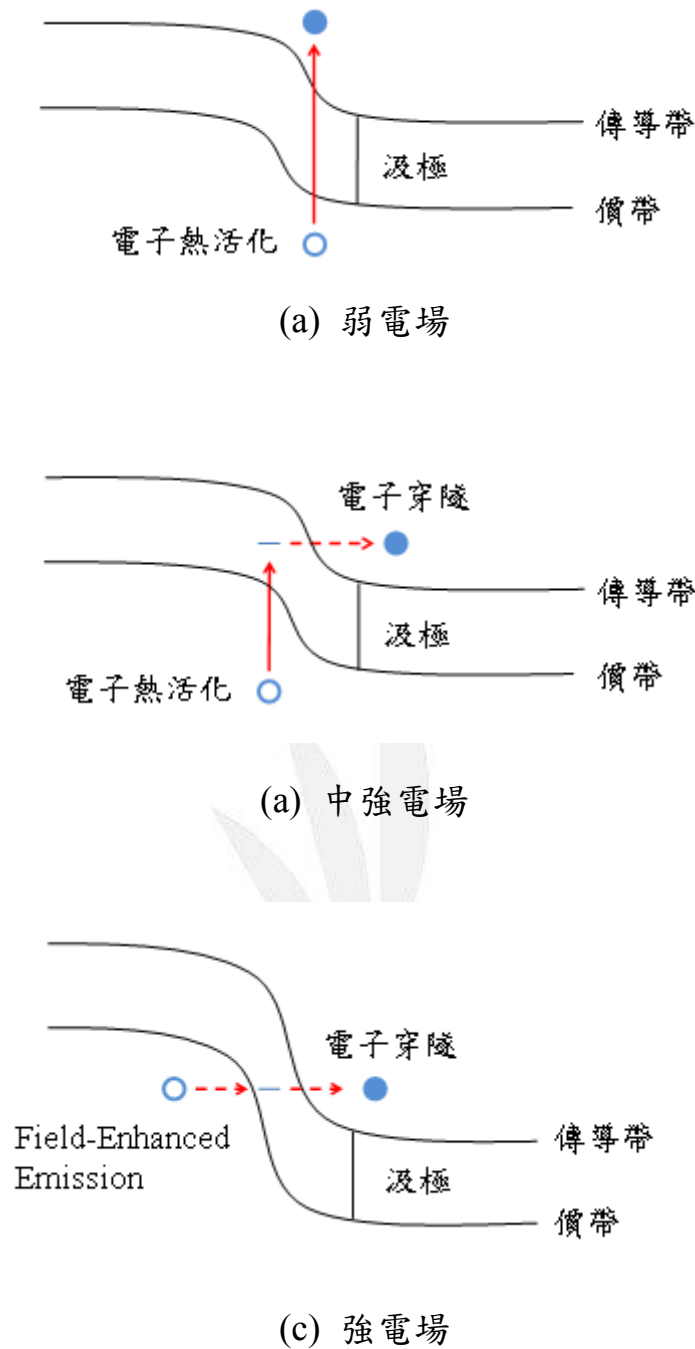


圖1.2 漏電流效應的機制

### 1-3.2 熱載子效應 (hot carrier effect)

當通道電場超過臨界電壓而達到飽和速度時，載子獲得能量形成熱載子，而造成元件特性及可靠度受到影響。由於在汲極端的高電場



現象會影響傳導載子使其獲得能量，而當載子獲得能量後，這些獲得高能量的載子將以高速移動而產生游離碰撞的現象，因而產生更多的電子電洞對(EHP, electron-hole pair)，可視為具有較高的電子濃度，這些因碰撞產生的載子具有遠大於熱平衡時的能量，因此稱之為熱電子。而載子經由矽與氧化矽界面進入閘極之注入，會導致這種閘極電流的多樣化機制，常見的機制有通道熱電子注入[1-10]和汲極雪崩熱載子[1-11]注入兩種。

### 通道熱電子注入 (CHE, Channel Hot Electron injection)

閘極電壓必須在較高的情況下亦即通道必須導通，又當  $V_{ds}$  夠大時，通道內電子獲得足夠能量，就可以不必經由碰撞游離化。如圖 1.3 所示。

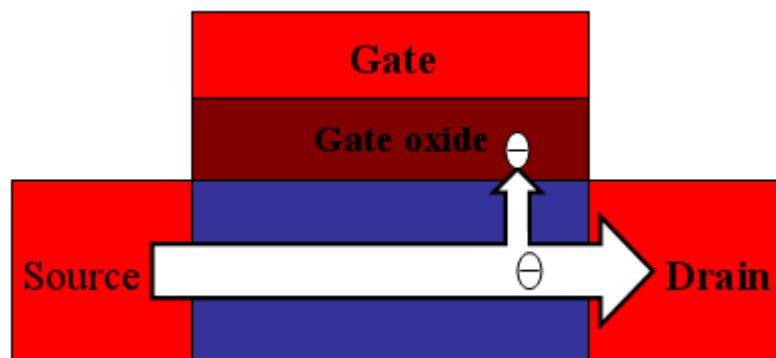


圖1.3 通道熱電子注入圖

### 汲極雪崩熱載子注入(DAHC, Drain Avalanche Hot Carrier injection)

外加電場的閘極電壓  $V_{gs}$  較小時即通道未完全導通，汲源極電壓

$V_{ds}$  夠大亦即汲極處的最大橫向電場  $E_m$  夠大時，才足以發生碰撞游離。如圖 1.4 所示，載子受到橫向電場的加速，在靠近汲極的地方經過碰撞和從直接氧化層獲得一個動量而形成一些通道熱電子(channel hot electron)，其中有一些電子未遭受會使得能量損失，藉由它們有力的直接動量其被放射穿過 Si-SiO<sub>2</sub> 的能障進入氧化層的傳導帶。而此現象在閘極電壓等於汲極電壓時最為明顯。

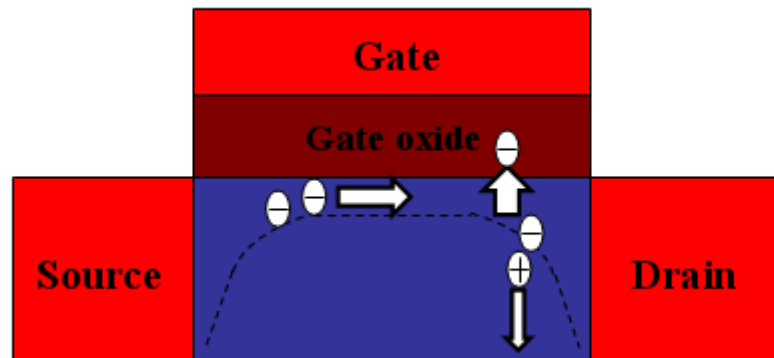


圖 1.4 汲極雪崩熱載子注入圖

限制熱載子效應方法：

- 1、增強閘極氧化層的品質並改善矽及矽氧化物的界面，以降低熱載子被缺陷捕捉的機率。
- 2、降低汲極端的電場峰值。

### 1-3.3 扭結效應 (kink effect)

扭結效應如圖 1.5 所示 [1-12] - [1-13]。當汲極端電壓升高時，由於逆偏效應的增加使得汲極與通道間會產生一高電場，加速了熱載子碰

撞游離，產生大量的EHP。由於TFT是以不導電的玻璃作為基板材料，無法與傳統MOSFET一樣經由基板排出，造成電洞累積於基板，進而與源極和汲極形成寄生雙載子電晶體，累積在基板的電洞使通道區的電壓上升，造成通道與源極的寄生二極體導通而產生大量電流，則稱之為扭結效應(kink effect)，此現象發生在元件操作在飽和區時，電流會隨著汲極端的電壓升高而遽增，而解決的辦法也是以降低汲極端的高電場，以熱載子及游離碰撞的發生。而扭結電流(kink current)為當電子電洞對大量產生後，電洞累積於浮動基極(Floating Body)，過多的電動與源極、汲極形成等效的寄生雙載子效應增加的電流促使碰撞游離率再增加，不斷正回授使得汲極電流劇增如圖1.7所示。扭結效應會造成大電流，而使得元件的輸出將會消耗很多功率。而限制扭結效應方法為降低汲極端的高電場，以減少游離碰撞的發生。

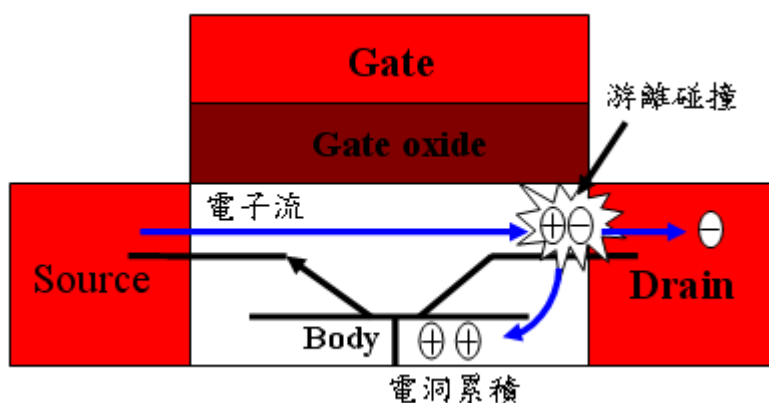


圖1.5 扭結效應(a)

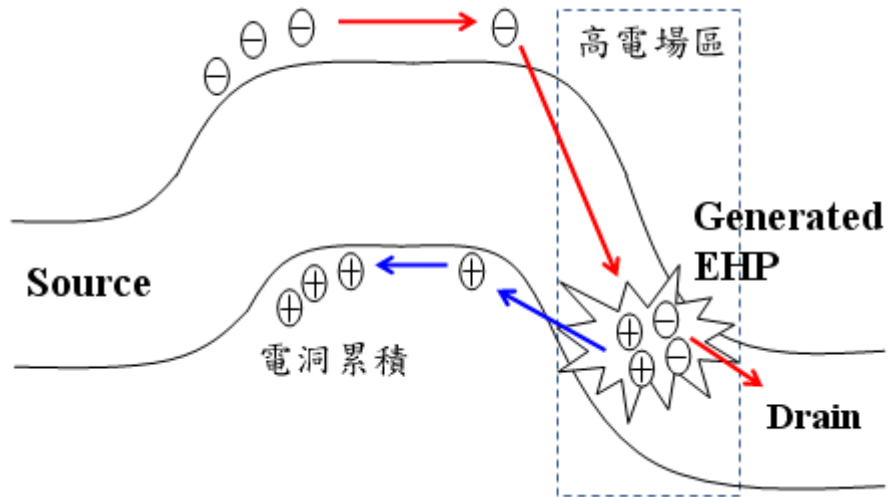


圖1.6 扭結效應(b)

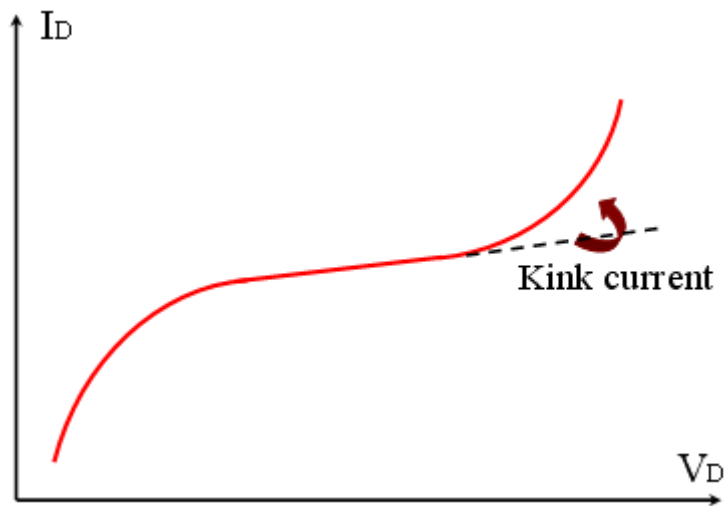


圖1.7 扭結效應(c)

## 第二章 文獻回顧與論文動機

### 2-1 動機

傳統的複晶矽薄膜電晶體因為汲極與閘極之邊界區域有著強大的電場，導致一些不理想效應的發生，而隨著科技發展快速，傳統的複晶矽薄膜電晶體已經不能滿足市場所需要的開關速度與電流驅動了。而為了改善這些問題，雙閘極薄膜電晶體(DGTFT, Double Gate Thin Film Transistor)就被提出來，它可以增加驅動電流，但它的製程困難和過大的水平電場及漏電流也使發展受到阻礙。而後提出了一個具有單閘極雙通道的薄膜電晶體(DCTFT, Double Channel Thin Film Transistor)，其可以提升開電流與降低漏電流，使得開關電流比能提升，且有效降低電場值，但它卻因為晶格間的應力與上下通道的長度不同而產生了不理想效應。所以我們提出了一個新式雙通道薄膜電晶體來取代傳統雙通道薄膜電晶體，它不僅改善了傳統雙通道薄膜電晶體的應力與通道長度不同所產生了不理想效應，同時也降低了電場，使得不理想效應能更有效的降低。

### 2-2 薄膜電晶體結構

#### 2-2.1 薄膜電晶體之基本結構

圖 2.1 為薄膜電晶體之基本結構[2-1]，而 offset 或 LDD 為目前最

## 高效能抬升式汲源極之新式雙通道薄膜電晶體

普遍的結構，是藉由未摻雜或輕摻雜的汲極區域，以減少感應區域，使得部分區域通道串聯電阻增加，因而讓空間中的電荷區域之中的峰值電場會被降低，而使崩潰效應被極小化[2-2]，使其能抑制漏電流，並提升製程可靠度。而提出結構中有 overlap 區域的結構 GOLDD，因為 overlap 區域使得通道更容易反轉，因此 overlap 型具有極佳的載子移動率與輸出特性，然而汲極電場過大亦會造成崩潰現象的產生，並且漏電流與寄生電流偏高等不理想的問題。且隨著科技的進步快速，傳統的複晶矽薄膜電晶體已經不能滿足市場所需要的開關速度與電流驅動了。

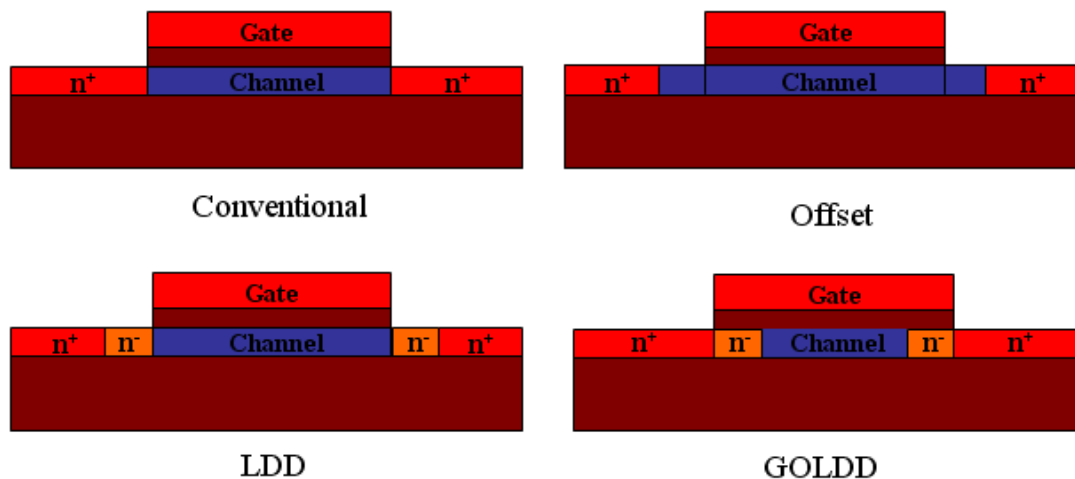


圖2.1 薄膜電晶體常見基本結構圖

### 2-2.2 單閘極雙通道薄膜電晶體之結構發展

低溫複晶矽汲極端電場的降低能夠有效改善電晶體的電性，藉由改善汲極端電場，使得漏電流效應、熱載子效應和扭結效應能有效改

善。許多專門在降低汲極端電場的結構被討論出來，如基本的 LDD、OFFSET 及 GOLDD 結構外，而最為矚目的是場引效汲極(FID, Filed Induced Drain)、ECTFT (Elevated-Channel Thin Film Transistor)和抬升式汲源極 (RSD, Raised Source Drain)。

### 2-2.3 場引效汲極 (FID, Filed Induced Drain)

結構於 offset 區域上新增一個副閘極，當元件於操作狀態的時候，副閘極將通道未摻雜的區域引發為輕摻雜的效果。當操作於 ON 的狀態時，極性為正，使開電流獲得提升；而當操作於 OFF 狀態時，極性為負，使漏電流降低。如此一來就能提供一個較高的開關電流比 (on/off current)。因此雖然 FID 等效於一個傳統輕摻雜的結構，但是其特性比傳統輕摻雜的結構還要好。過去所提的具有 FID 結構延伸的 SBTFT 之應用如圖 2.2 所示[2-3]，此結構除了 Poly-Si 通道外，還有一段 offset region，在此區域上方有一塊副閘極(sub-gate)。在元件操作時，於副閘極上加一適當偏壓於 offset 通道區形成汲極的延伸。因此可以利用副閘極偏壓極性的不同，在此元件與副閘極電壓為正時，操作在 N-型；而電壓為負時，操作與 P-型。場引效汲極不但擁有良好的雙極性(ambipolar)表現，並能有效的抑制漏電流。

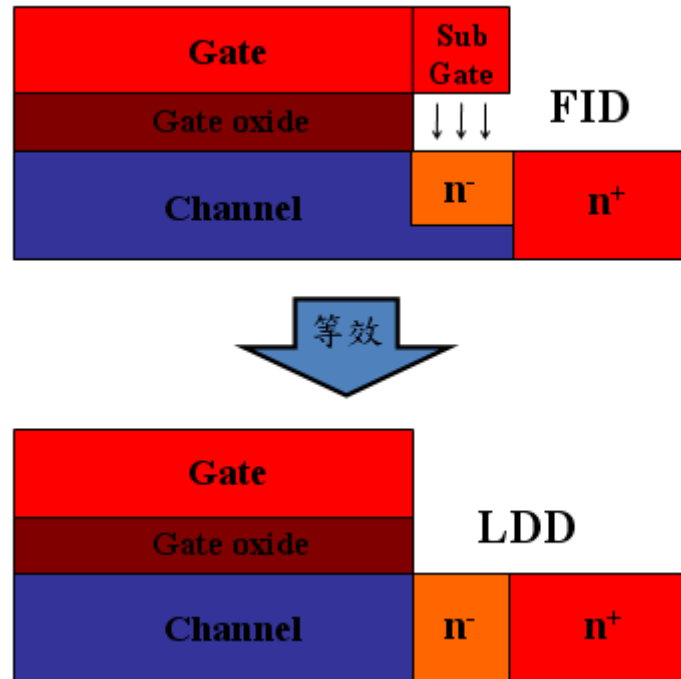


圖2.2 場引效汲極FID

#### 2-2.4 場板 (Field Plate)

如圖 2.3 所示，場板在化合物高電子移動率電晶體(HEMT, high-electron mobility transfers)上的應用[2-4]。文中清楚證明了使用場板藉由電場的轉移能夠有效的大幅改善崩潰電壓(breakdown voltage)及降低導通電阻。在 TFT 中，場板類似於之前所提的副閘極，只是控制端由源極與汲極所主導。



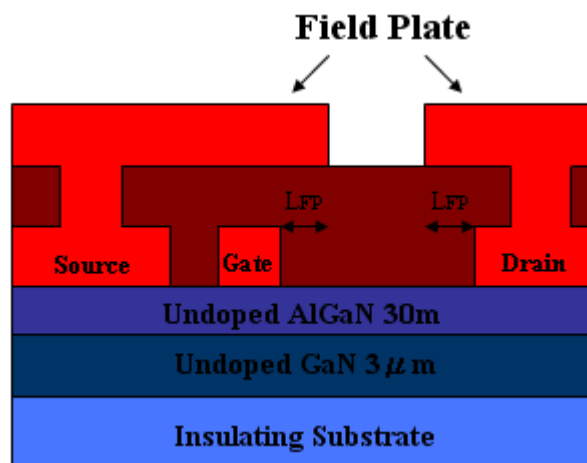


圖2.3 場板在HEMT上的應用

### 2-2.5 抬升式汲源極 (RSD, Raised Source Drain)

RSD(Raised Source Drain)[2-5]-[2-6]結構為把汲極與源極厚度增加，使得結構有厚的汲/源極及薄的通道，由於汲/源極與通道區接觸的面積增加而分散電場，這樣能有效的分散水平電場強度，使電場隨之降低，因而降低了漏電流，也能有效的提供元件有較高的開關電流比。過去提出探討水平電場之測試結構如圖 2.4 所示，製程手法使得元件擁有一個薄的通道以及厚的汲極與源極，其中通道有一段重疊區域是透過閘極形成輕摻雜(lightly doped)的效果。文中實驗證明當水平電場增加時，漏電流也會隨之增加，而且當把汲極區域厚度增加時，也就是 RSD 結構，再汲極與通道的電場隨之降低，因而改善了漏電流。文中還提到當通道薄膜越來越薄的情況下，強大的電場會產生更多的熱載子，因而造成熱載子效應，進而引發 kink effect。因此一個薄的通道區域加上一個厚的 S/D 區域能提供一個較高的開關電流

比，同時改善 kink effect 現象。而如公式 2-1 可得知，電場強度與汲極和通道接面深度有關。

$$E_{\max} = \frac{V_{DS} - V_{Dsat}}{\tau}$$

$$\tau = \sqrt{\frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} \cdot x_j}$$

其中  $t_{ox}$ ：二氧化矽厚度  
 $x_j$ ：汲極與通道接面深度  
 $\epsilon_{Si}$ ：矽的介電常數  
 $\epsilon_{ox}$ ：二氧化矽的介電常數  
 $V_{DS}$ ：汲源極電壓差  
 $V_{Dsat}$ ：汲極飽合電壓

公式 2.1

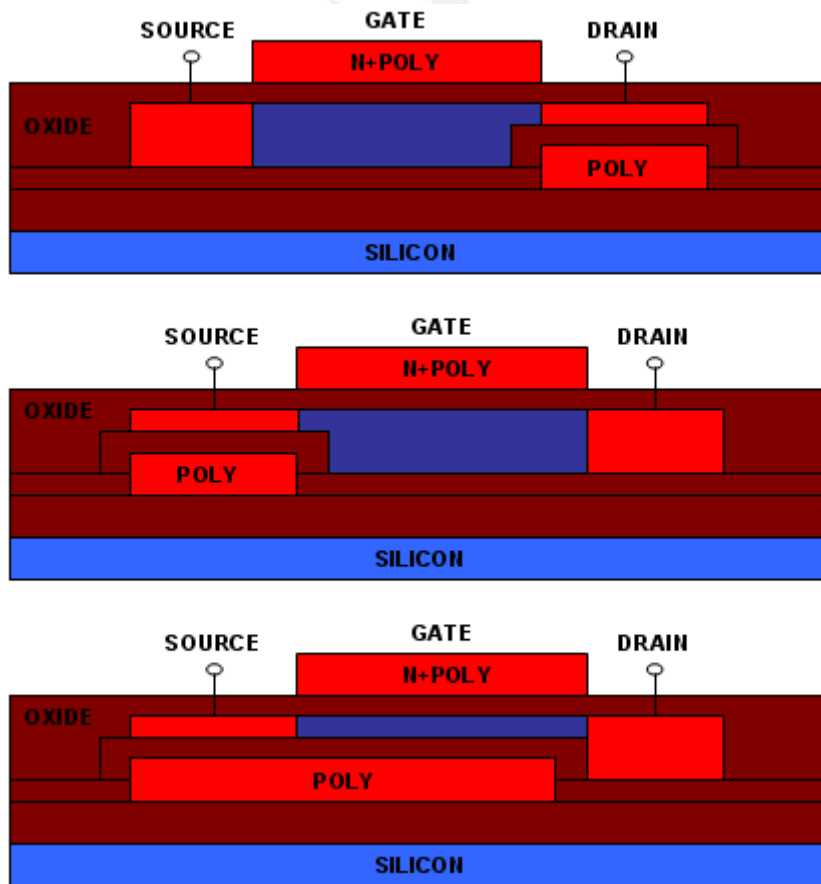


圖2.4 水平電場之測試

## 2-2.6 雙閘極薄膜電晶體(DGTFT, Double Gate Thin Film Transistor)

傳統的 Poly-Si TFT 已經漸漸不能滿足應用上對於開關速度和電流驅動的需求。因此，為了改善元件電性能力，因而發展出了雙閘極薄膜電晶體如圖 2.5 所示，利用結構的上下兩閘極來增加複晶矽薄膜電晶體的開電流，使開電流能有效的提升，但卻也造成了汲極端的電場的增加，使得元件產生了過大的漏電流，增加了元件本身的不理想性，所以漏電流成為了此結構的最大缺點，而使得雙閘極薄膜電晶體的發展受阻。

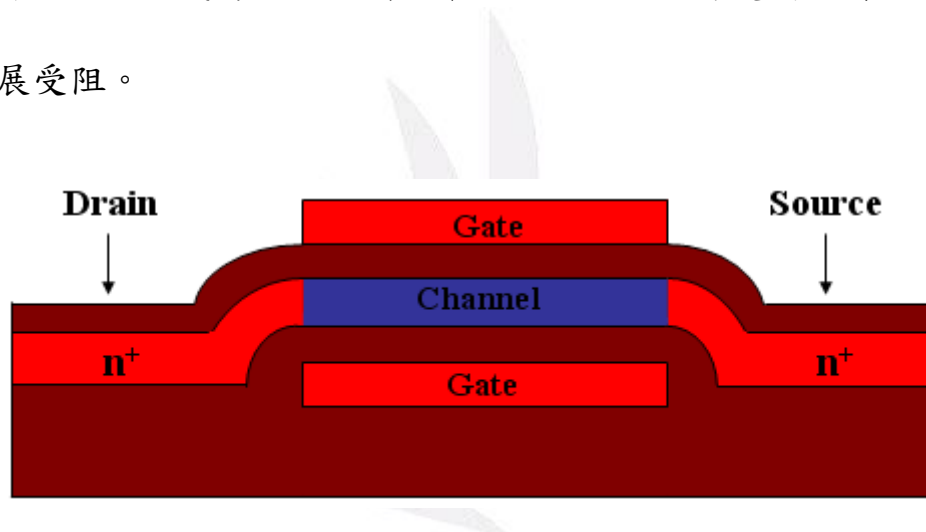


圖2.5 雙閘極薄膜電晶體

## 2-2.7 ECTFT (Elevated-Channel Thin Film Transistor)

為了改善雙閘極薄膜電晶體的過大電場問題，提出了把 RSD(Raised Source Drain)結構應用於雙閘極薄膜電晶體中，我們也可稱此為 ECTFT(Elevated Channel Thin Film Transistor)[2-7]。因此雙閘極 ECTFT 結構也就被提出來，如圖 2.6 所示。此結構不但保有雙閘極薄膜電晶體結構的高開電流優點，並且利用較通道厚的汲極來降低

高效能抬升式汲源極之新式雙通道薄膜電晶體

電場，使得漏電流與傳統的雙閘極結構相較之下，大幅降低許多，且改善了 on/off 電流及短通道效應，也能有效的侷限 kink effect。然而製作此結構必須使用高成本的化學機械研磨 (Chemical Mechanical Polishing, CMP)，此外，非自我對準 (self-alignment) 之設計，雖具有極佳特性，卻有著致命缺點，成了設計者們的遺憾。

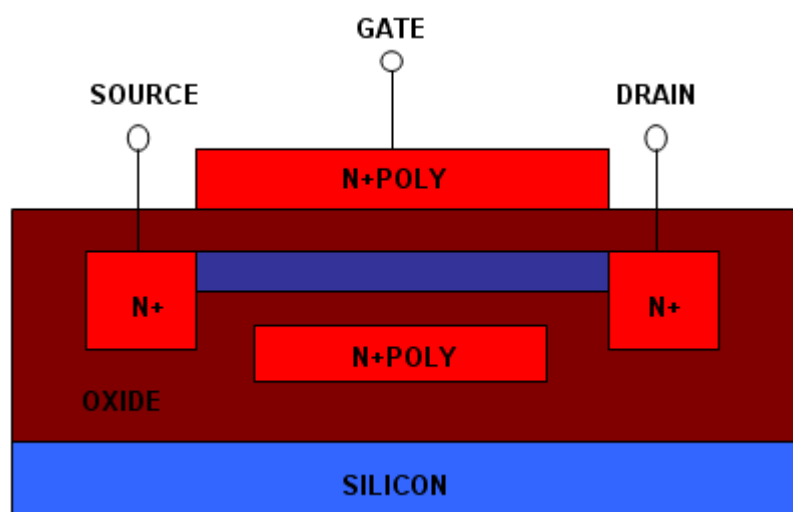


圖2.6 雙閘極ECTFT

### 2-2.8 雙通道薄膜電晶體 (DCTFT, Double Channel TFT)

雖然雙閘極結構能增加開電流，但過大的水平電場與漏電流、昂貴的製程成本及對準失誤 (misalignment) 的缺失，使發展受到阻礙。為了突破傳統利用雙閘極增加開電流的作法，而提出了單閘極雙通道薄膜電晶體 (Double Channel Thin Film Transistor, DCTFT)[2-8]，此結構結合 FID 與 ECTFT 的雙通道薄膜電晶體結構如圖 2.7 所示。此結構利用了前文所提到的 FID 與 ECTFT 的結構來有效的降低汲極電場

## 高效能抬升式汲源極之新式雙通道薄膜電晶體

與改善不理想效應，並能提高開電流以提高驅動能力和改善開關電流比，且此結構只需幾種簡單的製程技術，並不需利用到較昂貴的製程技術。但此結構的 Spacer 區域是以 Nitride 做為材料製成的，而 Nitride 與 Silicon 因為各自本身晶格大小的不吻合，使兩者之間的存在著高應力，會使得 Nitride 與 Silicon 的表面晶格產生缺陷，造成了元件結構受到影響，甚至會發生薄膜剝落。且元件上下結構大不相同，在上下兩通道長度不一樣的情況下，會使得上下兩通道的臨界電壓 (threshold voltage,  $V_t$ ) 有所不同而造成影響，當元件縮小時其現象會更加顯著。

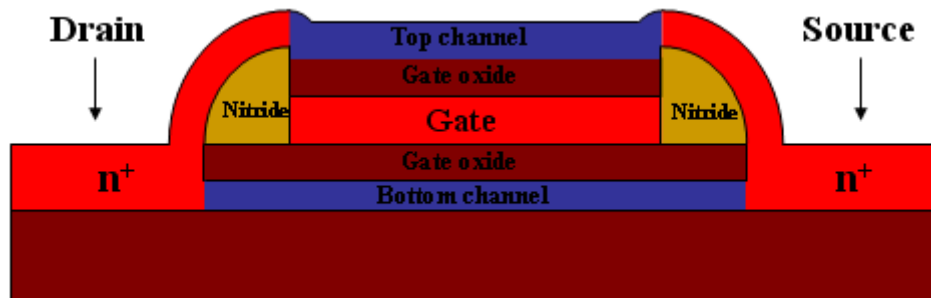


圖2.7 雙通道薄膜電晶體

### 2-2.9 新式單閘極雙通道薄膜電晶體

因為傳統的單閘極雙通道薄膜電晶體如圖 2.7 所示，Nitride 與 Silicon 之間應力的不理想性和臨界電壓不同的缺點，對此我們提出結合了 RSD 與 offset 結構的新式單閘極雙通道薄膜電晶體如圖 2.8 所示，而我們知道這兩種結構都能很有效的降低電場以改善元件的不理

## 高效能抬升式汲源極之新式雙通道薄膜電晶體

想效應。新式雙通道薄膜電晶體結構中 Spacer 使用 Silicon 做為材料，所以不會有傳統雙通道薄膜電晶體晶格間應力的問題，而利用 RSD 結構可有效分散電場，降低通道電場強度，且結構含有 offset 區，使電場能夠更有效的下降，因而可以有效抑制漏電流及 kink 效應的發生，且雙通道結構能提高開電流增加元件的開關電流比。新式雙通道薄膜電晶體結構只需幾種簡單的製程技術，並不需利用到較昂貴的製程技術，能更加節省製程所需耗費的成本。

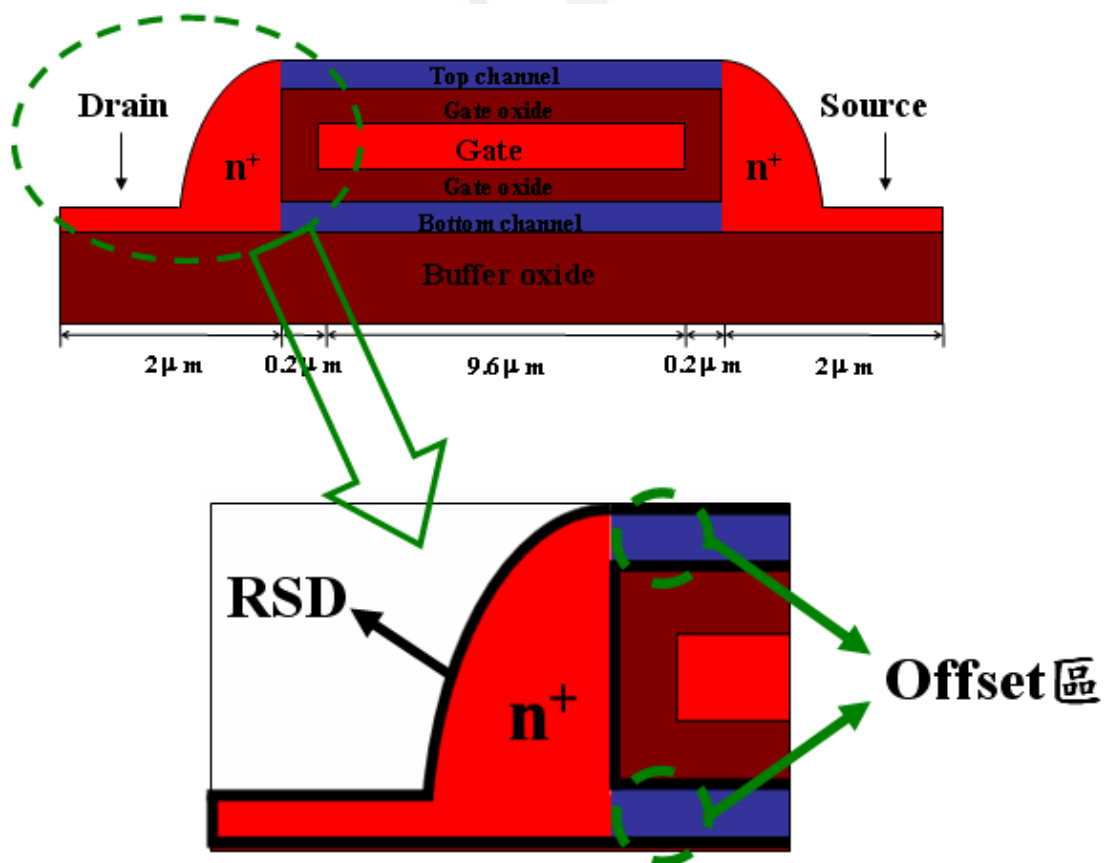


圖2.8 新式單閘極雙通道薄膜電晶體(DCTFT)示意圖

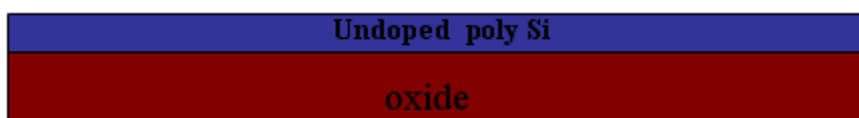
### 2-3 新式 DCTFT 製成步驟

圖 2.9 為新式 DCTFT 的關鍵製程步驟，詳細的製程步驟如下：

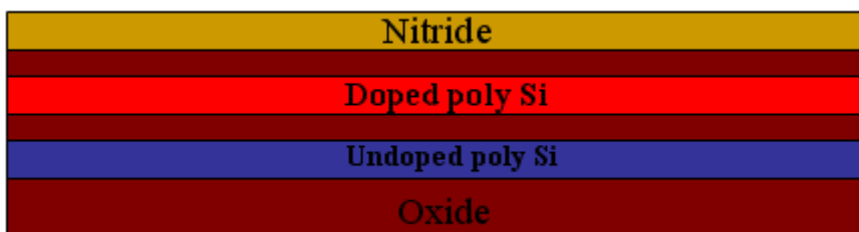
- 1、一開始我們以矽基板(Silicon wafers)代替外界使用的玻璃基板做為初始基板，在經由標準熱氧化成長厚度為  $1\mu\text{m}$  的 oxide 作為 buffer oxide layer。
- 2、沉積一層厚度為  $1000\text{Å}$  的未摻雜 poly-si，並定義出主動區(active region)。
- 3、沉積厚度為  $500\text{Å}$  的 oxide，再沉積一層厚度為  $1000\text{Å}$  的摻雜磷(phosphorus)poly-si，其濃度為  $1e^{20}(\text{cm}^{-3})$ 。
- 4、沉積厚度為  $500\text{Å}$  的 oxide，再沉積一層厚度為  $1000\text{Å}$  的 Nitride。
- 5、上光罩定義閘極後，在使用乾式蝕刻依序蝕刻 nitride  $1000\text{Å}$ 、oxide  $500\text{Å}$ 、poly-si  $1000\text{Å}$ 。
- 6、使用濕式蝕刻側蝕寬厚度為  $2000\text{Å}$  的 poly-si。
- 7、沉積厚度為  $1000\text{Å}$  的 oxide，再以乾式蝕刻蝕刻 oxide  $1000\text{Å}$ ，使得側蝕空洞填入 oxide。
- 8、再依序乾式蝕刻蝕刻 nitride  $1000\text{Å}$ 、poly-si  $1000\text{Å}$ 。
- 9、沉積一層厚度為  $1000\text{Å}$  的摻雜磷(phosphorus)poly-si，其濃度為  $5e^{20}(\text{cm}^{-3})$ ，並利用乾蝕刻 poly-si  $3000\text{Å}$  形成 poly si-spacer。
- 10、沉積未摻雜 poly-si  $1000\text{Å}$ ，定義主動區並以濃度為  $5e^{15}(\text{cm}^{-2})$  的磷離子及能量  $35\text{keV}$  下作離子佈植，再以高溫爐管在  $600^{\circ}\text{C}$  下

活化離子 6hrs。

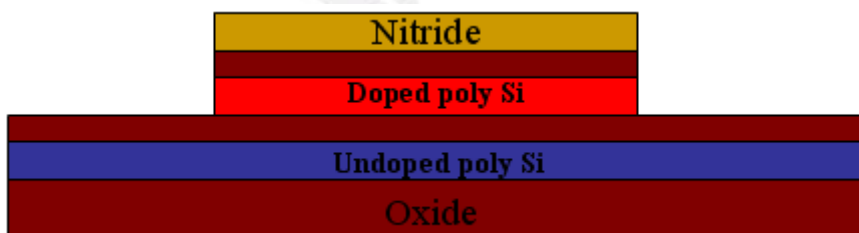
- 11、沉積厚度為 3000Å 的 oxide 做為 Passivation，然後再沉積金屬來定義各極點。



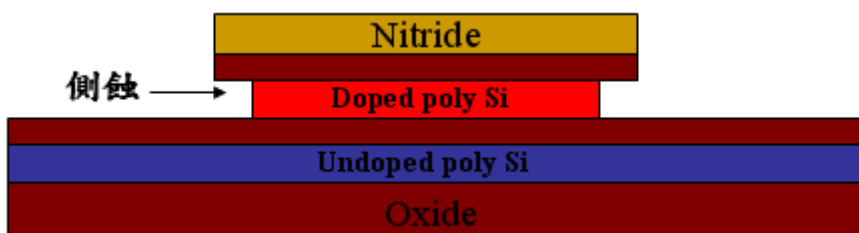
- (a) 熱氧化成長 oxide、沉積未摻雜 poly-si 並定義出主動區



- (b) 依序沉積 oxide、摻雜磷(phosphorus)的 poly-si、oxide、nitride



- (c) 光罩定義閘極，並使用乾蝕刻依序蝕刻 nitride、oxide、poly-si

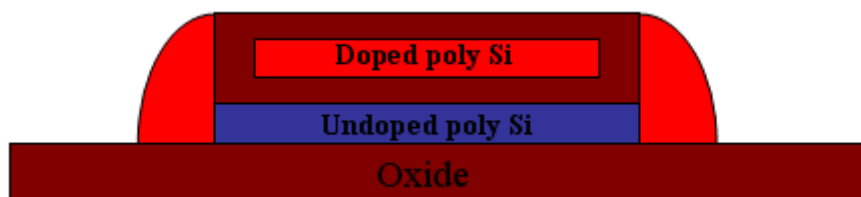


- (d) 利用濕式蝕刻側蝕 poly-si

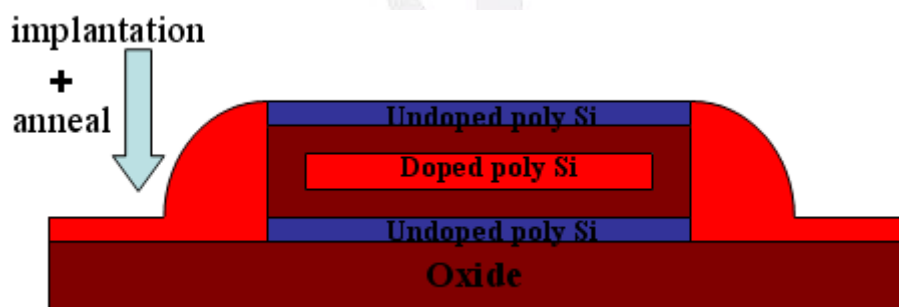




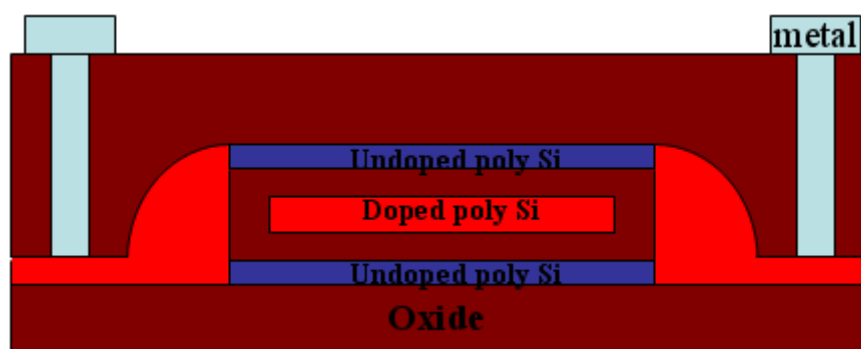
(e) 沉積 oxide，再以乾蝕刻依序蝕刻 oxide、nitride、poly-si



(f) 沉積摻雜磷的 poly-si，並利用乾蝕刻 poly-si 形成 poly si-spacer



(g) 沉積未摻雜 poly-si，定義主動區並離子佈植及退火活化



(h) 沉積 oxide 做 Passivation，並沉積金屬定義各極點

圖2.9 新式DCTFT之關鍵製成步驟

### 第三章 新式單閘極雙通道薄膜電晶體之模擬分析

#### 3-1 前言

我們將以 ISE-TCAD(Integrated System Engineering)此套軟體[3-1]來進行新式單閘極雙通道薄膜電晶體的元件製程與元件設計，並討論調變元件結構參數對元件電性的影響，以及與傳統各種薄膜電晶體結構做電性的比較，驗證本專題計畫提出之結構對於各傳統 TFT 結構，不但能提升元件開電流，亦能降低橫向電場以改善元件不理想效應，以證明此專題的可行性。

#### 3-2 DCTFT 結構

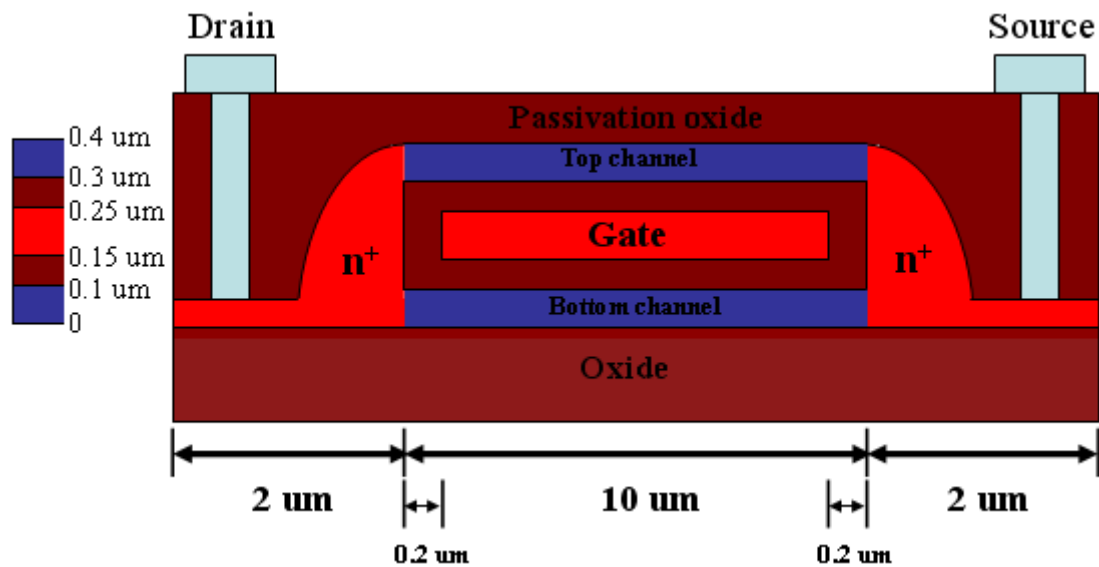


圖3.1 DCTFT之結構

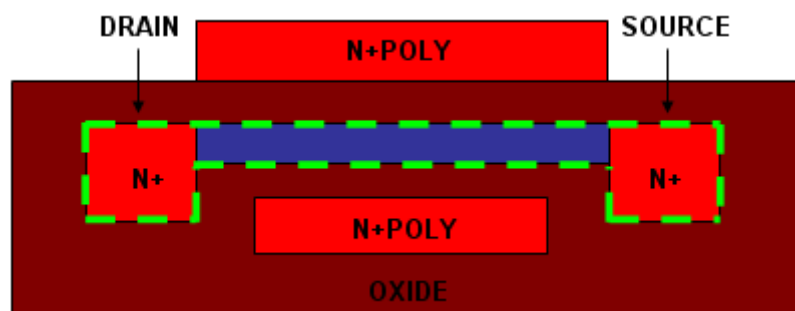
圖 3.1 為 DCTFT 之結構圖，我們以 ISE-TACD 模擬軟體對此結

構的一些製程參數一一分開探討，分別為 Top channel 與 Bottom channel 的結構特性、側蝕寬度、Spacer 寬度等實行結構分析與最佳值(optimum)的萃取，以證明提出之結構的優越特性。

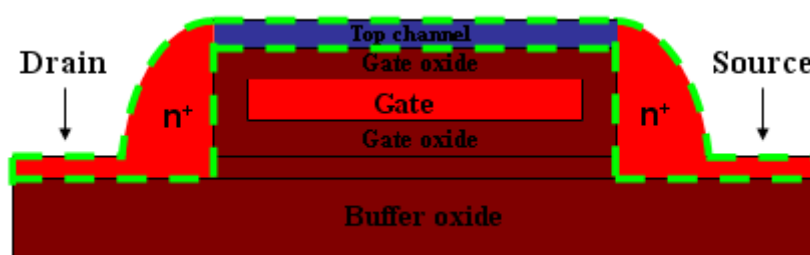
### 3-3 Top channel 與 Bottom channel 結構之探討

為了更清楚得了解與分析此 DCTFT，我們將此結構分為上通道 (Top channel)與下通道(Bottom channel)來一起討論。圖 3.2 為以被提出的 Elevated-Channel 結構與 Top channel 結構和 Bottom channel 結構之比較。從圖中我們可以發現此三個結構都是一種 Raised Source/Drain (RSD)的結構，此種結構的特色為增加 Source/Drain 厚度，利用與薄膜通道(與 RSD 比較之下)的落差使接觸的面積增加而分散電場，這樣能有效的打散水平電場強度，使電場隨之降低，因而降低了漏電流，並提升元件的開關電流比。而 Top channel 和 Bottom channel 比 Elevated-Channel 更有優勢的原因取決於其製造方法。Elevated-Channel 等 RSD 結構大部份需要搭配 CMP 製程才可以完成 [3-2] - [3-3]，而 Top channel 和 Bottom channel 只需要簡單的乾式蝕刻與沉積步驟 3-3 即可實現。圖 3.3 為已被提出的傳統 offset 結構與 Top channel 結構和 Bottom channel 結構之比較。可看出三者通道兩側都有 offset 區來使空間電荷區域之中的峰值電場被有效的降低，而讓崩潰背極小化，降低不理想效應，使結構能有效抑制漏電流，並提升

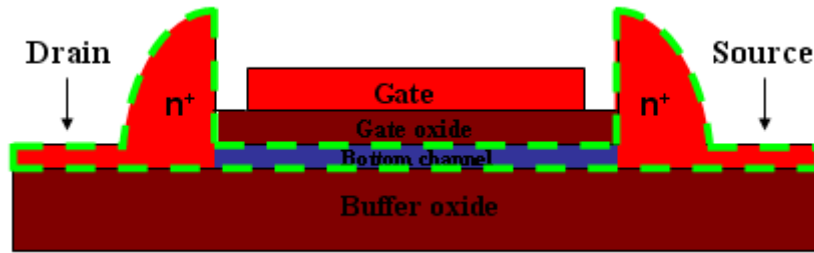
製程的可靠度。因此，Top channel 和 Bottom channel 巧妙的結合了 RSD 與 offset 結構。由於 RSD 與 offset 兩者都能有效的降低電場，這樣一來在兩者相加之下將會大幅的降低電場以改善不理想效應，增加元件特性。幾道簡單的製程就能夠有這麼大的效果，也為薄膜電晶體的發展提供一條新的方向。圖 3.4 為各種傳統型薄膜電晶體和與新式雙通道薄膜電晶體在靠近汲極之電場分佈 (Electrical Field Distribution)，從圖中可以很清楚的發現到，在相同的操作偏壓下 ( $V_{GS}=3.5V$ ,  $V_{DS}=7V$ )，各個傳統型結構的熱點(hot spot)非常明顯，而我們提出的新式 DCTFT 結構其熱點極為不明顯，這表示我們能擁有較低的電場與較大的崩潰電壓，也再次證明了 RSD 與 offset 結構能有效的降低電場使崩潰電壓得以提升。



(a) Elevated-Channel

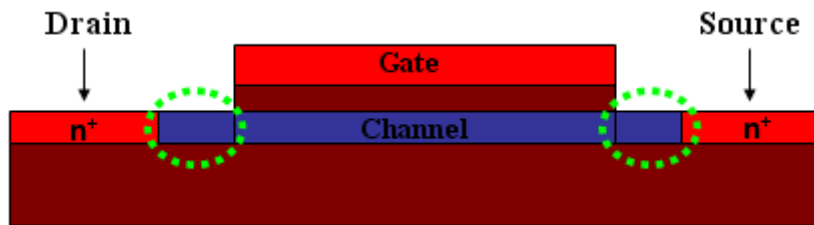


(b) Top channel

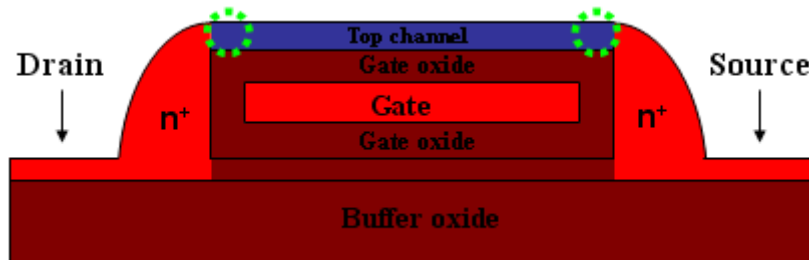


(c) Bottom channel

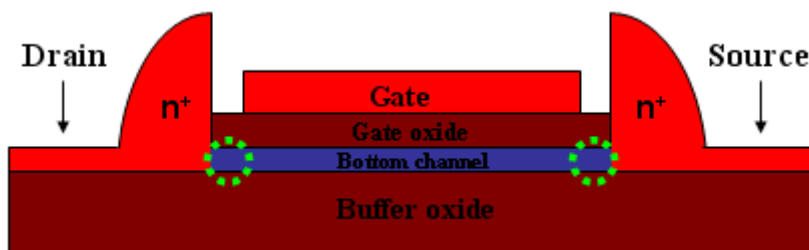
圖3.2 Elevated-Channel與Top channel和Bottom channel之結構圖



(a) Conventional offset

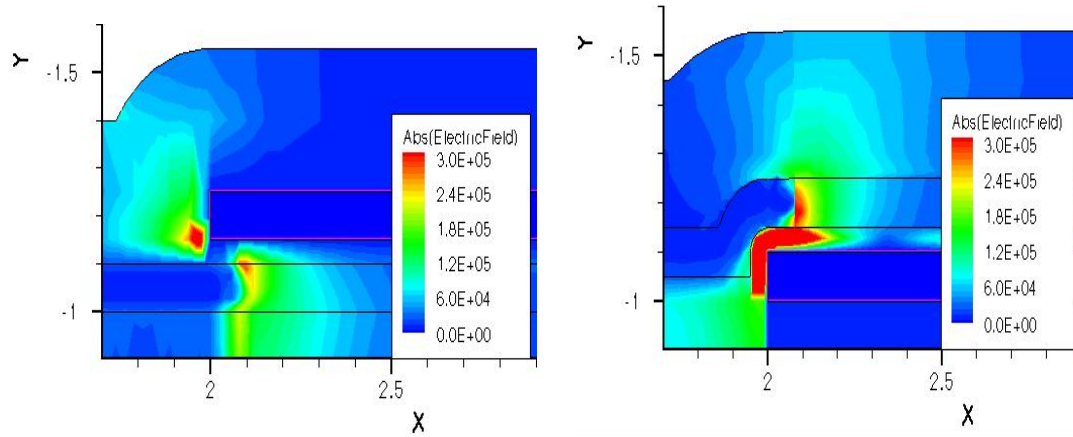


(b) Top channel

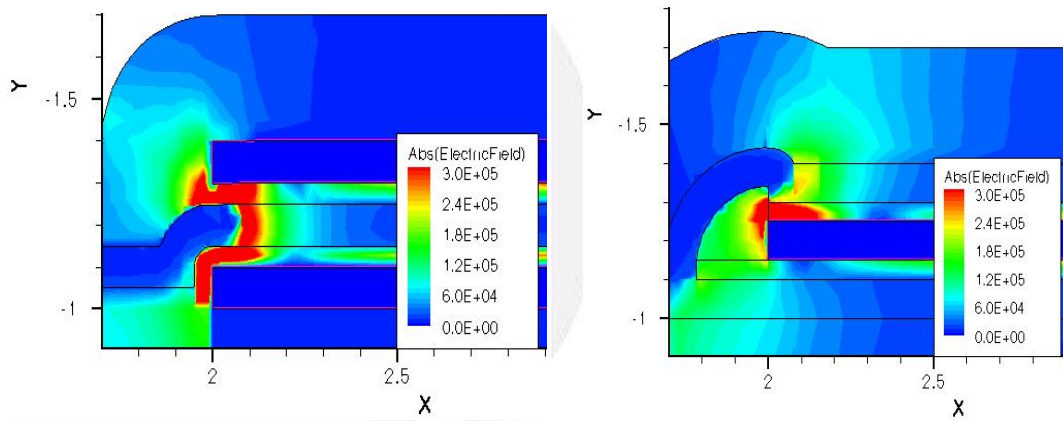


(c) Bottom channel

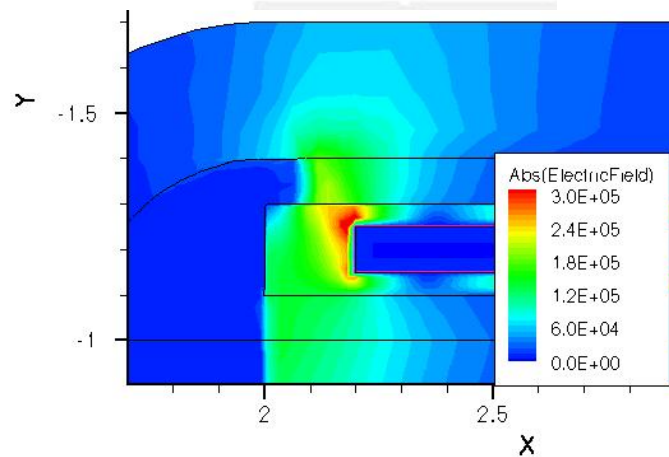
圖3.3 Conventional offset與Top channel和Bottom channel之結構圖



(a) Conventional Top-Gate (左) & Conventional Bottom-Gate (右)



(b) Conventional Double-Gate (左) & Conventional Double-Channel (右)



(c) Double-Channel

圖3.4 新式DCTFT與傳統型TFT結構之電場分布圖

### 3-4 側蝕寬度對 DCTFT 結構之探討

DCTFT 在製程步驟中使用了濕式蝕刻側蝕 Poly-Gate，使得閘極寬度比通道短，使感應通道被空乏，而形成類似 offset 區域，因此使我們提出的 DCTFT 結構擁有 offset 結構，如圖 3.3 所示。offset 結構是利用減少通道感應區域，以增加通道串聯電阻，使其阻值增加，來降低電場。雖然 offset 區域能有效的降低電場和漏電流，但卻也會造成開電流的損失。所以在此我們來討論以側蝕多少的 Poly-Gate 寬度能有效的降低其電場又不會造成開電流的過度下降。我們利用 ISE-TCAD 軟體來模擬當 DCTFT 分別在 Poly-Gate 側蝕  $0.1\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.3\mu\text{m}$  時，DCTFT 的 Top channel 和 Bottom channel 的最高水平電場值及開電流值的比較如圖 3.5、3.6 和表 3.1 所示，其當偏壓操作於相同的情況下，可觀察出當 Poly-Gate 側蝕  $0.1\mu\text{m}$  時的開電流雖然是三者最大，但它的水平電場值卻也過大；而當側蝕  $0.3\mu\text{m}$  時的電場值雖然有顯著的降低，但開電流值卻也下降過多。因為我們想要有效的降低電場並且能保留住開電流值，所以我們選擇斜率大的開電流曲線使得開電流下降幅度能夠最小，並取斜率小的水平電場曲線使得能取到較大的電場下降幅度值，這樣才能最有效率的降低水平電場且損失最少的開電流值。所以我們得到當結構在側蝕  $0.2\mu\text{m}$  時，能較有效率的降低水平電場並且損失較少的開電流值。因此，我們在製程

DCTFT 時就選擇了濕式蝕刻側蝕  $0.2\mu\text{m}$  的 Poly-Gate 作為我們的最佳結構參數。

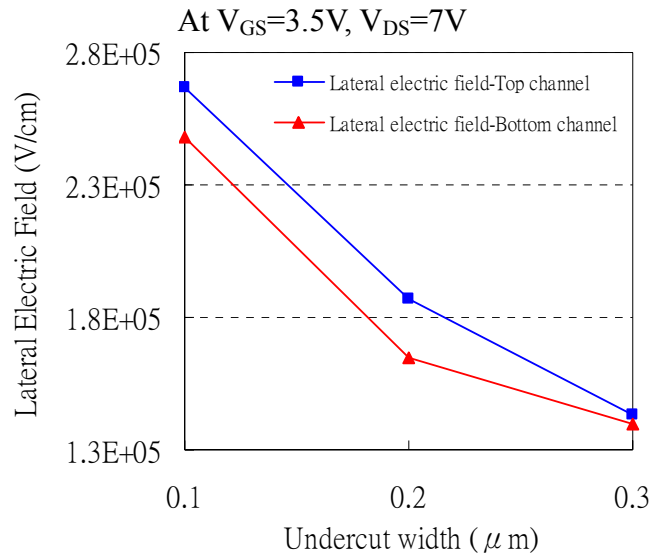


圖3.5 側蝕寬度與水平電場圖

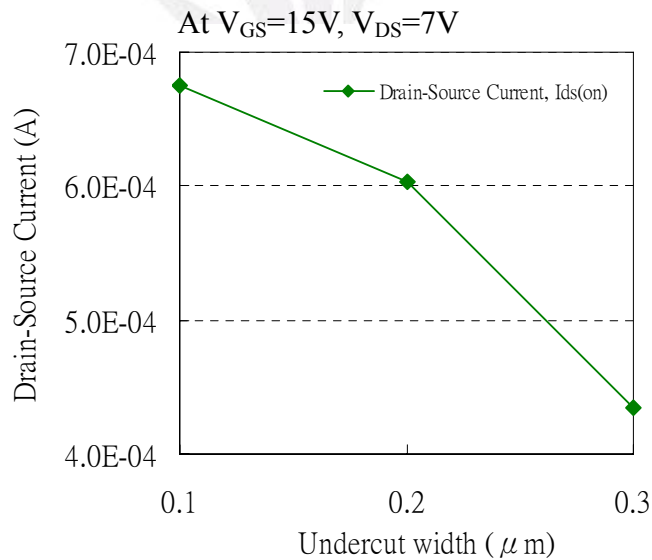


圖3.6 側蝕寬度與開電流圖



	$I_{ds(sat)}$	Top channel- $E_{max}$	Bottom channel- $E_{max}$
側蝕 0.1 $\mu m$	6.75E-04 A	2.67E+05 V/cm	2.48E+05 V/cm
側蝕 0.2 $\mu m$	6.03E-04 A	1.87E+05 V/cm	1.65E+05 V/cm
側蝕 0.3 $\mu m$	4.35E-04 A	1.43E+05 V/cm	1.40E+05 V/cm
側蝕 0.1~0.2 間降幅	10.67 %	29.96 %	33.47 %
側蝕 0.2~0.3 間降幅	27.86 %	23.53 %	15.15 %

表3.1 側蝕寬度與電性值比較表

### 3-5 Spacer 寬度對 DCTFT 結構之探討

前文提到 RSD 結構能夠有效降低結構電場值，而我們結構中的 Spacer 就是 RSD 結構，不過我們想探討當改變 Spacer 寬度時，是否會對結構電場造成影響。改變 Spacer 結構寬度示意圖如圖 3.7 所示，我們取 Spacer 寬度分別在 0.4 $\mu m$ 、0.3 $\mu m$  與 0.2 $\mu m$  的情況下利用 ISE 模擬軟體來觀察其電性值。而如圖 3.8 的水平電場圖所示，當偏壓都操作於  $V_{GS}=3.5V$ ,  $V_{DS}=7V$  的情況下，我們可觀察到當 Spacer 寬度在 0.4 $\mu m$ 、0.3 $\mu m$  與 0.2 $\mu m$  的情況下，不論是 Top channel 或 Bottom channel，其最大水平電場值幾乎沒有任何改變，這也證明了前文所提的 RSD 結構在降電場的能力上只與汲極和通道面積有關，而並無與汲源極寬度有關連，所以我們 Spacer 寬度就取與 Spacer 高度一樣的 0.3 $\mu m$  來做為結構的 Spacer 寬度值。

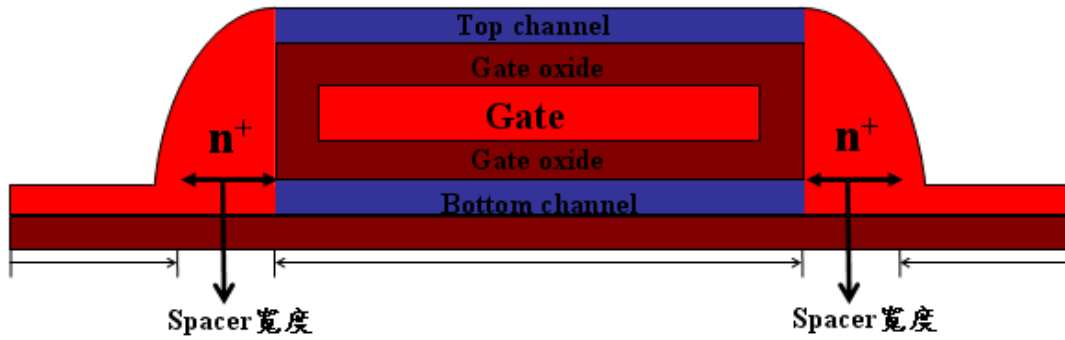


圖3.7 DCTFT之Spacer寬度改變示意圖

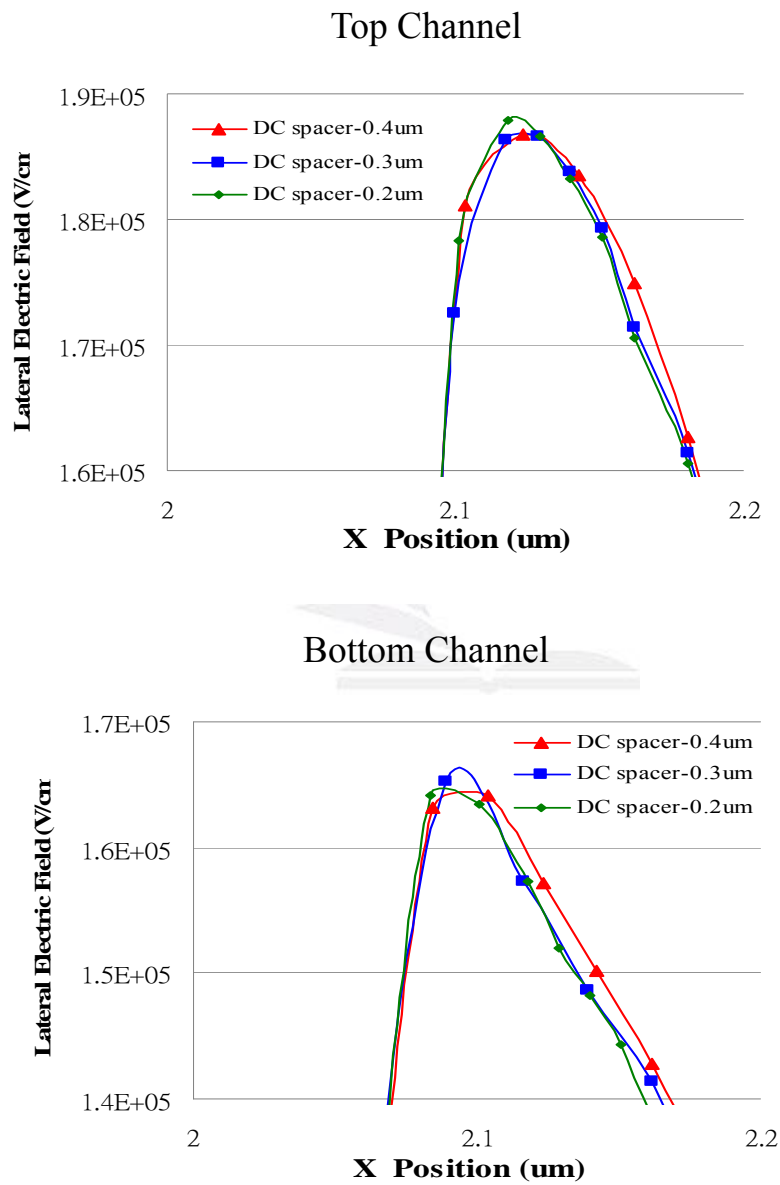
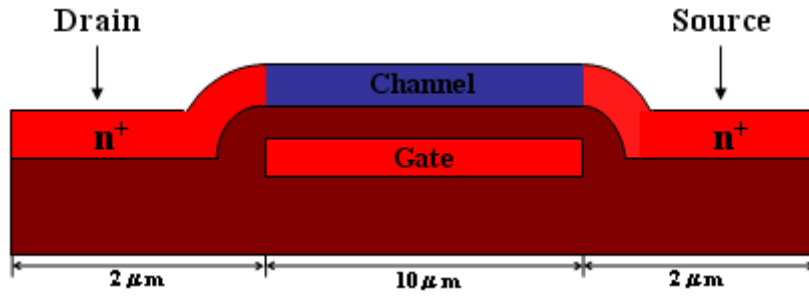


圖3.8 Spacer寬度改變對水平電場圖

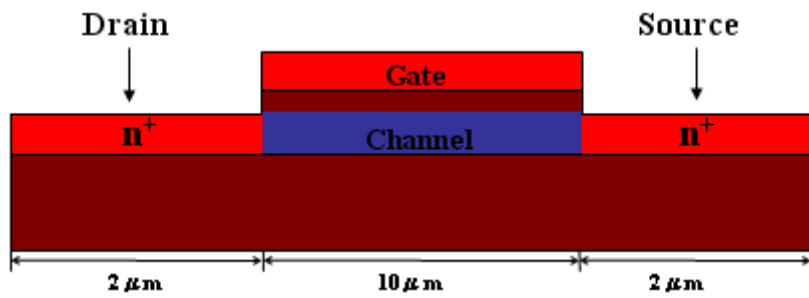
### 3-6 新式 DCTFT 結構與傳統型結構之電性探討

我們利用 ISE-TCAD 模擬軟體針對我們提出的結構與各種不同的傳統型結構如圖 3.9 所示，把各結構放一起來做電性的比較。圖 3.10 為各結構靠近汲極端之水平電場的比較，其偏壓都操作於  $V_{GS}=3.5V$ ,  $V_{DS}=7V$  的情況下。圖 3.11 為各傳統型結構與新式 DCTFT 結構的特性曲線，而其偏壓都操作於  $V_{GS}=15V$ ,  $V_{DS}=7V$  的情況下來比較各種 TFT 結構的開電流值。而圖 3.12 為各傳統型結構與新式 DCTFT 結構的特性曲線，而其偏壓都操作於  $V_{GS}=3.5V$ ,  $V_{DS}=10V$  的情況下來比較各種 TFT 結構的 kink 效應。當傳統的薄膜電晶體 Bottom-Gate 和 Top-Gate 的開電流過小而沒辦法再滿足市場需求時，就提出傳統型雙閘極薄膜電晶體(Conventional Double Gate TFT)，而如圖 3.11(a)所示，雖然 Double-Gate 比 Bottom-Gate 增加了約 2 倍的開電流，但卻也讓 kink 提早發生如圖 3.12(a)所示，且如圖 3.10(a)所示，Double-Gate 的水平電場也高過了 Bottom-Gate。而要改善 Double-Gate 電場過高的問題和 kink 等不理想效應，就提出傳統型單閘極雙通道薄膜電晶體(Conventional Double Channel TFT)，如圖 3.10(b)所示，不論是傳統型雙通道薄膜電晶體的 Top channel 或 Bottom channel，其電場都明顯比 Double-Gate 來的小，且如圖 3.11(b)所示，因為雙通道的關係，可使開電流與 Double-Gate 相同，所以不會損失了 Double-Gate 的高開電

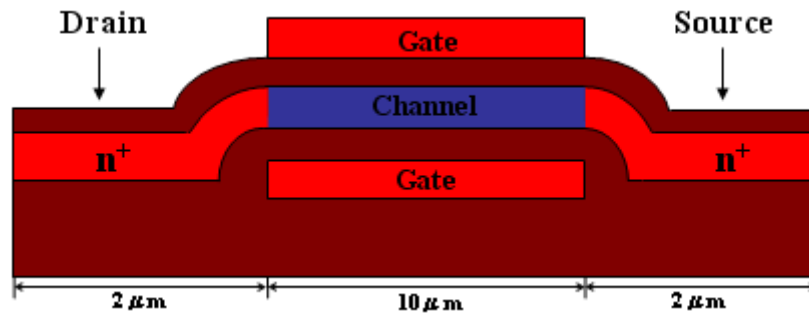
流特性，且如圖 3.12(b)所示，傳統 DCTFT 能有效的延緩 kink 的發生。不過傳統 DCTFT 還是有 Nitride 的高應力及通道長度不相等所造成的臨界電壓不同的問題，所以我們提出了新式單閘極雙通道薄膜電晶體，它不只能改善傳統 DCTFT 的應力和臨界電壓的問題，還可以提升元件的電性，如圖 3.10(c)所示，我們把兩結構的 Top channel 和 Bottom channel 水平電場分開做比較，我們能發現，新式 DCTFT 在不論是 Top channel 或 Bottom channel 中，都有降低水平電場的能力，且如圖 3.11(c)所示，在開電流幾乎相等的情況下，新式 DCTFT 可更加延緩 kink 的發生如圖 3.12(c)所示。而從表 3.2 中所示，我們就能明顯看出在相同偏壓下，我們所提出的新式雙通道薄膜電晶體的電場對於各傳統結構下，確實有很顯著的改善。所以我們可以發現結合了 RSD 與 offset 結構的新式 DCTFT 的確能有效地降低水平電場和有效延緩 kink 的發生，降低其不理想性並增加元件的可靠度，這也印證了我們所提結構的優勢與可行性。



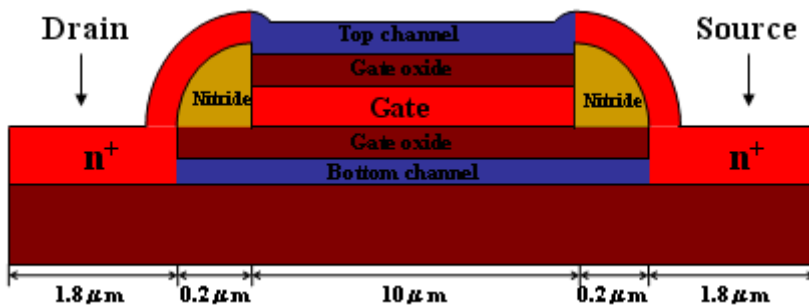
(a) Conventional Bottom-Gate



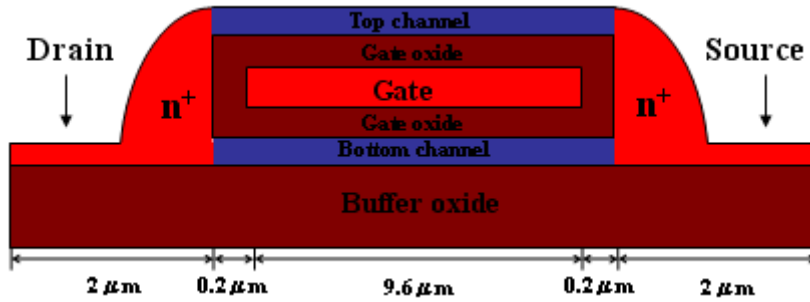
(b) Conventional Top-Gate



(c) Conventional Double-Gate

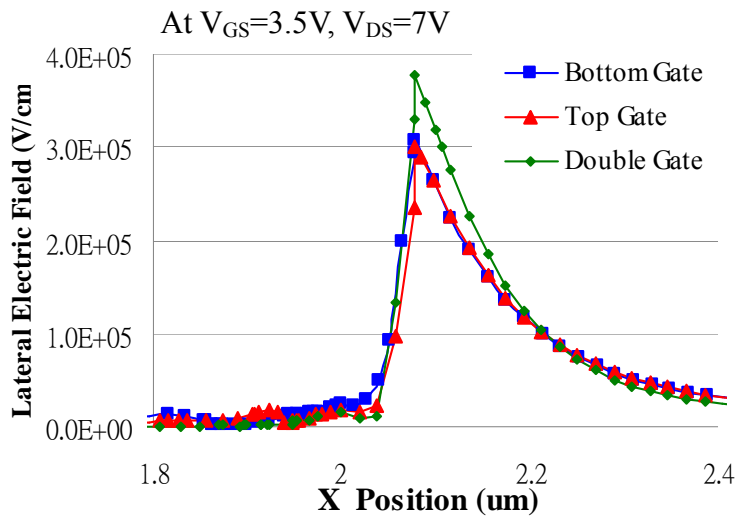


(d) Conventional Double-Channel

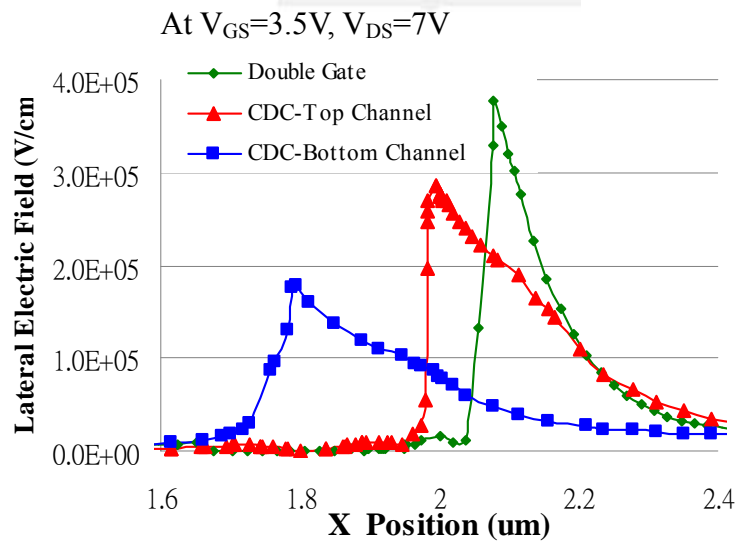


(e) Double-Channel

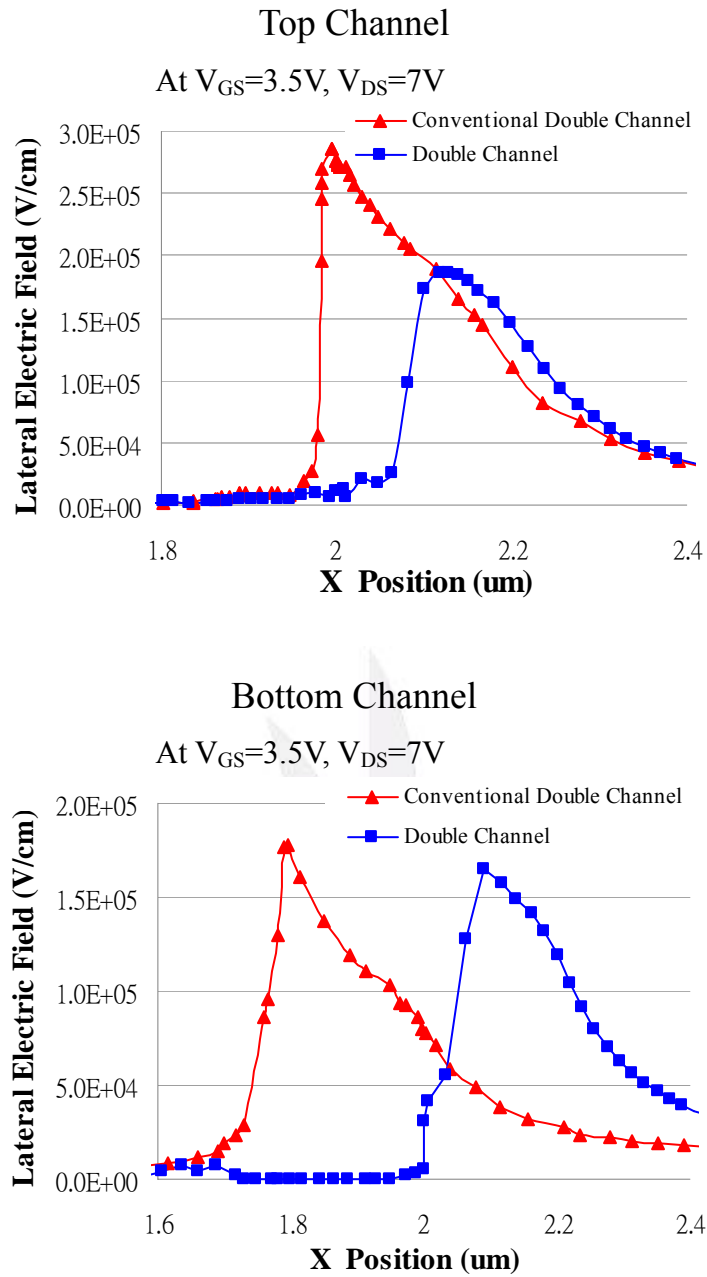
圖3.9 DCTFT與傳統型TFT之結構圖



(a) Bottom-Gate、Top-Gate & Double-Gate

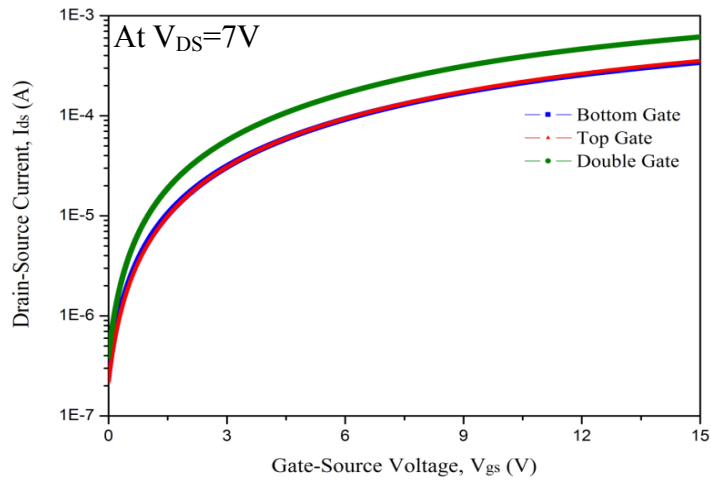


(b) Double-Gate & Conventional Double-Channel (CDC)

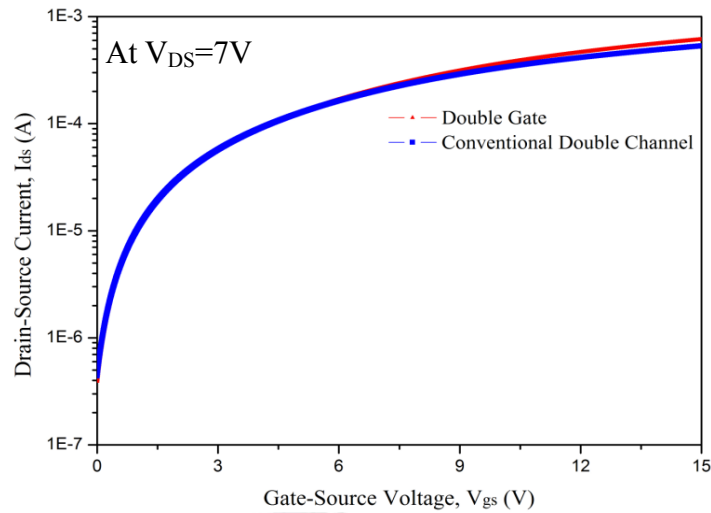


(c) Conventional Double-Channel & Double-Channel

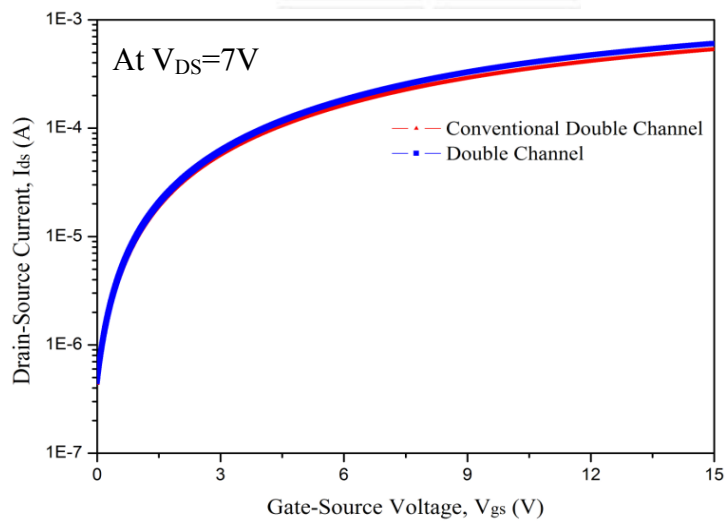
圖3.10 DCTFT與傳統型TFT之水平電場圖



(a) Bottom-Gate、Top-Gate & Double-Gate



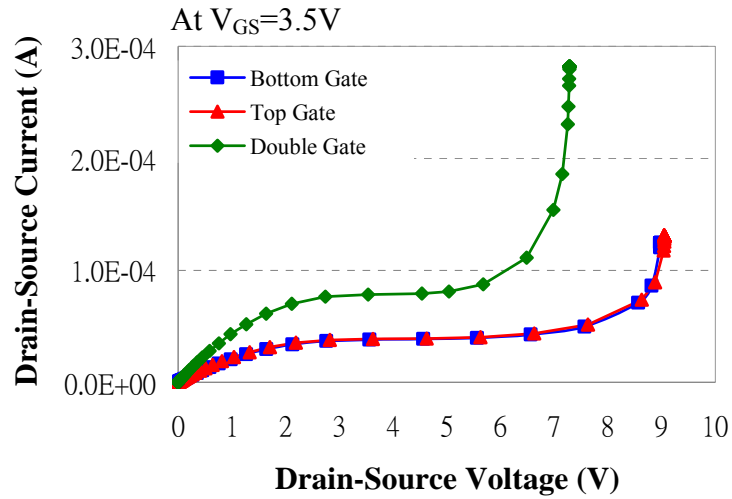
(b) Double-Gate & Conventional Double-Channel



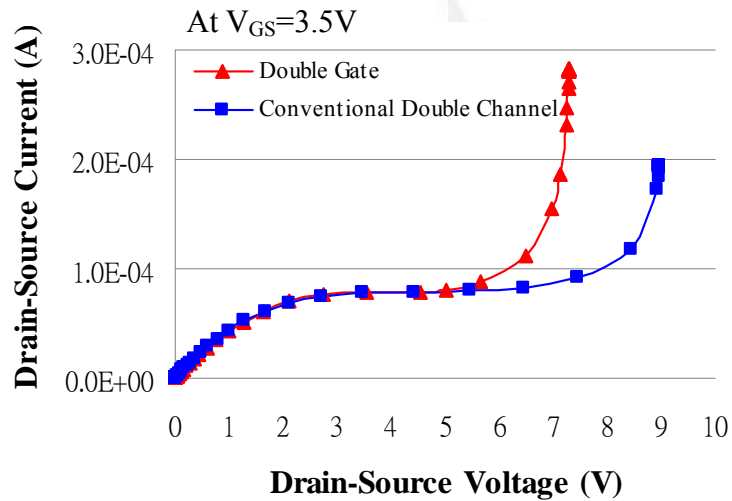
(c) Conventional Double-Channel & Double-Channel

圖3.11 DCTFT與傳統型TFT之特性曲線圖

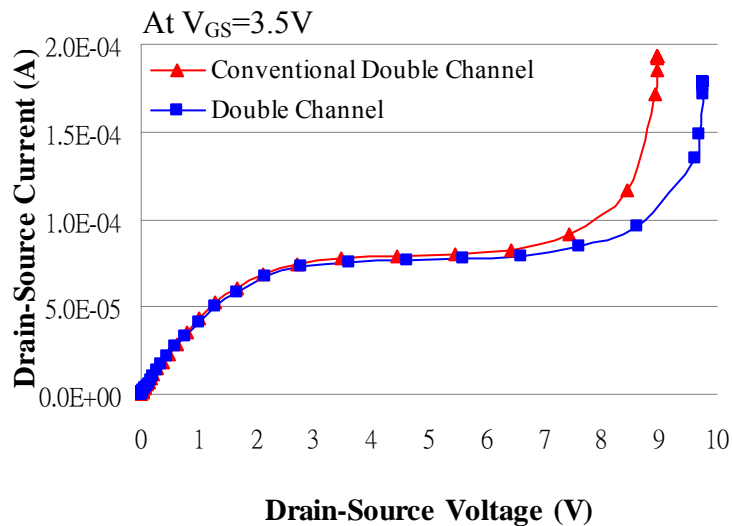




(a) Bottom-Gate、Top-Gate & Double-Gate



(b) Double-Gate & Conventional Double-Channel



(c) Conventional Double-Channel & Double-Channel

圖3.12 DCTFT與傳統型TFT之輸出曲線圖

	Lateral Electric Field(max) (V/cm)	水平電場降幅 with BG / TG / DG / CDC
Bottom-Gate	3.08E+05	
Top-Gate	3.01E+05	
Double-Gate	3.85E+05	
CDC-Top Channel	2.85E+05	
CDC-Bottom Channel	1.77E+05	
DC-Top Channel	1.87E+05	39.3 % / 37.9 % / 51.4 % / 34.4 %
DC-Bottom Channel	1.65E+05	46.4 % / 45.2 % / 57.1 % / 6.8 %

表3.2 各傳統TFT結構與DCTFT之水平電場比較表

	Drain-Source Current, $I_{DS(on)}$ (A)	開電流升幅 with BG / TG / DG / CDC
Bottom-Gate	3.40E-04	
Top-Gate	3.51E-04	
Double-Gate	6.11E-04	
CDC	5.31E-04	
Double Channel	6.03E-04	77.4 % / 71.8 % / 13.6 % / -1.3 %

表3.3 各傳統TFT結構與DCTFT之開電流比較表

## 第四章 結論

在本實驗中，新式單閘極雙通道薄膜電晶體被提出來和證明其結構的可行性。在二維模擬的結果證實了DCTFT在與傳統結構的比較下，此結構能非常有效的降低了汲極端電場值，進而改善了許多不理想效應的發生，使元件能有較良好的特性，而在汲極端崩潰電壓方面，因為降低了通道與汲極端接面的最大電場，也降低了因電場所產生的載子碰撞，所以能有較大的崩潰電壓，且結構也較傳統結構提升了開電流和有效延緩kink effect的發生，讓現在傳統結構漸漸不能滿足應用上對於開關速度和電流驅動的市場需求問題得以解決，而這也證實了RSD和offset結構在應用上能有效的降低電場，來提升元件的可靠性。除此之外，由於DCTFT其結構是往垂直方向發展，所以未來也許可以應用在積體電路上以降低元件密度。

## 參考文獻

- [1-1] S. Gauza, X. Zhu, W. Piecek, R. Dabrowski, and S. T. Wu, "Fast Switching Liquid Crystals for Color-Sequential LCDs," *J. Display Technol.*, vol. 3, no. 3, pp.250-252, Sep. 2007.
- [1-2] S.D. Brotherton, "Topical review Polystalline silicon thin film transistors" *Semicond. Sci. Technol.*, 10, p721-738, 1995.
- [1-3] N. Yamauchi, Jean-Jacques J. Hajjar, Rafael Reif, "Polysilicon thin-film transistors with channel length and width comparable to or smaller than the grain size of the thin film," *IEEE Transactions on Electron Devices*, vol. 38, pp 55-60, 1991.
- [1-4] A. G. Lewis, D. D. Le, and R. H. Bruce, "Poly silicon TFT Circuit Design and Performance," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1833-1841, Dec. 1992.
- [1-5] M. Yazaki, S. Takenaka, and H. Ohshima, "Conduction Mechanism of Leakage Current Observed in Metal-Oxide-Semiconductor Transistors and Poly-Si Thin Film Transistors," *Jpn. J. Appl. Phys.*, Vol. 31, pp. 206-209, 1992.
- [1-6] J.G Fossum. A. Oritzconde, H. Shichijo, S.K. BANERJEE, "Anomalous leakage current in LPCVD polysilicon MOSFET's," *IEEE Transactions on Electron Devices*, vol. 32, pp.1878-1884, 1985.
- [1-7] K.R. Olasupo, M.K. Hatalis, "Leakage current mechanism in sub-micron polysilicon thin film transistors," *IEEE Transactions on Electron Devices*, vol. 43, pp.1218-1223, 1996.
- [1-8] M. Lack, I.W. Wu, T.J. King, A.G. Lewis, " Analysis of leakage currents in poly silicon thin film transistors," in *IEDM Tech. Dig.*, 1993, pp.385-388.
- [1-9] Hongmei Wang, Mansun Chan, Singh Jagar, Yangyuan Wang, Ping K. Ko, "Submicron Super TFTs for 3-D VLSI Applications," *IEEE Transactions on Electron Devices*, vol. 21, no. 9, Sept. 2000.
- [1-10] T. E., "Hot carrier effects in sub micrometer MOS VLSIs.," *Proc. IEEE*, 131, p.153.
- [1-11] E. Takeda, C.Y Yang, A.M. Hamada, "Hot-Carrier Effects in MOS Devices," Academic Press, 1995. Chapter 2.
- [1-12] M. Hack, A.G. Lewis, "Avalanche Induced Effects in poly silicon thin film Transistors," *IEEE Electron Device Letters.*, vol. 12, no

5, May. 1991.

- [1-13] A. Valletta, P. Gaucci, L. Mariucci, G. Fortunato, "Modeling velocity saturation and kink effects in p-channel polysilicon thin film transistors," *thin solid films*, vol.515, pp. 7417-7421, 2005.
- [2-1] R. J. Nemanichi, R. T. Fulks, B. L. Stafford, and H. A. Vanderplas, *J.Vac .Sci. Techol.*, A3,938,1985.
- [2-2] 陳志強 編著 "LTPS低溫複晶矽顯示器技術" 全華科技圖書股份有限公司 p.2-12~2-14 2004.
- [2-3] H. C. Lin, K. L. Yeh, R. G. Huang, C. Y. Lin, and T. Y. Huang, "Schottky Barrier Thin-Film Transistor (SBTFT) with Silicided Source/Drain and Field-Induced Drain Extension", *IEEE Electron Device Lett.*, vol. 22, no. 4, April 2001.
- [2-4] W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura, and T.Ogura," Design Optimization of High Breakdown Voltage AlGa<sub>N</sub>-Ga<sub>N</sub> Power HEMT on an Insulating Substrate for RONA-VB Tradeoff Characteristics", *IEEE Trans. Electron Devices*, vol. 52, no. 1, January 2005.
- [2-5] Kow Ming Chang, Gin Min Lin, Guo Liang Yang, "A Novel Low-Temperature Polysilicon Thin-Film Transistors With a Self-Aligned Gate and Raised Source/Drain Formed by the Damascene Process", *IEEE Electron Device Letters*, vo28, no.9 Sept.2007.
- [2-6] Kow-Ming Chang, Wen-Chih Yang, Bing-Fang Hung, "High-performance RSD poly-Si TFTs with a new ONO gate dielectric", *IEEE Transactions on Electron Devices*, vol 51, no. 6, Dec.2004.
- [2-7] A.K. K.P., J. K. O. Sin, C. T. Nguyen, and P. K. Ko, "Kink free polycrystalline Silicon Double Gate Elevated Channel Thin Film Transistors", *IEEE Transactions on Electron Devices*, vol 45, no. 12, Dec.1998.
- [2-8] Feng-Tso Chien, Chin-Mu Fang, Chien-Nan Liao, Chii-Wen Chen, Ching-Hwa Cheng, Yao-Tsung Tsai, "A Novel High-Performance Poly-Silicon Thin-Film Transistor With a Double-Channel Structure", *IEEE Electron Device Letters*, vo29, no.11 Nov 2008.
- [3-1] *ISE-TCAD Manuals*, release 10.0.

- [3-2] K. M. Chang, G. M. Lin, and G. L. Yang, ” A Novel Low-Temperature Polysilicon Thin-Film Transistors With a Self-Aligned Gate and Raised Source/Drain Formed by the Damascene Process,” *IEEE Electron Device Lett.*, vol. 28, no. 9, Sep. 2007.
- [3-3] Y. Kuo, “Thin Film Transistors: Materials and Processes,” Kluwer Academic, New York, p157-p158, 2004.

