



逢甲大學學生報告 ePaper

報告題名：

薄膜電晶體汲極結構設計對電場之影響

**The Effect of the Drain Structure Design of the
Poly-silicon TFT on the Electric Field**

作者：劉俊宏

系級：電子四乙

學號：D9572711

開課老師：簡鳳佐 老師

課程名稱：專題研究(一)

開課系所：電子工程學系

開課學年： 98 學年度 第一 學期



英文摘要

We discuss the reduction the lateral electric field causes of different raised source and drain (RSD) structure that Top RSD, Bottom RSD, Bottom Extend RSD in poly-Si TFT devices using a thick drain structures. The RSD structure can distribute the lateral electric field to the channel near the drain region. Experimental results and numerical simulation of different RSD structures are analyzed in detail. In the detail, the Top RSD structure is 32% reduction in lateral electric field compared to the conventional device. In addition, the Bottom RSD structure is reduced compared to the conventional while still maintaining the same lateral electric field. In addition, the Bottom Extend RSD structure using ion implantation 85keV is 23% reduction in lateral electric field compared to the conventional device.

Thin-film transistors (poly-Si TFT) devices made with thinner film on glass or plastic have the advantage of lower grain boundary trap density, high mobility, and higher on-state current compared to thick film devices. But thin film devices experience a high electric field at the channel/drain junction region when the devices is operated in the saturation region. This high electric field is the major cause of impact ionization at the channel/drain junction region, which results in the accumulation of holes on the floating body of the device. This hole accumulation causes a profound kink effect in the I-V characteristics of thin-film devices, which in turn deteriorates the output characteristics and reduces the gain of the transistor. This is a serious problem in poly-Si TFT. Recently, a study on the influence of lateral electric field on the anomalous leakage current and kink effect of poly-Si TFT has been reports. It was found that the high lateral electric field at the channel/drain junction can be effectively reduction by use of the raised source and drain (RSD). This project reports, for the first time to find out the reduced the lateral electric field causes of different RSD structures that Top RSD, Bottom RSD, and Bottom Extend RSD in poly-Si TFT devices using a thick drain structure.

Index terms: Thin-film transistors、raised source and drain (RSD)、channel/drain junction

中文摘要

複晶矽薄膜電晶體因為擁有較高的場效應遷移率與驅動電流，在許多方面像主動式液晶顯示器、太陽能電池、記憶元件等的發展已經受到矚目。然而，傳統的複晶矽薄膜電晶體其特性已經不能夠滿足市場所需要的速度與驅動電流。

許多已發表的論文中得知藉由使用汲源極增厚使得結構有厚的汲/源極，由於汲/源極的面積增加而分散電場，這樣能有效的分散水平電場強度，使電場隨之降低，因而降低了漏電流，也能有效的提供元件有較高的開關電流比。

在本實驗中，我們抱持著懷疑的態度，去探討汲源極增厚，對電場的影響。我們可以從實驗結果中得知，汲源極增厚不一定能降低電場，而是因為汲極結構的不同，而造成電場不同的下降原因。本實驗將會推論出，不同汲源極增厚結構降電場的主要原因。

關鍵字： 薄膜電晶體、抬升式汲源極、通道與汲極接面深度

目次

英文摘要	i
中文摘要	ii
目次.....	iii
圖目錄	iv
表目錄	v
第一章 緒論	1
1-1 薄膜電晶體簡介	1
1-2 複晶矽薄膜電晶體的關鍵製造技術	5
1-3 不理想效應	9
1-3.1 漏電流(Leakage Current)	10
1-3.2 扭結效應(Kink Effect).....	13
1-3.3 熱載子效應(Hot Carrier Effect).....	15
1-4 薄膜電晶體之基本結構	18
第二章 實驗設計	23
2-1 RSD	23
2-2 Bottom 結構.....	23
2-3 TOP 結構.....	24
2-4 製成步驟	25
2-4.1 Bottom 製成步驟.....	25
2-4.2 Top 製程步驟.....	27
2-4.3 邊緣增厚 Oxide 製程步驟.....	29
第三章 實驗結果與討論	32
3-1 前言	32
3-2 Bottom 結構與傳統薄膜電晶體之 RSD 探討	32
3-2.1 接面深度探討	33
3-2.2 改變離子佈植能量	35
3-2.3 Bottom 往源極增加寬度比較	37
3-3 Top 結構與薄膜電晶體之 RSD 探討	38
3-3.1 單純增厚邊緣 Oxide 結構.....	39
3-3.2 改變離子佈植能量	41
第四章 結論	43
參考文獻	44

圖目錄

圖 1-1 三種不理想效應	10
圖 1-2 漏電流效應的機制	12
圖 1.3 扭結效應	14
圖 1.4 kink effect 之寄生 BJT 與 Kink current	14
圖 1.5 熱載子效應	18
圖 1.6 薄膜電晶體常見之基本結構圖	21
圖 1.7 場引效汲極 FID	21
圖 2.1 對齊 Bottom 結構	24
圖 2.2 不對齊 Bottom extend 結構	24
圖 2.3 TOP 結構	25
圖 2.4 增厚邊緣 Oxide 結構	25
圖 2.5 Bottom 結構關鍵製程步驟	27
圖 2.6 Top 結構關鍵製程步驟	29
圖 2.7 邊緣增厚 Oxide 關鍵製程步驟	31
圖 3.1 傳統薄膜電晶體(a)與 Bottom (b)的結構示意圖	32
圖 3.2 Conventional 與 Bottom 橫向電場模擬數據	33
圖 3.3 Bottom(a)與 Bottom extend (b) 接面深度示意圖	34
圖 3.4 Conventional、Bottom 與 Bottom extend 橫向電場模擬數據	34
圖 3.5 Conventional (a)、Bottom (b)、Bottom extend (c) 離子佈植能量 35KeV 的濃度分佈	35
圖 3.6 Bottom 不同離子佈植能量(a)35KeV(b)85KeV 濃度分佈	36
圖 3.7 Bottom extend 不同離子佈植能量(a)35KeV(b)85KeV 濃度分佈	36
圖 3.8 Conventional、Bottom、Bottom extend 橫向電場模擬數據	36
圖 3.9 定義 $X=0 \mu\text{m}$ 為 Bottom 結構，改變 $X=0.5、1、10 \mu\text{m}$	37
圖 3.10 最大電場曲線圖	37
圖 3.11 Conventional (a)與 Top (b) 示意圖	38
圖 3.12 Conventional、Top 橫向電場模擬數據	39
圖 3.13 邊緣增厚 Oxide 與離子佈植濃度示意圖	39
圖 3.14 Top (a)與單純增厚邊緣 Oxide 結構(b) 示意圖	40
圖 3.15 Conventional、Top、增厚邊緣 Oxide 橫向電場模擬數據	40
圖 3.16 Top 結構不同離子佈植能量(a)35KeV 與(b)85KeV 濃度分佈	41
圖 3.17 Conventional、Top35KeV、Top85KeV 橫向電場模擬數據	42
圖 3.18 Top 能量 35KeV(a)、Top 能量 85KeV(b) 以及單純增厚邊緣 Oxide(c) 的電場圖	42

表目錄

表 1.1 薄膜電晶體技術分類比較表	5
表 1.2 各種複晶矽製作手法之比較	6
表 3.1 Conventional 與 Bottom 橫向電場大小	33
表 3.2 Conventional、Bottom 與 Bottom extend 橫向電場大小	34
表 3.3 Conventional、Bottom、Bottom extend 橫向電場大小	36
表 3.4 Conventional、Top 橫向電場大小	39
表 3.5 Conventional、Top、增厚邊緣 Oxide 橫向電場大小	40
表 3.6 Conventional、Top35KeV、Top85KeV 橫向電場大小	42



第一章 緒論

1-1 薄膜電晶體簡介

顯示器(Monitor)是用來表現出電腦運算出來的數值或畫面，顯示器大致分為陰極射線管(CRT, Cathode Ray Tube)跟液晶顯示器(LCDs, Liquid Crystal Displays)二種。然而陰極射線管螢幕具有體積大、重量重、幅射量高、畫質較差等缺點，隨著薄膜電晶體(TFT, Thin Film Transistor)的大量研究及量產，其純熟的發展讓使用薄膜電晶體當開關元件的液晶顯示器以飛快的速度不斷的演進，液晶擁有重量輕、省電、可攜帶、無輻射及全色彩等優點，因而取代陰極射線管螢幕而成為主流產品，加上網際網路與無線電通訊技術的急遽發展，資訊化漸漸普及個人，因此應用於可攜式資訊產品，例如：個人數位助理(PDA)、數位相機(Digital Camera)、手機面板(Cell Phone)、電腦螢幕(Monitor)、液晶電視(LCD TV)、筆記型電腦(Note Book)等，均迅速發展與成長。雖然薄膜電晶體特性近似於 MOSFET，但是半導體層是由沉積所形成的，比單晶矽半導體有更多的缺陷(Defect)與結晶的瑕疵發生在薄膜上，導致更多複雜的傳導機制，為了要改善元件特性、可再現性(Reproducibility)與可靠度，Bulk 與表面缺陷密度必須要降低[1]。TFT 又分成非晶矽(a-Si TFT)與複晶矽(Poly-Si)兩種，上述兩

模式同樣都是在各畫素下設置 TFT 元件畫素切換，通常灰階控制都是採用電壓變調方式。而目前薄膜電晶體大多製造於非晶矽 (amorphous-Si) 或者複晶矽 (poly-Si) 材料上，其特性及物性如表 1.1 所示。隨著顯示器面積的增大和像素的提高，TFT 對於像素的提高需俱備高移動率的載子，而驅使 TFT 顯示器必須減短其充放電時間。

非晶矽薄膜電晶體 (Amorphous-Silicon Thin Film Transistors)

非晶矽薄膜電晶體顧名思義其通道所採用的材質為含有大量氫的非晶矽 (a-Si:H)，而非晶矽薄膜電晶體在高效能電路的應用上受限於他本身不理想的性能，例如它的載子遷移率非常的低，小於 $1 \text{ cm}^2/\text{V}\cdot\text{s}$ ，如此低的載子遷移率不僅限制了它的驅動能力也使它無法整合高速的周邊驅動電路，因此非晶矽薄膜電晶體通常只用在畫素的開關元件上，無法製作週邊的驅動電路與控制電路。而由於非晶矽薄膜電晶體為了提高驅動電流，必須要有更大的元件尺寸，這會造成畫素的開口率 (Aperture Ratio) 無法提高，所以亮度和解析度也無法提升，只由於它的製程費用低廉簡單，使他仍為主動式陣列的顯示器 (AMLCDs, Active-Matrix Liquid Crystal Display) 應用上的主流 [2][3]，使他在可靠度上也較複晶矽薄膜電晶體顯示器為差。隨著製程技術演進，使得複晶矽薄膜電晶體成為取代非晶矽薄膜電晶體一項重要的技術。

複晶矽薄膜電晶體(Polysilicon Thin Film Transistors)

複晶矽薄膜電晶體利用一些結晶技術提高晶粒的大小，擁有較高的載子遷移率，所以較小元件的尺寸是被允許的，這代表了較佳的開口率與較高的明亮度。因此我們則選擇用複晶矽薄膜來當作主動區(active region)的材料，以便於解決非晶矽低載子遷移率的問題。一般來說，複晶矽薄膜製作的方式有直接沉積複晶矽薄膜(As-deposited)及沉積非晶矽再回火的兩種方式。直接沉積複晶矽通常在 600°C 以上，一般的玻璃基板無法使用，且直接沉積的複晶矽薄膜，其晶粒(Grain)較小，缺陷(Defect)較多，以此方式製作的薄膜電晶體特性會較差，所以通常無人使用此方式製作。另一種製作為先利用低壓化學氣相沉積(LPCVD, Low Pressure Chemical Vapor Deposition)、電漿輔助化學氣相沉積(PECVD, Plasma-Enhanced Chemical Vapor Deposition)或濺鍍(Sputtering)的方法沉積非晶矽薄膜，再利用熱處理的方式使其轉變成複晶矽薄膜。複晶矽有許多優點，例如：有高載子遷移率、優良的操作穩定性及較長的生命週期(lifetime)、具有低的寄生電容以及和互補式金氧半場效應電晶體(CMOS)結構具有相容性，由於具備這些優點，因此可以使得主動式陣列開關元件整合在相同的基底，這樣可以減少製作上的成本和增加可靠度[4]。

複晶矽除了應用在主動式陣列的顯示器(Active-matrix liquid

crystal display, AMLCDs)上外，也有應用在一些記憶體元件如靜態隨機存取記憶 (SRAMs, Synchronous Dynamic Random Access Memory)、可清除程式化唯讀記憶體 (EPROM, Erasable Programmable Read-Only Memory)、電子式可清除程式化唯讀記憶體 (EEPROMs, Electrically Erasable Programmable Read-Only Memory)等[5][6]。隨著生活越來越講究，可攜帶式的科技產品須具備有高密度積體電路製造以及低功率消耗的特點，這些需求已可用傳統式的方法將元件積體化就可達成了，但以目前發展中科技水準而言，傳統的方法已達到其技術的限制了，為了去突破積體電路技術的限制，因而發展三維(3-D)的積體電路技術，複晶矽的 TFT 已可達成三維的積體電路技術[7]-[9]，此積體電路技術的應用在之前所說的一些記憶體元件(SRAMs、EPROM、EEPROMs)上。複晶矽電晶體相對於單晶矽電晶體一直被認為是大有可為的材料,由於它的高載子遷移率，約一百倍相對於傳統的非晶矽電晶體，使它非常有希望的為未來高速的主動陣列的顯示器提供解決方案，雖然高溫製程能使複晶矽有高效能，低缺陷的優點，但整合周邊電路於玻璃基板的廉價優勢，使研究製程溫度在 600 度以下的低溫複晶矽薄膜電晶體引起了廣泛的興趣。

低溫複晶矽薄膜電晶體與目前所用的非晶矽薄膜電晶體相比

較，成本較為便宜，具有更高的解析度，此係電子在複晶矽的傳輸速率較快，品質較優良。此外，低溫複晶矽薄膜電晶體可在玻璃面板上嵌入驅動元件，可以大幅度節省另外保留驅動 IC 的空間。此外，低溫複晶矽在系統整合成功的關鍵在於元件的結構、新的製程及其因應而生設備的成功發展。由元件結構與其製作的觀點來看，所因應發展的技術應能提供出有效的畫素(Pixel)元件，高電流的驅動元件，高電流的數位元件，Kink-free 的類比元件，大電荷儲存的電容器，極有效的記憶體元件。目前，在此領域的研究者已經應用低溫複晶矽技術將上敘的一些元件放在一起，但仍無技術可提供所有需要的元件。

TFT skill	A-Si	Low temperature Poly-Si	High temperature Poly-Si	Single crystal
Substrate	Glass	Glass	Quartz	Silicon wafer
Mobility (cm ² /V sec)	0.1~1	50~500	100~150	600~700
Leakage Current	Low	Large	Large	Low
Sensitivity	High	Low	Low	Low
Operating frequency(Hz)	100K	10M	>10M	1G
Device design(μm)	10~100	1~10	~10	<1
Temperature(°C)	<300	<600	<900	<1100

表 1.1 薄膜電晶體技術分類比較表

1-2 複晶矽薄膜電晶體的關鍵製造技術

在複晶矽薄膜電晶體中，晶粒與晶粒邊界的缺陷是一個很嚴重的

問題，影響電晶體在主動式陣列顯示器的應用上，這些晶粒邊界的缺陷補抓電荷影響電晶體的電性表現如載子遷移率、元件漏電流、臨界電壓及元件操作時高電場與缺陷交互作用的不理想效應都會造成元件特性的衰減。因此在複晶矽薄膜電晶體的製作上主要致力於改善複晶矽的品質，以提高晶粒的大小與減少晶粒邊界的缺陷。目前主要的低溫再結晶的製程方法有三種：固相在結晶(SPC，Solid Phase Crystallization)[10]、利用沉積金屬與矽反應進行結晶(MIC，Metal-Induced Crystallization) [11]、與準分子雷射(ELA，Lightly Doped Drain)，其優缺點如表 1.2 所示。

Property Poly-Si	Mobility	Large area capability	Uniformity	Throughput
As-deposited	△	○	○	○
Furnace anneal(SPC)	○	○	○	△
Rapid thermal anneal	○	×	×	△
Laser anneal	◎	×	×	△

◎=Excellent，○=Good，△=Fair，×=Poor

表 1.2 各種複晶矽製作手法之比較

固相再結晶(SPC，Solid Phase Crystallization)

所謂的固相結晶是利用加熱的方式使矽原子得到足夠的能量而重新排列。但其形成機制屬於均質成核，在非晶矽膜的每個位置都有

可能成核，導致成核數目過多，使得晶粒在成長的過程中，受到周圍晶粒的空間限制而無法得到大晶粒。一般處理方式是將非晶矽薄膜在 600°C 熱處理20~48 小時，得到的晶粒尺寸與退火時間成正比關係，此種方式退火24 小時所得到的複晶矽尺寸約100nm，與直接成長複晶矽薄膜相比，仍具有較大的顆粒，因此有較高的載子遷移率，且薄膜表面粗糙度也較低。但是固相在結晶也有缺點的，第一：其回火溫度仍太高、第二：其回火時間太長、第三，其薄膜包含太多缺陷，高製程溫度侷限了以玻璃為基板的應用。除此之外，其缺陷影響了薄膜電晶體的特性。

準分子雷射退火(ELA, Lightly Doped Drain)

利用準分子雷射加熱矽薄膜，將矽薄膜內之內應力及一些缺陷加以消除，所施加的準分子雷射能量將提供晶格原子及缺陷在矽薄膜內的振動及擴散，使得矽原子重新排列，進行轉變成複晶矽。由於準分子雷射之照射僅在局部區域，僅讓照射區之矽薄膜部分承受較高之熱量，因此其他區域受到準分子雷射的熱衝擊則較小或者甚至沒有，因此準分子雷射退火又被稱為低溫製程。擁有比固相在結晶技術更大的晶粒以及較快的製程速度，但其表面較固相在結晶為不平坦，目前廣為工業界所應用，也被認為最有可能替高速的主動是陣列顯示器提供解決方案。

金屬與矽反應進行結晶(MIC, Metal-Induced Crystallization)

金屬誘發結晶是選用與矽產生共晶反應的金屬，例如：Al、Au 等，溫度通常比一般單相結晶的溫度低，且金屬溶解在矽中會減弱矽鍵同時可加強非晶矽的結晶，所以可以在低溫下產生結晶。另一種方式是利用金屬與矽反應成矽化物，例如：Ni、Pd 等，在矽化物移動的過程中，金屬原子的自由電子與Si-Si 共價鍵發生反應，以NiSi₂ 作為矽結晶的晶種，降低非晶矽結晶所需的能障，使得結晶溫度降低。但晶粒成長所夾帶的金屬矽化物累積在晶粒邊界存在通道內部將嚴重的影響到元件漏電流的表現。

在考慮薄膜品質與量產需求下，準分子雷射退火為目前工業界所採用的方式，也是日後製作超高性能的低溫複晶矽薄膜電晶體(LTPS, Low Temperature Poly-Silicon)的唯一技術。低溫複晶矽是一個在製造TFT LCD方面的先進製程技術，可以達到極佳的影像品質及反應時間，具備雷射回火技術，可以在低於攝氏400度溫度下達成矽膜結晶必提供更快的電子反應，使用的接點極元件更少，且功率消耗更低。低溫複晶矽薄膜電晶體由於具有較高的載子移動率，一般都大於100cm²/V-S，所以除了可以用作畫素的開關元件，還可以用將週邊電路同時製作於同一個面板上，達到系統在面板(SOP, System On Panel)的目標[12]，且由於少了黏貼晶片的製程步驟，其可靠度面板體

積與重量都可以獲得改進，但相較於非晶矽薄膜電晶體，低溫複晶矽薄膜電晶體具有較大的漏電流，易造成影像資料的流失，必須靠改良元件的結構來改善，不過缺點是將會增加元件製作的複雜及良率。

1-3 不理想效應

雖然複晶矽薄膜電晶體(Poly-Si TFT)擁有高載子遷移率，但非常大的漏電流相較於傳統的非晶矽，使得複晶矽電晶體在做像素切換開關時，非常的不盡理想[13]。當元件尺寸越做越小時，一些非理想狀況就會產生，例如短通道效應，漏電流效應，扭結效應及熱載子效應等，這些非理想狀況將會影響整個元件，因而使得效能降低，也限制著Poly-Si TFT在一些主動式顯示器、SOP以及3-D積體電路上的應用。而在非理想效應方面，如圖1-1所示，漏電流(Leakage Current Effect)、熱載子效應(Hot Carrier Effect)及扭結效應(Kink Effect)都和汲極端的接面高電場有很大的關係。故降低汲極端電場成為解決這些非理想狀況的重要工程，尤其是在扭結效應方面。亦既傳統型的Poly-Si TFT結構上需要做適當的修正，以改善汲極端的高電場。

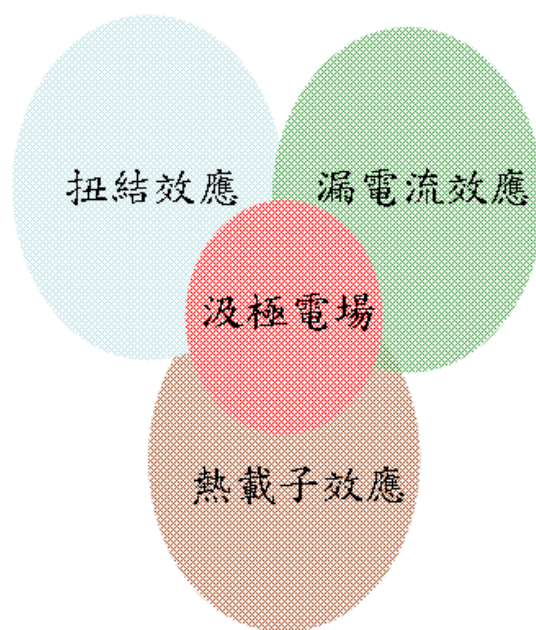


圖 1-1 三種不理想效應

下面將介紹複晶矽薄膜電晶體主要的不理想效應形成原因及改善方法：

1-3.1 漏電流(Leakage Current)

複晶矽電晶體最大的缺點在於漏電流(Leakage Current)或稱關閉電流(Off-State Current)無法有效抑制，一般來說複晶矽電晶體漏電流為非晶矽的十至百倍，導致複晶矽電晶體良率下降。複晶矽含有相當多的晶粒內(Inter-Grain)與晶粒間(Inter-Grain)缺陷，大部分深層缺陷密度(DOS, Density of States)座落於能隙中間，而複晶矽的活化能(Activation Energy)相當靠近中間能隙，容易產生捕抓輔助穿透(Trap-Assisted Tunneling)與能帶對能帶間的穿透(Band-to-band Tunneling)現象使得漏電流增加。這漏電流現象使得複晶矽 TFT 應用

在 AMLCDs 上，導致電晶體關閉不完全的現象，這將造成顯示器無法顯示出該有的顏色[14]-[16]。圖 1-2 是引發漏電流的傳導機制[17]。第一種狀況描述電子用 Thermal Activation 從 Valence Band 到 Conduction Band 如圖(a)所示。伴隨著一個微弱電場的強度(Weak Electric Field)，活化能的值是等於能帶(Energy Gap)的值，金氧半場效應電晶體(MOSFET)的活化能是固定的，因此，這種情況發生在厚閘極氧化層的金氧半場效應電晶體。第二種狀況是藉由能帶中的缺陷(Trap)或表面狀態(Interface State)引發，在中強度(Medium Electric Filed)的電場下，首先能帶裡的電子用 Thermal Activation 從 Valence Band 到一個缺陷狀態，然後電子穿遂(Tunneling)透過降低的能障(Barrier)到 Conduction Band 如圖(b)所示，這機制相似於結合產生(Generation)與穿遂(Tunneling)。第三種狀況是在一個強電場的強度(Strong Electric Field)被引發，穿遂長度減少和電場強度如圖(c)所示，電子的穿遂藉由 Field-enhance Emission 使得載子直接穿過位能障壁而形成電流。

在此提出兩個限制漏電流的方法：

- 1、減少顆粒邊界(Grain Boundary)，藉由氫化的方法可以有效的修補顆粒邊界或晶粒裡大量的懸擺鍵(Dangling Bond)。
- 2、降低及極端的電場而使得逆偏情況減低。

然而第一個方法仍存在問題，就是經氫化處理過後的矽-氫鍵會較一般單晶的矽-氫鍵要來的脆弱，當熱載子產生時，這些弱鍵結很容易被撞斷而產生缺陷，使得元件的特性變得不穩定，雖然有數種方法可改善其問題，但是效果不盡理想，因此仍是搭配降低汲極端電場的方法為優先考慮。

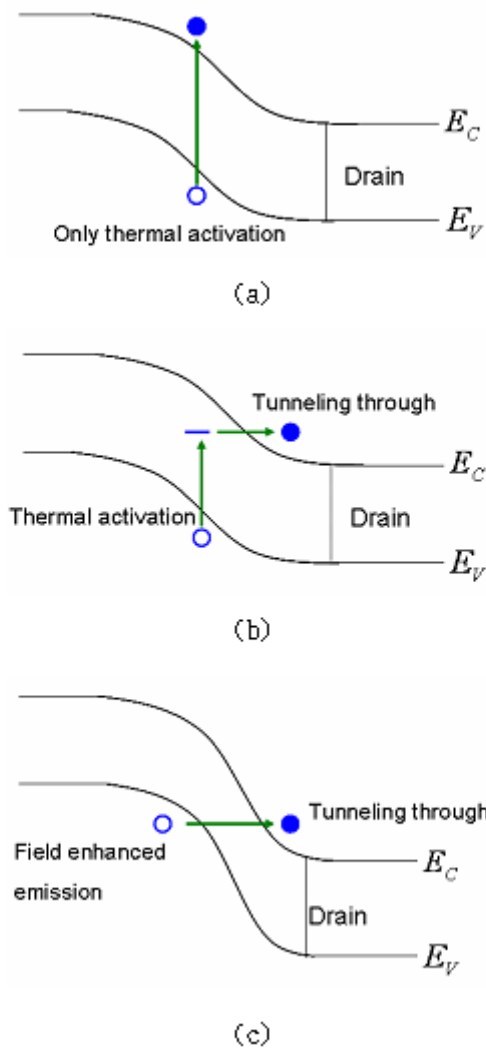


圖 1-2 漏電流效應的機制

1-3.2 扭結效應(Kink Effect)

低溫複晶矽薄膜電晶體的輸出攸關電路的性能與畫素的充電時間，而當元件操作於高電壓時會有階梯狀不連續、異常增加電流出現，使得數位電路的功率消耗增加、低頻雜訊、暫態特性、切換延遲等退化，也會造成類比電路增益(Gain)和共模互斥比(CMRR, Common Mode Rejection Ratio)的下降，這種超越薄膜電晶體本身的負荷量之現象稱為扭結效應(Kink Effect)。傳統 MOSFET 是四端點元件，大部分的電流可以藉由基極(Body)流出並做為參考電位。而一般的薄膜電晶體底層為不導電的玻璃基板，並無第四端點出口可以排解多餘載子而形成累積，當操作於飽和時高的汲極電壓操作使得汲極和通道間界面處產生高電場，不但造成飽和電流變大，還促使熱載子碰撞游離增加 [18][20]，如圖 1.3 所示，當電子電洞對大量產生之後，電洞累積於浮動的基板(Floating Body)，過多的電洞與源極、汲極形成等效的寄生雙載子效應(Parasitic Bipolar Transistor Effect)，我們得到一種再生(Regenerative)或正回授(Positive Feedback)的機制。接近汲極端的雪崩崩潰會產生基極電流，這個電流又會產生順向偏壓的源極-基板 PN 接面的電壓。這個順向偏壓的界面會注入載子，這些載子可以擴散回到汲極，並使雪崩過程增大，不斷的正迴授使得汲極電流據增，稱之為扭結電流(Kink Current)，如圖 1.4 所示[21][22]。而對於複晶矽來說，

存在著另一個機制造成雪崩效應，那就是有高的缺陷態位密度。扭結效應造成了大電流，而這使得元件的輸出將會消耗很多功率，也可能使元件燒毀，因此降低扭結效應是很重要的一項工作，而解決的辦法也是降低汲極端的高電場，以減少游離碰撞的發生[23][24]。

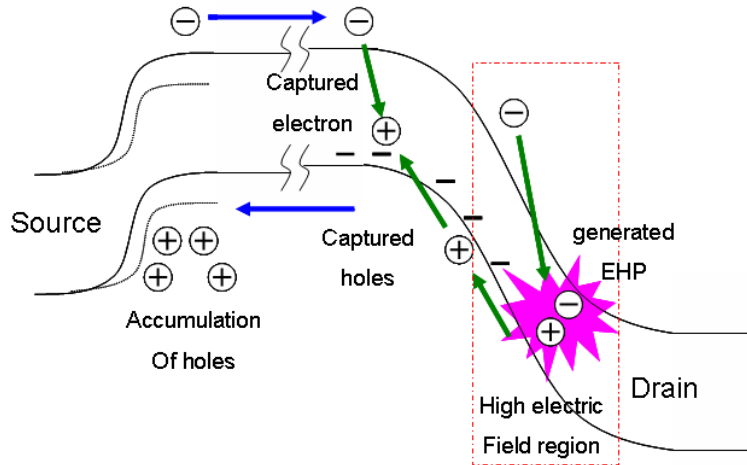


圖 1.3 扭結效應

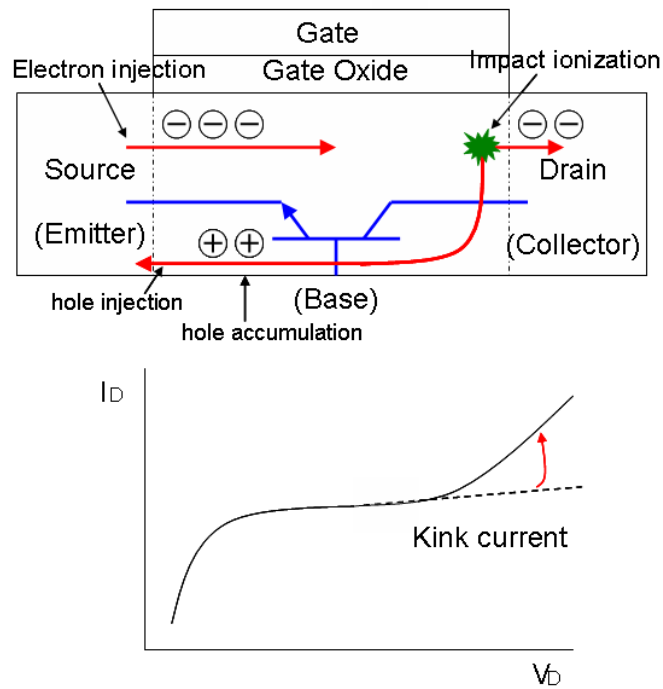


圖 1.4 kink effect 之寄生 BJT 與 Kink current

1-3.3 熱載子效應(Hot Carrier Effect)

熱載子測試主要觀察複晶矽薄膜電晶體經過長時間操作所導致老化(Aging)現象，特別是低溫複晶矽的閘極氧化層的緻密性與品質不若高溫熱氧化層，使得熱載子現象更為嚴重。一般而言低溫複晶矽薄膜電晶體的設計準則較傳統非晶矽小，造成通道中汲極端側向電場的增加，側向電場再汲極端的電場呈現非常高且陡峭的分布，高電場易降低晶粒位障(Grain Barrier Potential)，載子加速獲得能量形成游離撞擊現象(Impact Ionization)，因而產生更多的電子電洞對(EHP，Electron-Hold Pair)，可視為具有較高的電子濃度，這些因碰撞產生的載子遠大於熱平衡時的能量，因此稱之為熱載子。值得注意的是 AMLCD 或 AMOEL 屬於高壓驅動架構，閘極驅動電路提供一高電壓脈衝，使得薄膜電晶體垂直電場驟增造成能帶彎曲，熱載子很容易注入閘極氧化層，這些熱載子造成的缺陷會捕捉電荷形成界面陷阱。熱載子所造成的元件退化機制一般分成通道熱電子注(CHE, Channel Hot Electron injection)與汲極雪崩熱載子注入(DAHC, Drain Avalanche Hot Carrier Injection)，而事實上老化現象多為兩者的加成效應。在薄膜電晶體中，常見的探討機制有下列兩種：

通道熱電子注(CHE, Channel Hot Electron injection)

要發生此狀況閘極電壓須在較高的情況下亦即通道要導通，又當

V_{ds} 夠大時，通道內電子獲得足夠的能量，就可不必經由碰撞游離化。此機制須藉由 lucky electrons model 來做說明，在通道熱電子注入(Channel Hot Electron injection)之機制下，載子受到橫向電場的加速，在靠近汲極的地方經過碰撞和從直接氧化層獲得一個動量而形成一些通道熱電子(channel hot electron)，其中有一些電子未遭受會使得能量損失的碰撞稱為”lucky electrons”，藉由它們有利的直接動量其被放射穿過 Si-SiO₂ 的能障進入氧化層的傳導帶，如圖 1.5(a)所示。而此現象在閘極電壓等於汲極電壓($V_{gs} = V_{ds}$)時最明顯。

汲極雪崩熱載子注入(DAHC，Drain Avalanche Hot Carrier injection)

DAHC 是發生於外加電場的閘極電壓 V_{gs} 較小即通道未完全通，汲源極電壓 V_{ds} 夠大亦即汲極處的最大橫向電場夠大時，才足以發生碰撞游離化。在靠近汲極的地方，載子在高電場中(通常為閘極與汲極端的高電場)加速，撞擊晶格產生 Impact Ionization 與 Avalanche Multiplication，產生高能量的載子(電子電洞對)，如衝撞游離(impact ionization)與倍增崩潰效應(Avalanche Multiplication)。所產生的熱電子與熱電洞被注入到閘極，如圖 1.5(b)所示。在閘極電壓等於二分之一汲極電壓時($V_{gs} = 0.5V_{ds}$)時最明顯。

低溫製程所導致的損傷，易在閘極氧化層中累積的電荷導致電性漂移。而在這些熱載子中，有些會受到閘極感應的影響而獲得能量，

如所獲得之能量大於 1.5eV ，則可能穿隧進入閘極氧化層之中，或是克服矽及矽氧化物間的位能障礙(potential barrier)而產生閘極電流。而在這些穿過矽氧化物的載子中，部分可能會被缺陷捕捉，因而在矽氧化物之中產生一個帶電的淨電荷濃度。電子被捕捉的機率通常會小於電洞被捕捉的機率，而這些被捕捉的電荷將會導致臨界電壓產生區域性的正平移[25]-[26]。在此將提出兩個限制熱載子效應的方法：

1. 增強閘極氧化層的品質和改善矽及矽氧化物的界面以降低熱載子被缺陷捕捉的機率。
2. 降低汲極端的電場峰值。

在分析薄膜電晶體上熱載子效應及其所帶來的衰退現象時，由於薄膜電晶體缺少基體電極，以及複晶矽通道中具有許多存在於晶界(Grain Boundary)和晶粒中的缺陷，因此在分析熱載子效應時，會更為複雜。至於改善方面，複晶矽薄膜電晶體的閘極氧化層是在低溫的環境下沉積而成的，因此品質較好、較堅硬的閘極氧化物較難獲得，故仍以降低汲極電場做為優先考慮。

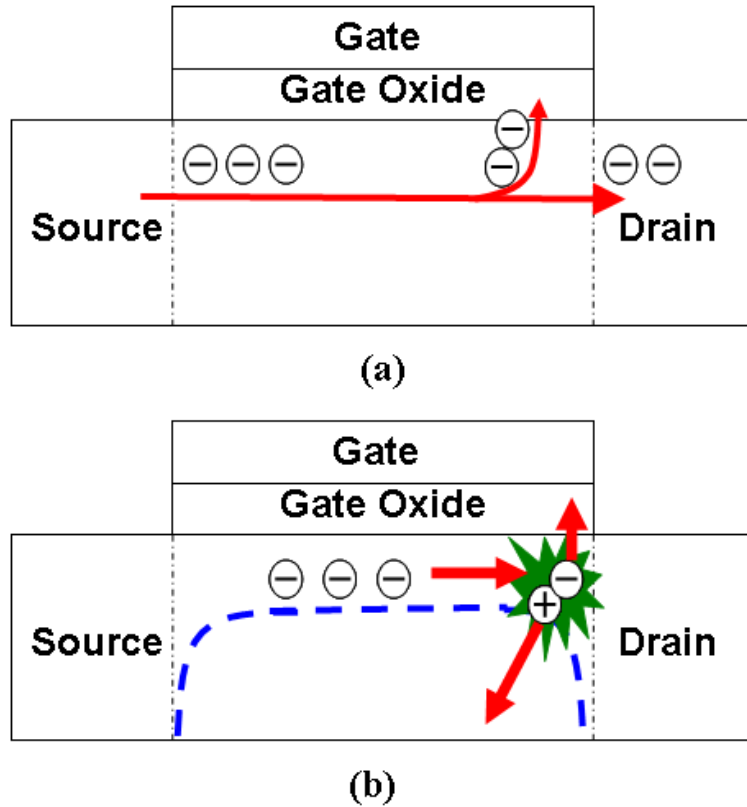


圖 1.5 熱載子效應

1-4 薄膜電晶體之基本結構

為了減少儲存電容的面積與負擔，降低漏電流損失與寄生電容效應是LTPS薄膜電晶體的首要目標。圖1.6顯是常見之LTPS TFT結構示意圖，低溫複晶矽缺點因而開發出Overlap型、Field Plated型、Sub-Gate型、LDD型、Offset型、多重型閘極型與GOLDD型等TFT結構[12]。

Overlap區域使得通道更容易反轉，因此Overlap型具有極佳的載子移動率與輸出特性，然及極電場過大易產生崩潰現象，並且漏電流與寄生電容偏高，複晶矽晶粒不足時可藉由此型TFT補償載子移動

率。

Field Plated型或Sub-Gate型克服Overlap型TFT電場過大的問題，藉次閘極(Sub-Gate)額外電位控制可提供較高耐壓特性。然而需要額外電極與電壓控制次閘極，使用上仍不方便。

LDD型或Offset型是目前最普遍被使用的LTPS結構，常應用於畫素與驅動電路區域。期能有效抑制漏電流，並提升LTPS的可靠度。然而需精確的控制LDD長度與植入劑量，加上額外植入與微顯影製程增加其成本，相當多的文獻與專利著墨於此。另外以空氣的低介電常數特性降低汲極端電場的Air-Cavity型，可是為LDD型的改良結構，但由於需以溼式蝕刻的方式製作，製程控制不易與良率偏低。

GOLDD型的LTPS結構，同時兼具Overlap型與LDD型的優點。這類結構具有LDD型的低漏電流與Overlap的高導通性，可以有效降低扭曲效應提升可靠度。

RSD(Raised Source Drain)[27]-[28]結構為把汲極與源極厚度增加，使得結構有厚的汲/源極，由於汲/源極與通道區接觸的面積增加而分散電場，這樣能有效的分散水平電場強度，使電場隨之降低，因而降低了漏電流，也能有效的提供元件有較高的開關電流比。

場引效汲極 (FID, Filed Induced Drain)

結構於 OFFSET 區域上新增一個副閘極，當元件於操作狀態的時

候，副閘極將通道未摻雜的區域引發為輕摻雜的效果。當操作於 ON 的狀態時，極性為正，使開電流獲得提升；而當操作於 OFF 狀態時，極性為負，使漏電流降低。如此一來就能提供一個較高的開關電流比 (on/off current)。因此雖然 FID 等效於一個傳統輕摻雜的結構，但是其特性比傳統輕摻雜的結構還要好。圖 1.7 為過去所提的具有 FID 結構延伸的 SBTFT 之應用[29]，此結構除了 Poly-Si 通道外，還有一段 offset region，在此區域上方有一塊副閘極(sub-gate)。在元件操作時，於副閘極上加一適當偏壓於 offset 通道區形成汲極的延伸。因此可以利用副閘極偏壓極性的不同，在此元件與副閘極電壓為正時，操作在 N-型；而電壓為負時，操作與 P-型。場引效汲極不但擁有良好的雙極性(ambipolar)表現，並能有效的抑制漏電流。

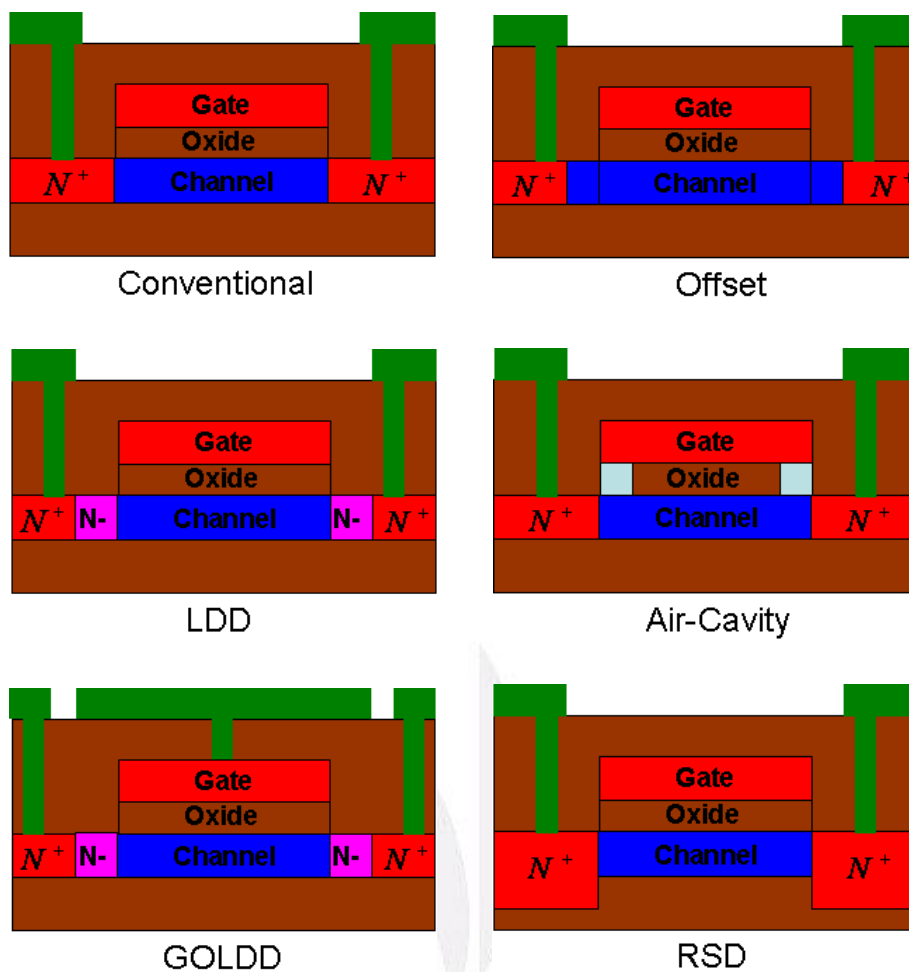


圖 1.6 薄膜電晶體常見之基本結構圖

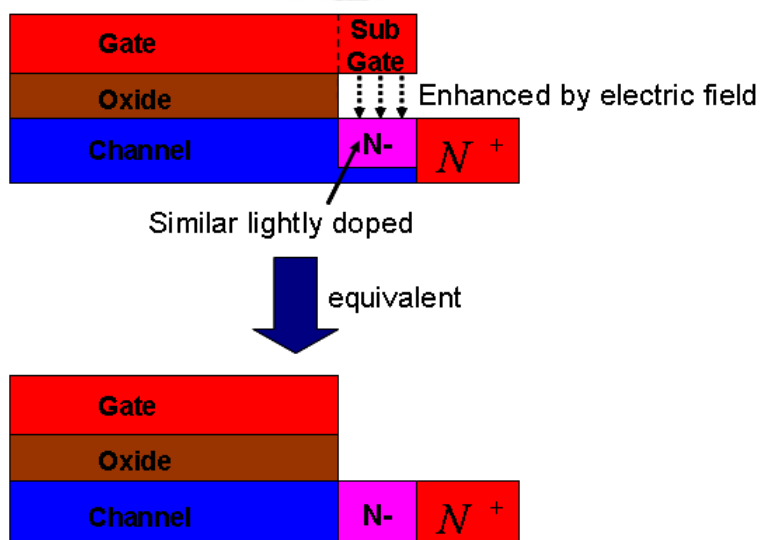


圖 1.7 場引效汲極 FID

1-5動機

RSD結構不只可以降低橫向電場，還可以維持崩潰電壓。我們發現了此公式：
$$E_{\max} = \frac{(V_{DS} - V_{Dsat})}{l}, l = \sqrt{\frac{\epsilon_{si} t_{ox} x_j}{\epsilon_{ox}}}$$
； V_{DS} 是汲源極電壓差； V_{Dsat} 是飽合電壓； ϵ_{si} 和 ϵ_{ox} 是Si和SiO₂在真空中的介電常數； t_{ox} 是閘極氧化層厚度； x_j 是Channel/Drain的接面深度[23]。所以我們合理的懷疑，汲源極的增厚是改變了通道與汲極的接面，從公式中可以看出接面的改變會影響電場的大小，所以我們猜測，RSD結構主要目的在於改變接面，而不是認為增厚汲源極就有用。因此以下的實驗，就在討論汲源極的增厚與橫向電場的關係。

第二章 實驗設計

2-1 RSD

關於RSD的論文，都提到增厚Drain就能降低橫向電場，但我們

可從公式 $E_{\max} = \frac{(V_{DS} - V_{Dsat})}{l}$, $l = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}} t_{ox} x_j}$; x_j 是

Channel/Drain 的接面深度。發現影響橫向電場的關鍵在於 Channel/Drain接面，所以我們開始懷疑RSD降電場真正的原因為何，並在此提出兩種結構，一種是向下挖Drain的Bottom結構，一種是向上長Drain的TOP結構，都是增厚汲源極結構，分別討論降電場的真正原因。

2-2 Bottom結構

我們設計兩種Bottom結構，去比較Channel/Drain接面問題，我們可分為對齊的Bottom結構圖2.1與不對齊的Bottom extend結構圖2.2，兩種結構都是增厚的Drain，唯一不同的是Channel/Drain接面深度。一般認為只要增厚汲源極就可以有效降低電場，所以我們設計了這兩種結構跟傳統薄膜電晶體做比較，以公式

$E_{\max} = \frac{(V_{DS} - V_{Dsat})}{l}$, $l = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}} t_{ox} x_j}$ ，來討論 x_j 的接面效應，判斷是否

單純增厚汲源極就有能降電場，還是另有其他因素。

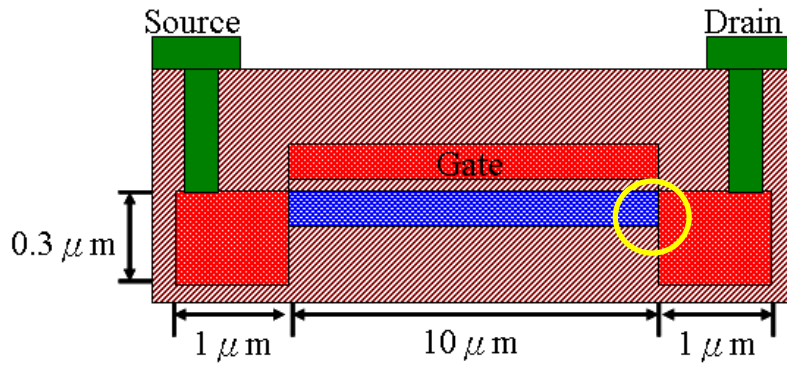


圖 2.1 對齊 Bottom 結構

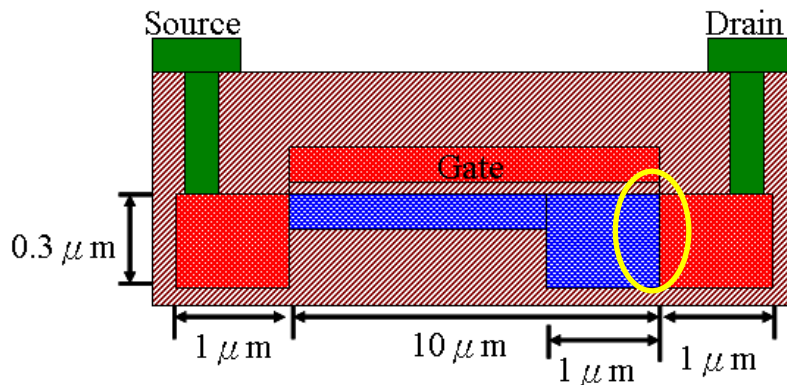


圖 2.2 不對齊 Bottom extend 結構

2-3 TOP結構

圖2.3，我們知道此結構的電場會下降，我們觀察此結構的 Channel/Drain的接面並沒有改變，但卻造成電場的下降。所以 Channel/Drain的接面變化因素被排除，然而我們觀察出其他的原因造成電場的下降，首先增厚的Source/Drain造成離子佈植濃度位於表面，高濃度範圍沒有到達Channel接面，因此造成電場下降。以及 Channel/Drain的接面處有增厚的Oxide會有類似FID的結構，我們知道此結構可以降電場，所以我們去比較兩者因素，何者才是造成降電場的主要原因。因此在TOP結構上增加離子佈植能量，使濃度增加，觀

察電場的變化，我們又另外製程一個單純邊緣增厚Oxide的結構圖

2.4，去判斷是否因為Air-cavity的結構，使接近Drain的區域會產生輕參雜，導致電場下降的原因。

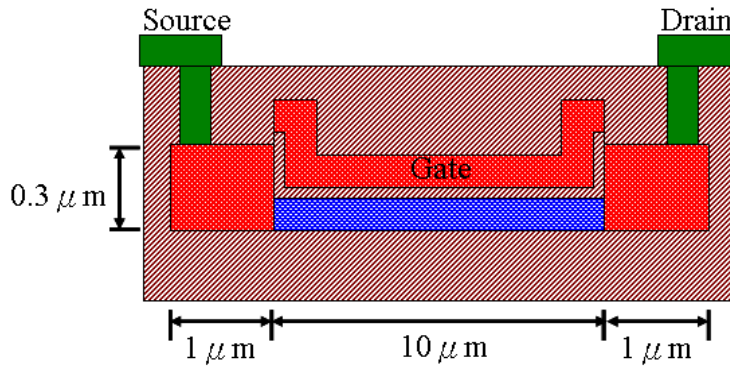


圖 2.3 TOP 結構

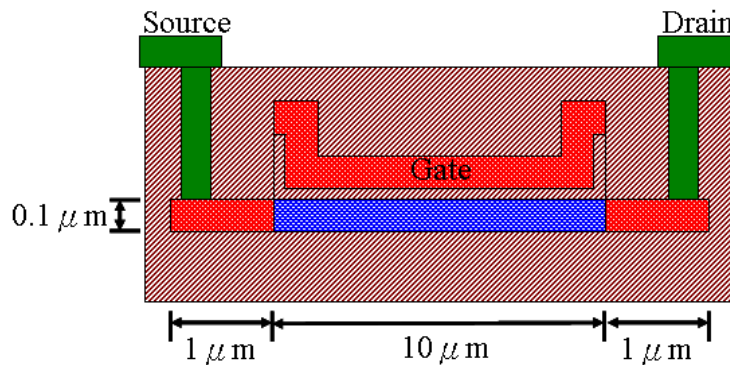


圖 2.4 增厚邊緣 Oxide 結構

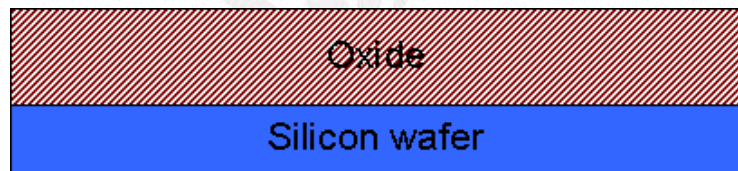
2-4 製成步驟

2-4.1 Bottom 製成步驟

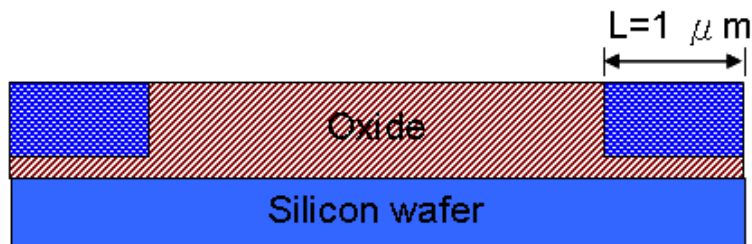
圖2.5為Bottom結構的關鍵製程步驟，詳細的製程步驟如下：

- 1、一開始我們以矽基板(Silicon wafers)代替外界使用的玻璃基板做為初始基板，在經由標準熱氧化成長厚度為 $1\mu\text{m}$ 的 oxide 作為 buffer oxide layer。

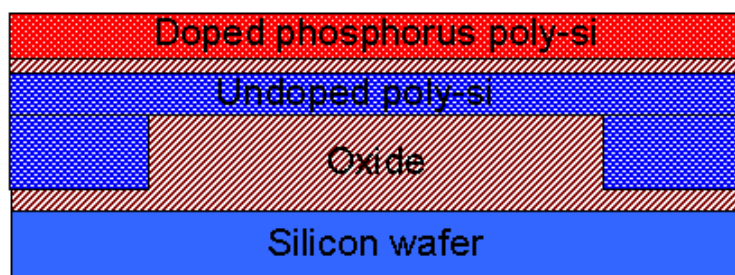
- 2、光罩定義Drain寬度為L；L為 $1\mu\text{m}$ 是對齊的Bottom結構、L為 $2\mu\text{m}$ 是不對齊的Bottom結構，蝕刻Oxide 2000 \AA ，再去光阻，沉積未摻雜poly-si 3000 \AA ，平坦化製程。
- 3、沉積未摻雜poly-si 1000 \AA 、沉積Oxide 500 \AA 、再沉積一層厚度為 1000 \AA 的摻雜磷(phosphorus)poly-si，其濃度為 $1e^{20}(\text{cm}^{-3})$ 。
- 4、以光阻做阻擋層依序蝕刻(phosphorus)poly-si 1000 \AA 、oxide 500 \AA ，再以濃度為 $5e^{15}(\text{cm}^{-2})$ 的磷離子及能量 35keV 下作離子佈植，去光阻後，再進高溫爐管 600°C 下活化離子 6hrs。
- 5、沉積厚度為 3000 \AA 的oxide做為Passivation，然後再穿洞沉積金屬來定義各極點。



(a)



(b)



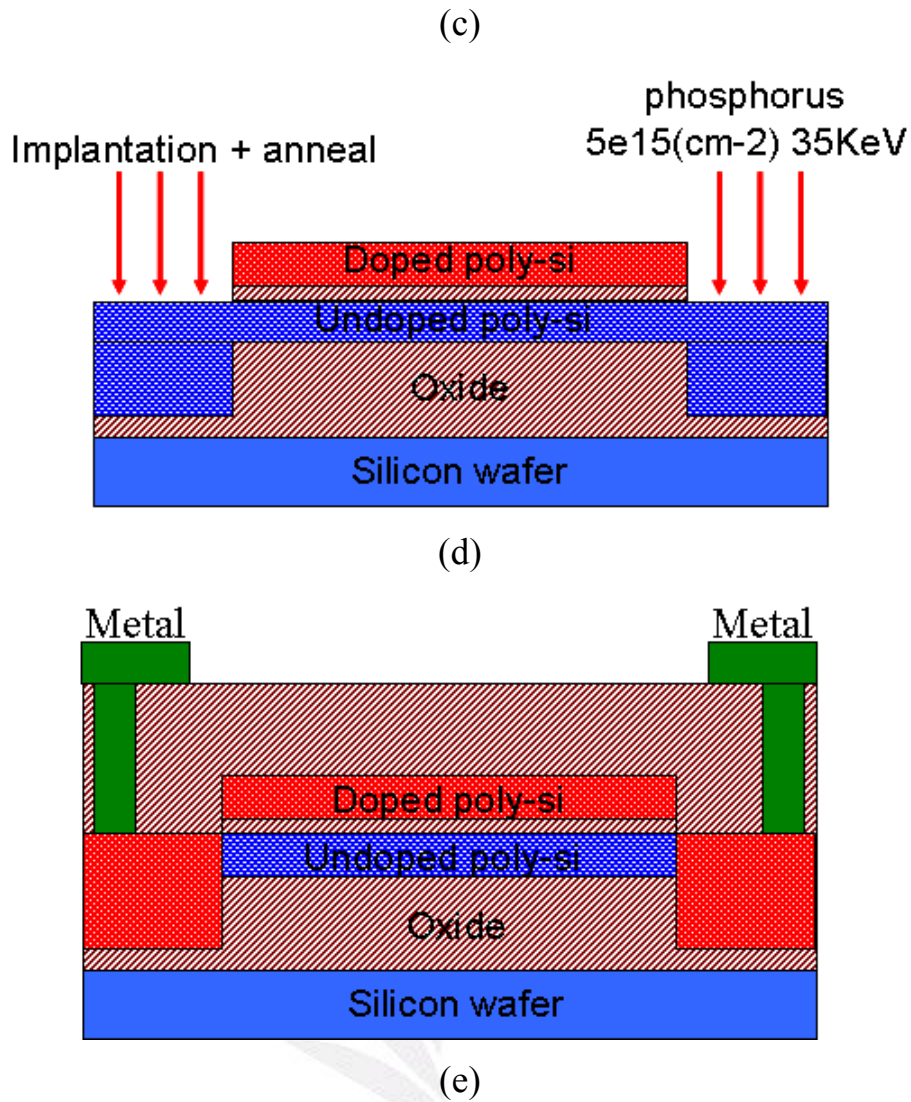


圖 2.5 Bottom 結構關鍵製程步驟

2-4.2 Top 製程步驟

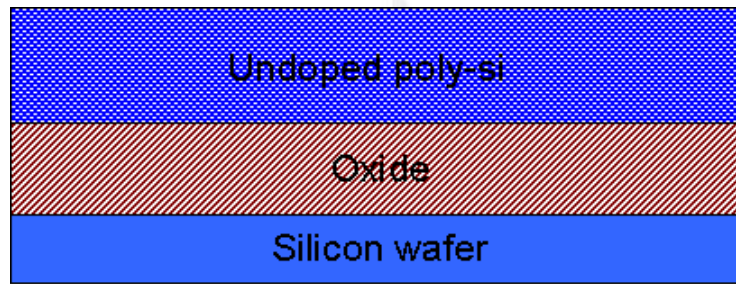
圖2.6為Top結構的關鍵製程步驟，詳細的製程步驟如下：

- 1、一開始我們以矽基板(Silicon wafers)代替外界使用的玻璃基板做為初始基板，在經由標準熱氧化成長厚度為 $1\mu\text{m}$ 的 oxide 作為 buffer oxide layer。
- 2、沉積未摻雜poly-si 3000 \AA ，用光罩定義出Channel長度，蝕刻未摻

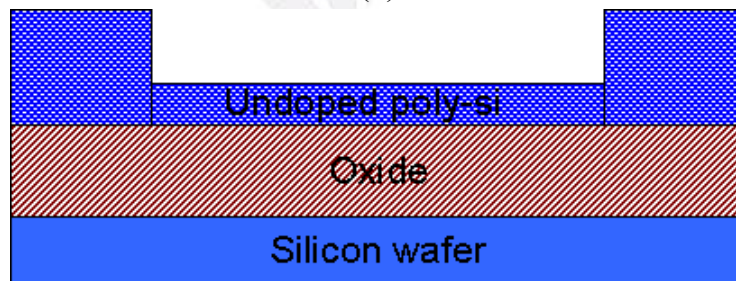
雜poly-si 2000 Å，去光阻，沉積Oxide 500 Å、再沉積一層厚度為1000Å的摻雜磷(phosphorus)poly-si，其濃度為 $1e^{20}(\text{cm}^{-3})$ 。

3、以光阻為阻擋層依序蝕刻(phosphorus)poly-si 1000Å、oxide 500 Å，再以濃度為 $5e^{15}(\text{cm}^{-2})$ 的磷離子及能量 35keV 下作離子佈植，去光阻後，再進高溫爐管 600°C下活化離子 6hrs。

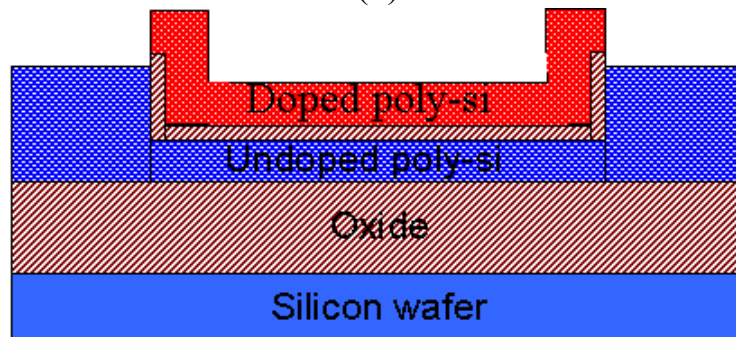
4、沉積厚度為3000Å的oxide做為Passivation，然後再穿洞沉積金屬來定義各極點。



(a)



(b)



(c)

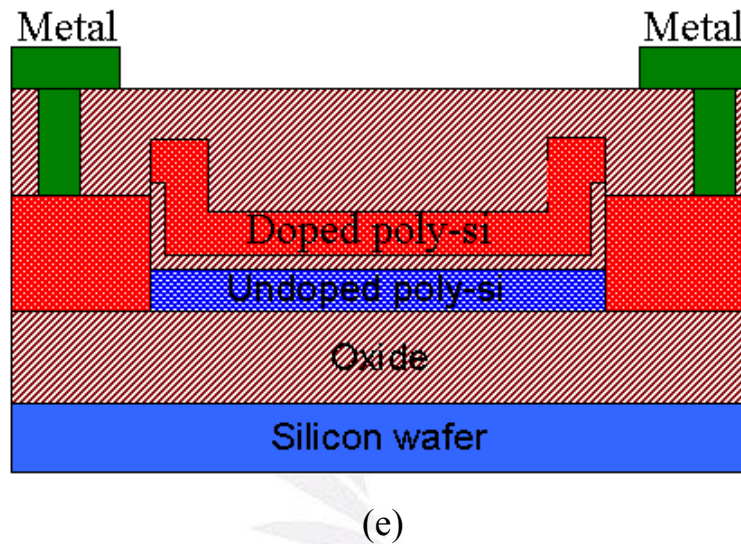
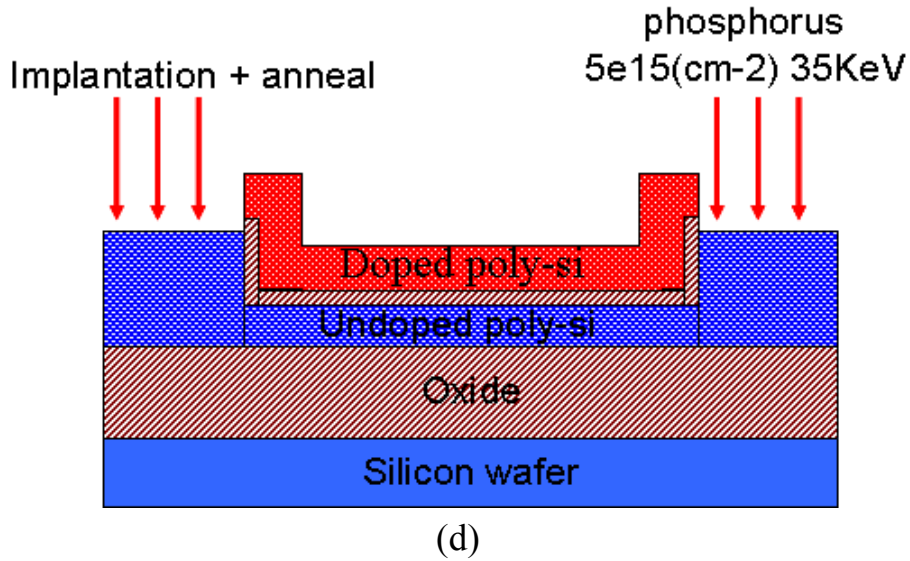


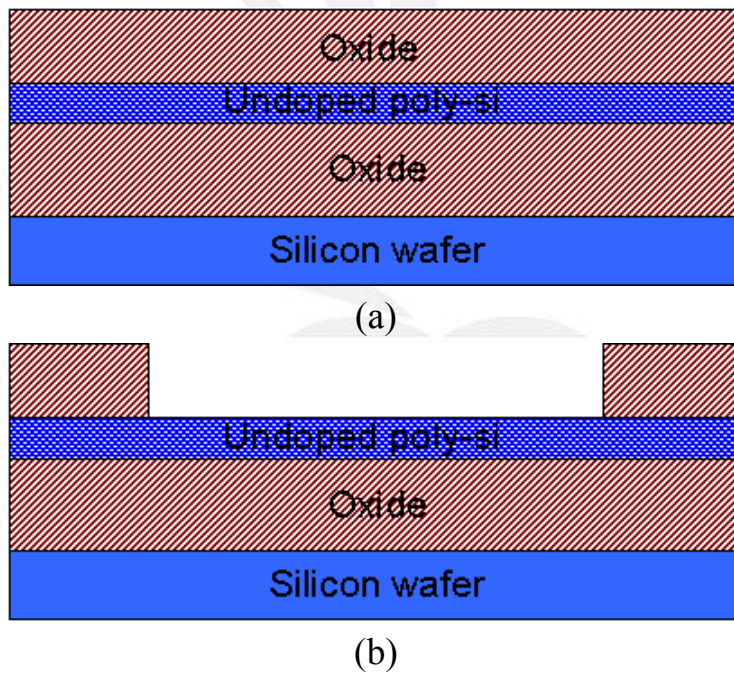
圖 2.6 Top 結構關鍵製程步驟

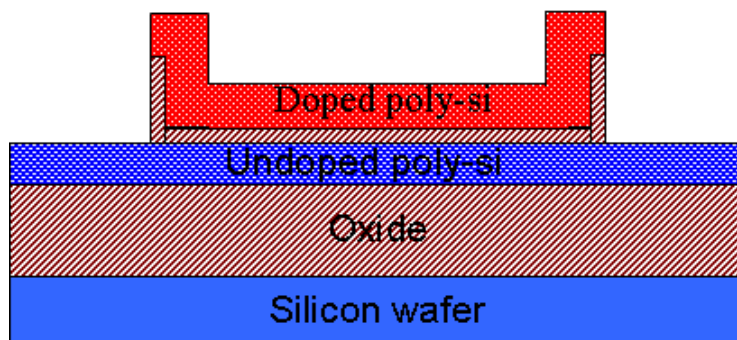
2-4.3 邊緣增厚Oxide製程步驟

圖2.7為邊緣增厚Oxide結構的關鍵製程步驟，詳細的製程步驟如下：

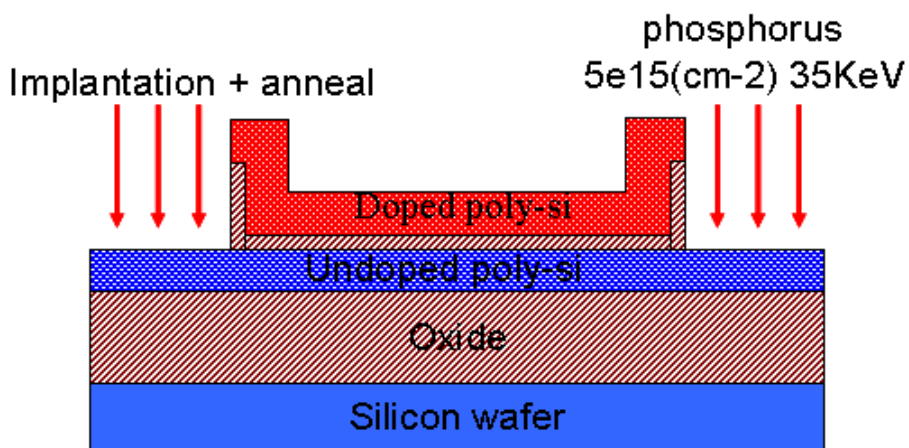
- 1、一開始我們以矽基板(Silicon wafers)代替外界使用的玻璃基板做為初始基板，在經由標準熱氧化成長厚度為 $1\mu\text{m}$ 的 oxide 作為 buffer oxide layer。

- 2、沉積未摻雜poly-si 1000 Å，沉積Oxide 2000 Å，上光罩定義出 Channel長度蝕刻Oxide 2000 Å，去光阻，沉積Oxide 500 Å、再沉積一層厚度為1000Å的摻雜磷(phosphorus)poly-si，其濃度為 $1e^{20}(\text{cm}^{-3})$ 。
- 3、以光阻為阻擋層依序蝕刻(phosphorus)poly-si 1000Å、oxide 2500Å，再以濃度為 $5e^{15}(\text{cm}^{-2})$ 的磷離子及能量 35keV 下作離子佈植，去光阻後，再進高溫爐管 600°C下活化離子 6hrs。
- 4、沉積厚度為3000Å的oxide做為Passivation，然後再穿洞沉積金屬來定義各極點。

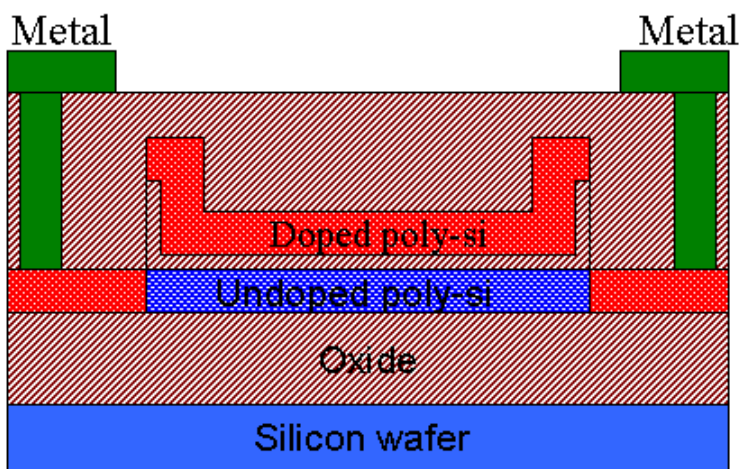




(c)



(d)



(e)

圖 2.7 邊緣增厚 Oxide 關鍵製程步驟

第三章 實驗結果與討論

3-1 前言

在此章節中，我們將以ISE-TCAD(Integrated System Engineering)此套軟體來進行Bottom結構與Top結構的元件製程與元件設計，並討論調變元件結構參數對元件電性的影響，以及與傳統各種薄膜電晶體結構做電性的比較，討論出RSD真正降電場的主要原因。

3-2 Bottom結構與傳統薄膜電晶體之RSD探討

圖3.1傳統薄膜電晶體(a)與為Bottom (b)的結構比較，我們可以明顯看出兩種結構的唯一不同的是Bottom結構的汲源極增厚，此目的是要比較汲源極增厚，是否就可以有效降低電場。我們以同樣的偏壓($V_{gs}=5V, V_{ds}=10V$)，離子佈植能量35KeV，來模擬兩種結構電性，從圖3.2橫向電場模擬數據以及表3.1橫向電場大小比較可以看出，Bottom對齊結構並沒有明顯的降電場。所以我們得到第一個結果是汲源極增厚，並不能有效降低電場。

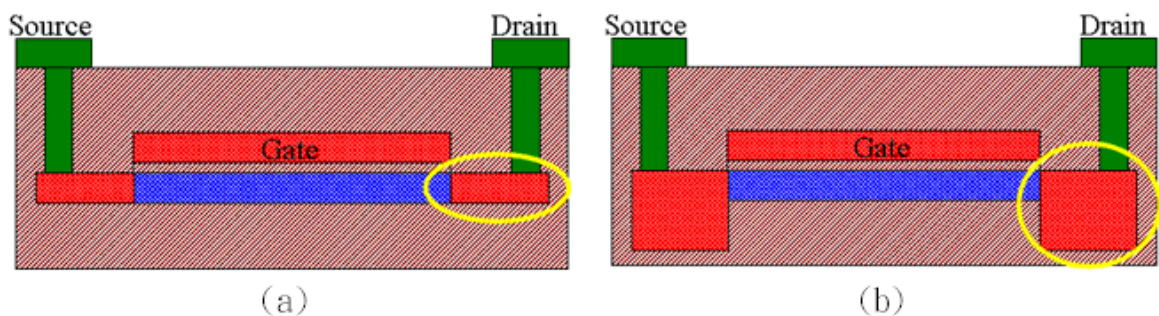


圖 3.1 傳統薄膜電晶體(a)與 Bottom (b)的結構示意圖

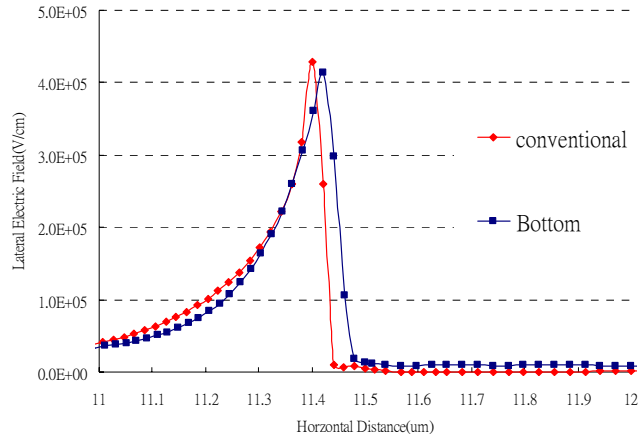


圖 3.2 Conventional 與 Bottom 橫向電場模擬數據

	Conventional	Bottom
橫向電場(V/cm)	4.3E+05	4.2E+05
與傳統電場比較		-2.3%

表 3.1 Conventional 與 Bottom 橫向電場大小

3-2.1 接面深度探討

我們比較Bottom與Bottom extend結構，觀察圖3.3接面深度比較，可看出 Bottom extend 比 Bottom 有更大的接面深度，從公式

$$E_{\max} = \frac{(V_{DS} - V_{Dsat})}{l}, l = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}} t_{ox} x_j}$$

， x_j 是接面深度，所以我們預測電場會降低。我們以同樣的偏壓($V_{gs}=5V, V_{ds}=10V$)，離子佈植能量35KeV，來模擬兩種結構電性，從圖3.4橫向電場模擬數據以及表3.2橫向電場大小比較，我們可以發現離子佈植能量85KeV橫向電場並沒有明顯的下降。因此我們懷疑接面深度，並不單只是Drain的接面深度，因此我們觀察濃度分佈圖，從圖3.5濃度分佈，我們可以觀察出兩者濃度分佈並沒有太大差異，所以造成Channel到達Drain接面沒有

明顯變化，所以橫向電場並沒有明顯下降，所以我們推出 x_j 是閘極下Channel/Drain離子高濃度範圍界面深度。

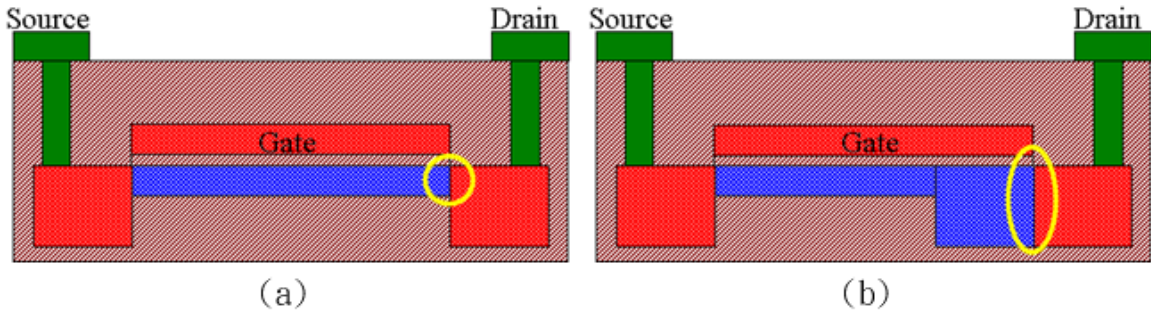


圖 3.3 Bottom(a)與 Bottom extend (b)界面深度示意圖

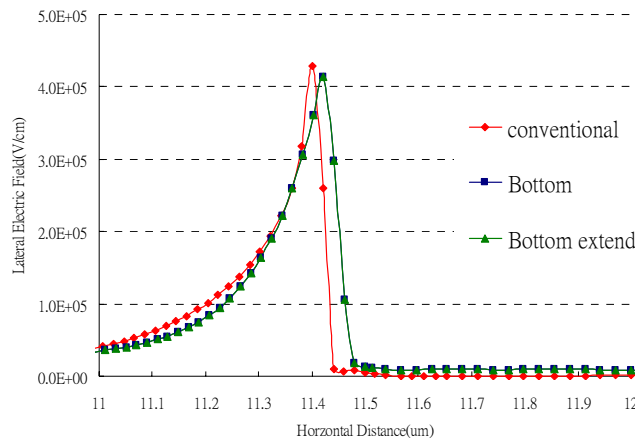


圖 3.4 Conventional、Bottom 與 Bottom extend 橫向電場模擬數據

	Conventional	Bottom	Bottom extend
橫向電場(V/cm)	4.3E+05	4.2E+05	4.4E+05
與傳統電場比較		-2.3%	+2.3%

表 3.2 Conventional、Bottom 與 Bottom extend 橫向電場大小

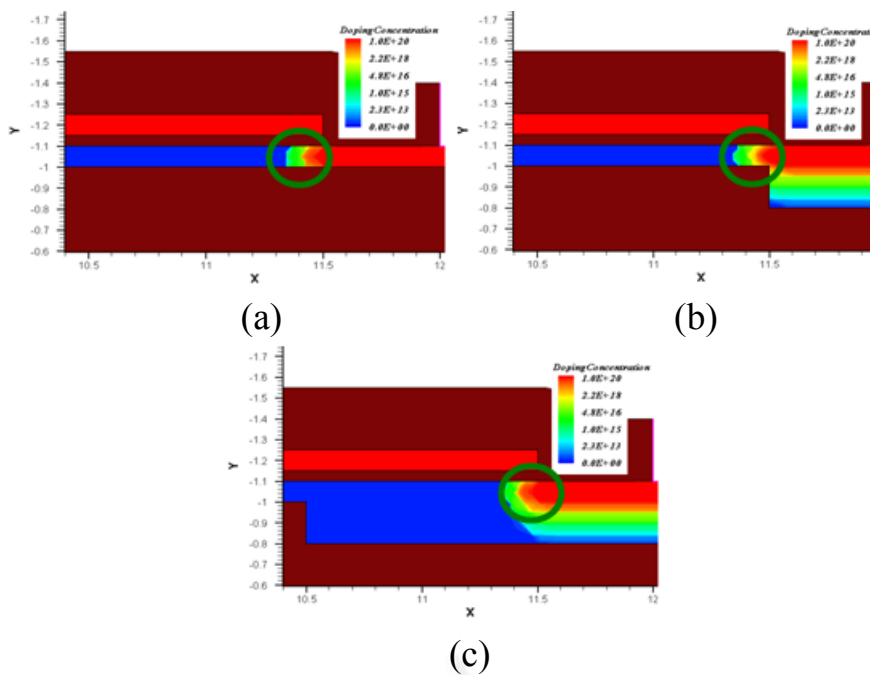


圖 3.5 Conventional (a)、Bottom (b)、Bottom extend (c)離子佈植

能量 35KeV 的濃度分佈

3-2.2 改變離子佈植能量

從3-2.1小節我們可以知道， x_j 是閘極下Channel/Drain離子高濃度範圍界面深度。所以我們改變離子佈植能量，使濃度分佈改變，改變了閘極下離子高濃度範圍。我們以同樣的偏壓($V_{gs}=5V, V_{ds}=10V$)，離子佈植能量改變為85KeV。圖3.6 Bottom與圖3.7Bottom extend離子濃度分布圖，明顯看出離子佈植85KeV比35KeV有增加濃度分佈範圍，我們從公式推出Bottom extend的電場將會有明顯的下降，從圖3.8橫向電場模擬數據以及表3.3橫向電場大小比較，我們可以發現Bottom extend有很大幅度的降場下降，可以判斷出，閘極下離子高濃度範圍界面深度是造成RSD橫向電場下降的主因。

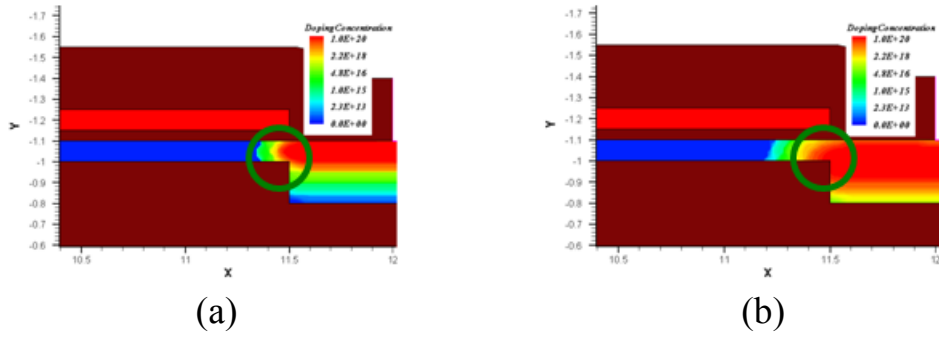


圖 3.6 Bottom 不同離子佈植能量(a)35KeV(b)85KeV 濃度分佈

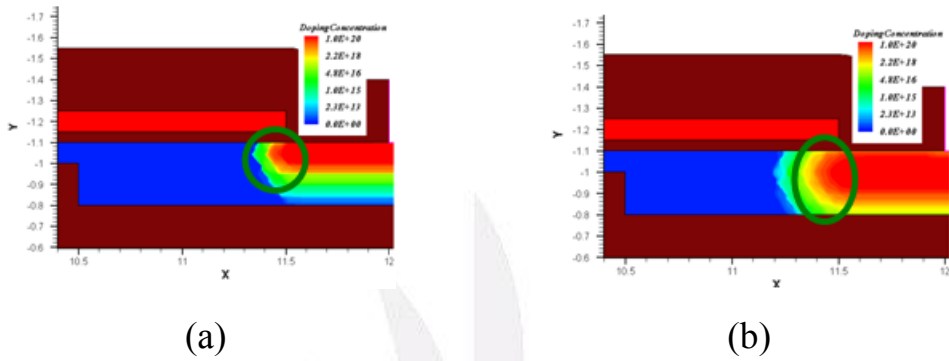


圖 3.7 Bottom extend 不同離子佈植能量(a)35KeV(b)85KeV 濃度分佈

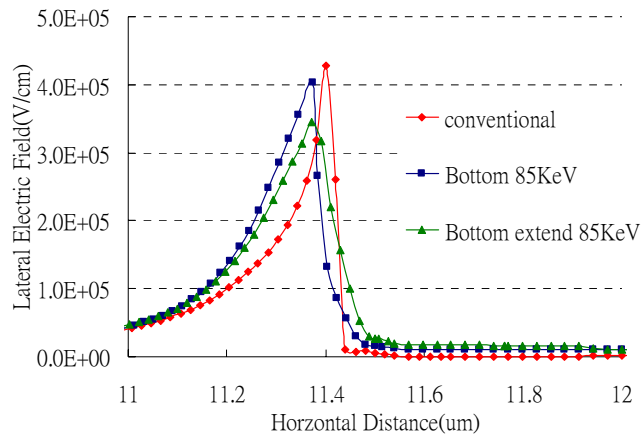


圖 3.8 Conventional、Bottom、Bottom extend 橫向電場模擬數據

	Conventional	Bottom 85KeV	Bottom extend 85KeV
橫向電場(V/cm)	4.3E+05	4.0E+05	3.5E+05
與傳統電場比較		-7%	-23%

表 3.3 Conventional、Bottom、Bottom extend 橫向電場大小

3-2.3 Bottom往源極增加寬度比較

圖3.9定義 $X=0\mu\text{m}$ 為Bottom結構，我們往源極增加寬度 $X=0.5\mu\text{m}$ ， $1\mu\text{m}$ ， $10\mu\text{m}$ 為包含整個通道為 3000 \AA ，比較電場變化，可從圖3.10最大電場曲線圖，可以發現最大電場為Bottom結構，因此我們可以得知Bottom extend結構，不管往源極增加寬度為多少，並不會影響橫向電場。

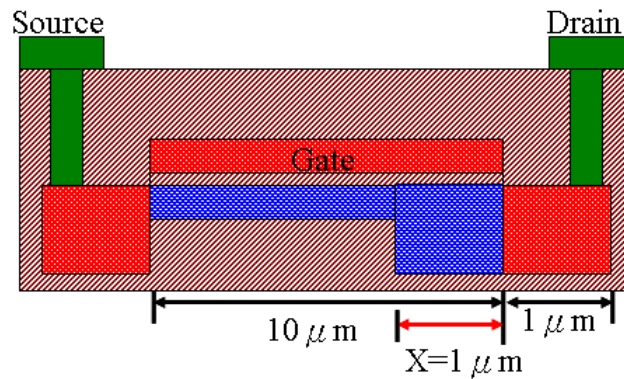


圖 3.9 定義 $X=0\mu\text{m}$ 為 Bottom 結構，改變 $X=0.5$ 、 1 、 $10\mu\text{m}$

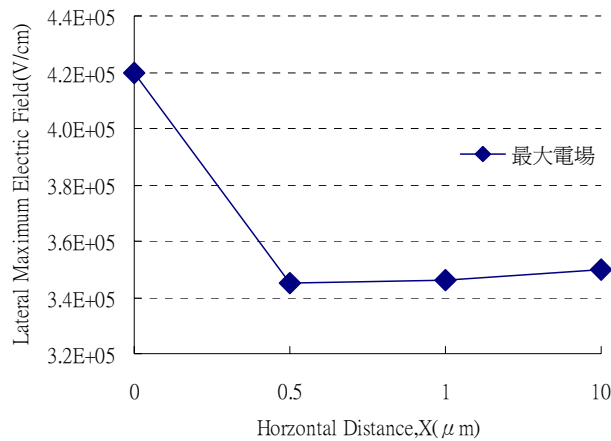


圖 3.10 最大電場曲線圖

3-3 Top結構與薄膜電晶體之RSD探討

圖3.11我們可以比較傳統薄膜電晶體與Top結構的不同，很明顯的看出Top結構是往上沉積汲源極增厚，此目的是要比較汲源極增厚，是否就可以有效降低電場。我們以同樣的偏壓 ($V_{gs}=5V$, $V_{ds}=10V$)，離子佈植能量35KeV，來模擬兩種結構電性，從圖3.12橫向電場模擬數據以及表3.4橫向電場大小比較可以看出，橫向電場有明顯的下降，但我們從3-2節可以知道，Channel/Drain接面深度是有效降低電場，但Top結構Channel/Drain接面深度與傳統的接面深度是一樣的，從公式來說是不會有電場的下降。所以我們重新討論Top結構，有可能降電場的效應，從圖3.13可以發現有兩種因素，造成電場下降的原因，第一種原因是邊緣增厚Oxide造成所謂的FID結構，會有Sub-Gate造成靠近Channel/Drain接面產生輕參雜現象，造成垂直電場下降。第二種原因是離子佈植35KeV會使得高濃度範圍位於表面，所以靠近Channel/Drain接面濃度會明顯下降，因此濃度減少造成電場下降，我們會再下一小節，繼續探討原因。

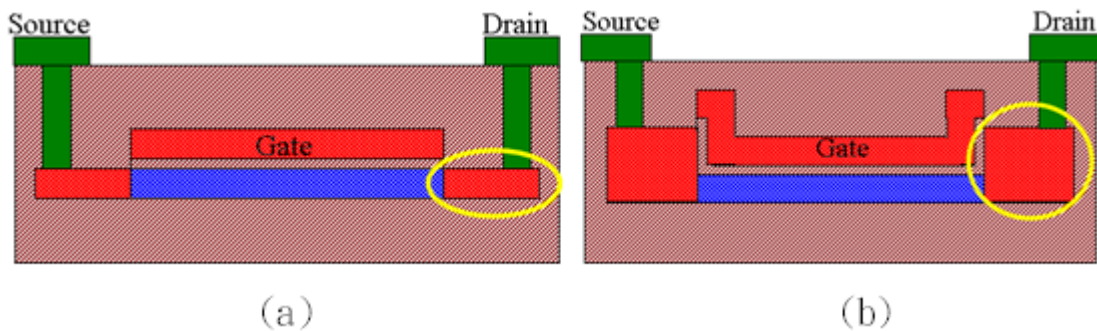


圖 3.11 Conventional (a)與 Top (b)示意圖

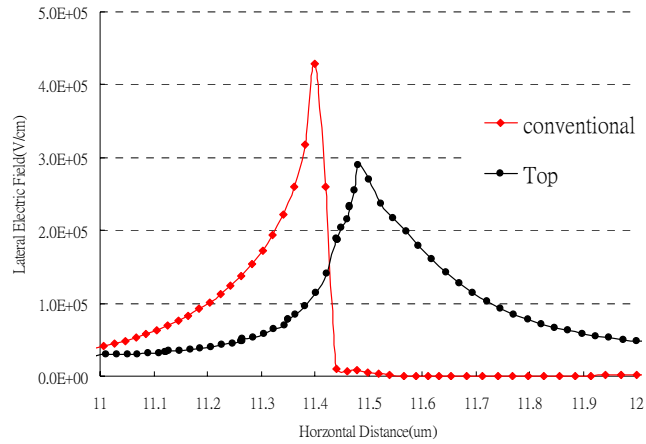


圖 3.12 Conventional、Top 橫向電場模擬數據

	Conventional	Top
橫向電場(V/cm)	4.3E+05	2.9E+05
與傳統電場比較		-32.5%

表 3.4 Conventional、Top 橫向電場大小

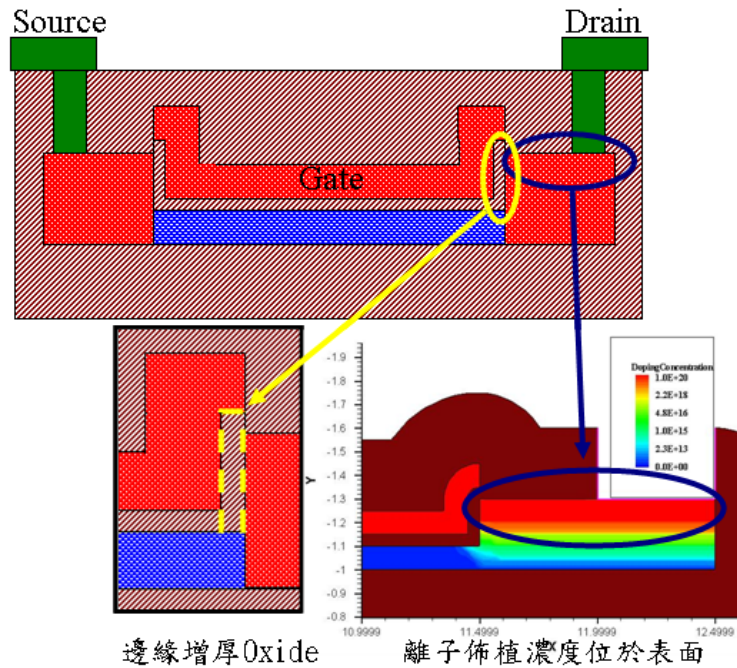


圖 3.13 邊緣增厚 Oxide 與離子佈植濃度示意圖

3-3.1 單純增厚邊緣Oxide結構

圖3.14可以看出Top結構與單純增厚邊緣Oxide結構，在於單純增

厚邊緣Oxide結構沒有增厚汲源極，此目的是要知道單純增厚邊緣Oxide會造成多少電場下降，找出真正造成Top結構電場下降的主因。我們以同樣的偏壓($V_{gs}=5V$, $V_{ds}=10V$)，離子佈植能量35KeV，來模擬兩種結構電性，圖3.15橫向電場模擬數據以及表3.5橫向電場大小比較可以看出，單純增厚邊緣Oxide並沒有有效的降低電場，排除於Top結構降低電場的原因。

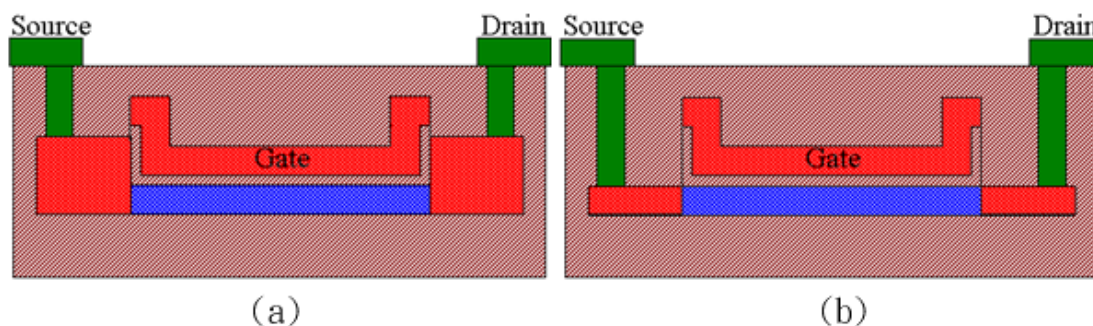


圖 3.14 Top (a)與單純增厚邊緣 Oxide 結構(b)示意圖

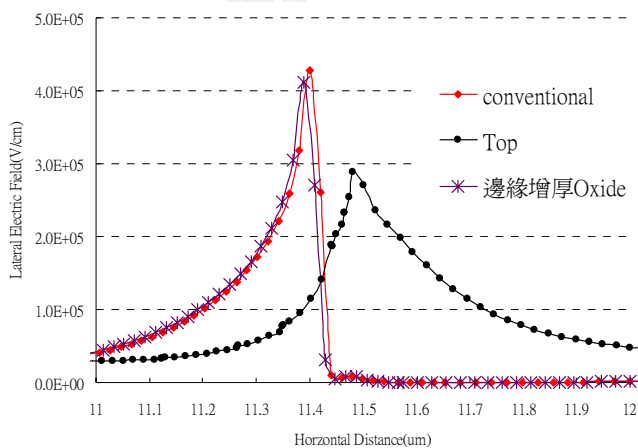


圖 3.15 Conventional、Top、增厚邊緣 Oxide 橫向電場模擬數據

	Conventional	Top	增厚邊緣Oxide
橫向電場(V/cm)	4.3E+05	2.9E+05	4.1E+05
與傳統電場比較		-32%	-5%

表 3.5 Conventional、Top、增厚邊緣 Oxide 橫向電場大小

3-3.2 改變離子佈植能量

我們知道離子佈植能量，能量越高，高濃度範圍越深。我們為了要判斷 Top 結構降電場的主因，是否跟濃度分佈有關，所以我們改變離子佈植能量，讓高濃度範圍更接近 Channel/Drain 接面，判斷電場大小，查出降電場的主因。圖 3.16 可以看出離子佈植能量 35KeV 與離子佈植能量 85KeV 的濃度分佈，發現離子佈植能量 85KeV 更接近 Channel/Drain 接面，再從圖 3.17 橫向電場模擬數據以及表 3.6 橫向電場大小比較。發現離子佈植能量 85KeV 比離子佈植能量 35KeV 有更大的電場，推出離子佈植能量是造成 Top 結構電場變化的主因。圖 3.18 比較 Top 能量 35KeV、Top 能量 85KeV 以及單純增厚邊緣 Oxide 的電場圖，發現單純增厚邊緣 Oxide 有較高的電場，所以離子佈植能量是改變電場的主要關鍵。

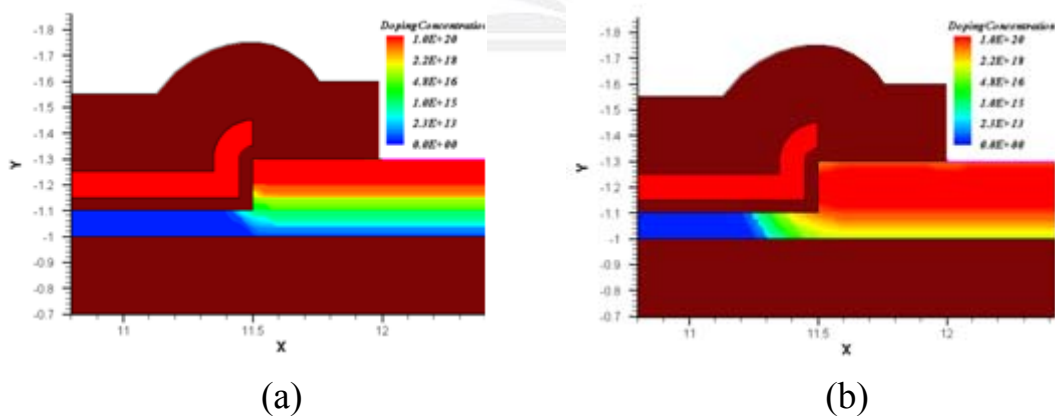


圖 3.16 Top 結構不同離子佈植能量(a)35KeV 與(b)85KeV 濃度分佈

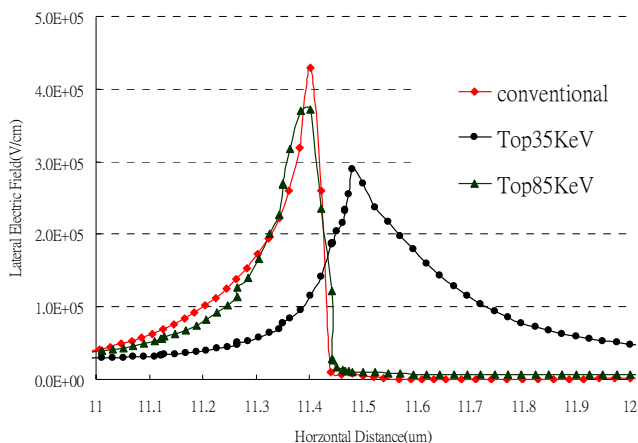


圖 3.17 Conventional、Top35KeV、Top85KeV 橫向電場模擬數據

	Conventional	Top35KeV	Top85KeV
橫向電場(V/cm)	4.3E+05	2.9E+05	3.72E+05
與傳統電場比較		-32%	-13.5%

表 3.6 Conventional、Top35KeV、Top85KeV 橫向電場大小

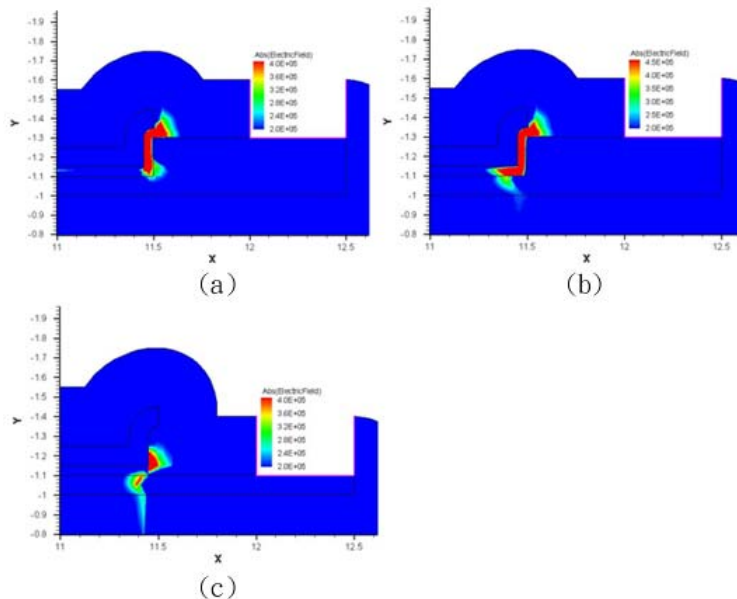


圖 3.18 Top 能量 35KeV(a)、Top 能量 85KeV(b)以及單純增厚邊緣 Oxide(c)的電場圖

第四章 結論

在本實驗中，我們知道汲源極增厚，不一定能降低電場，從傳統與 Bottom 結構，我們可以知道汲源極增厚，不能有效的降低電場，在比較 Bottom 與 Bottom extend 結構，可以推論出閘極下離子高濃度範圍，就是公式中 $E_{\max} = \frac{(V_{DS} - V_{Dsat})}{l}$, $l = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}} t_{ox} x_j}$ 的 x_j ，接著我們打高能量的離子佈植，可以得到 Bottom extend 結構離子佈植能量 85KeV 比 35KeV 更能有效降低橫向電場，因高能量離子佈植，造成高濃度離子範圍擴大， x_j 的數值也隨之增加，造成橫向電場下降。然後，我們比較 Top 結構，可以知道有兩種因素在影像 Top 結構，一種是邊緣增厚 Oxide 結構，一種是離子濃度範圍，才實驗中可以知道，邊緣增厚 Oxide 並不能有效的降低橫向電場，離子濃度的範圍，可以明顯看出電場的變化，我們知道離子佈植能量 35KeV 濃度範圍位於表面，所以造成 Channel 到 Drain 的濃度明顯下降，電場也隨之降低。我們得到的結論，汲源極增厚不一定能降低電場，而是要看結構，不是一昧的增厚汲源極就有用。本實驗，討論 RSD 降電場的主因，期許在往後的實驗中，更能把 RSD 的功用，發揮最大效力。

參考文獻

- [1] S. M. Sze, "Physics of Semiconductor Devices," 2nd ed., Wiley, New York, 1985, Chap. 8.
- [2] S. Gauza, X. Zhu, W. Piecek, R. Dabrowski, and S. T. Wu, "Fast Switching Liquid Crystals for Color-Sequential LCDs," *J. Display Technol.*, vol. 3, no. 3, pp.250-252, Sep. 2007.
- [3] J. S. Chen, and M. D. Ker, Senior, "New Gate-Bias Voltage-Generating Technique With Threshold-Voltage Compensation for On-Glass Analog Circuits in LTPS Process," *J. Display Technol.*, pp.309-314, vol. 3, no. 3, Sept. 2007.
- [4] T. Morita, "An overview of active matrix LCDs in business and technology," in *AMLCD Tech. Dig*, pp. 1-7, 1995
- [5] B. Atwood, T. Ishii, T. Osabe, T. Mine, F. Murai, K. Yano, "SESO Memory: A CMOS compatible high density embedded memory technology for mobile applications," in *Proc. Symp. VLSI Circuits*, 2002, pp. 154–155.
- [6] S. C. Chen et al., "A Novel Nanowire Channel Poly-Si TFT Functioning as Transistor and Nonvolatile SONOS Memory," *IEEE Electron Device Lett.*, vol. 28, no. 9, pp. 809-811, Sept. 2007.
- [7] H. Wang, M. Chan, S. Jagar, Y. Wang, and P. K. Ko, "Submicron Super TFTs for 3-D VLSI Applications," *IEEE Trans. Electron Devices*, vol. 21, no. 9, pp. 439-441, Sept. 2000.
- [8] R. E. I. Schropp and J. K. Rath, "Novel Profiled Thin-Film Polycrystalline Silicon Solar Cells on Stainless Steel Substrates," *IEEE Trans. Electron Devices*, vol. 46, no. 10, pp. 2069-2071, Oct. 1999.
- [9] C. Y. Chang, Y. K. Fang, and B. S. Wu, "A High Short-circuit Current Inversion Layer Poly-Si Solar Cell", *IEEE Trans. Electron Devices*, vol. ed-32, no. 3, pp. 712-713, Mar. 1985.
- [10] M. K. Hatalis and D. W. Greve, "Large grain polycrystalline silicon by low-temperature annealing of low-pressure chemical vapor deposited amorphous silicon films," *J. Appl. Phys.*, vol. 63, pp. 2260-2266, 1988
- [11] Ching-Wei Lin, Li-Jing Cheng, Yin-Lung Lu, Yih-Shing Lee, and Huang-Chung Cheng, "High-Performance Low-Temperature Poly-Si TFTs Crystallized by Excimer Laser Irradiation with Recessed-Channel Structure," *IEEE ELECTRON DEVICE LETTERS*, VOL. 22, NO. 6, JUNE 2001
- [12] 紀國鐘, 鄭晃忠 編著 "液晶顯示器技術手冊" 台灣電子材料與元件協會 2004.

- [13] A. G. Lewis, D. D. Le, and R. H. Bruce, "Poly silicon TFT Circuit Design and Performance," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1833-1841, Dec. 1992.
- [14] J. G Fossum, A. Oritz-Conde, H. Shichijo, and S. K. Banerjee, "Anomalous leakage current in LPCVD polysilicon MOSFET's," *IEEE Trans. Electron Devices*, vol. 32, pp. 1878-1884, 1985
- [15] K. R. Olasupo, M. K. Hatalis, "Leakage current mechanism in sub-micron polysilicon thin-film transistors," *IEEE Trans. Electron Devices*, vol. 43, pp. 1218-1223, 1996
- [16] M. Lack, I. W. Wu, T. J. King, A. G. Lewis, "Analysis of leakage currents in poly-silicon thin film transistors," in *IEDM Tech. Dig.*, 1993, pp. 385-388
- [17] M. Yazaki, S. Takenaka, and H. Ohshima, "Conduction Mechanism of Leakage Current Observed in Metal-Oxide-Semiconductor Transistors and Poly-Si Thin Film Transistors," *Jpn. J. Appl. Phys.*, Vol. 31, pp. 206-209, 1992
- [18] M. Hack and A. G. Lewis, "Avalanche-Induced Effects in Poly silicon Thin-Film Transistors," *IEEE Electron Device Lett.*, vol. 12, no. 5, May 1991.
- [19] A. Valletta, P. Gaucci, L. Mariucci, G. Fortunato, "Modelling velocity saturation and kink effects in p-channel polysilicon thin-film transistors," *Thin Solid Films*, vol.515, pp.7417-7421, 2005.
- [20] 陳志強 編著 "LTPS 低溫複晶矽顯示器技術" 全華科技圖書股份有限公司
- [21] D. D. Venutoa, M. J. Ohletzb," Floating body effects model for fault simulation of fully depleted CMOS/SOI circuits," *Microelectronics Journal*, vol. 34, pp.889-895, 2003.
- [22] S. Bindra , S. Haldar , R.S. Gupta ," Modeling of kink effect in polysilicon thin film transistor using charge sheet approach," *Solid-State Electronics*, vol. 47, pp.645-651, 2003.
- [23] A. K. K.P., J. K. O. Sin, C. T. Nguyen, and P. K. Ko, "Kink-Free Polycrystalline Silicon Double-Gate Elevated-Channel Thin-Film Transistors," *IEEE Trans. Electron Devices*, vol. 45, no. 12, Dec. 1998
- [24] P. Y. Kuo, T. S. Chao, and T. F. Le, "Suppression of the Floating-Body Effect in Poly-Si Thin-Film Transistors With Self-Aligned Schottky Barrier Source and Ohmic Body Contact Structure," *IEEE Electron Device Lett.*, vol. 25, no. 9, Sep. 2004
- [25] A. T. Voutsas, D. N. Kouvatso, L. Michalas, and G. J. Papaioannou, "Effect of Silicon Thickness on the Degradation Mechanisms of Sequential Laterally Solidified Polycrystalline Silicon TFTs During Hot-Carrier Stress," *IEEE Electron Device Lett.*, vol. 26, no. 3, Mar. 2005

- [26] K. M. Chang, Y. H. Chung, and G. M. Lin, "Anomalous Variations of OFF-State Leakage Current in Poly-Si TFT Under Static Stress," *IEEE Electron Device Lett.*, vol. 23, no. 5, May 2002
- [27] K. M. Chang, G. M. Lin, C. G. Chen, and M. F. Hsieh, "A Novel Four-Mask-Step Low-Temperature Polysilicon Thin-Film Transistor With Self-Aligned Raised Source/Drain (SARSD)," *IEEE Electron Device Lett.*, vol. 28, no. 1, Jan. 2007.
- [28] I. S. Kang, S. H. Han, and S. K. Joo, "Novel Offset-Gated Bottom Gate Poly-Si TFTs With a Combination Structure of Ultrathin Channel and Raised Source/Drain" *IEEE Electron Device Lett.*, vol. 29, no. 3, Mar. 2008.
- [29] H. C. Lin, K. L. Yeh, R. G. Huang, C. Y. Lin, and T. Y. Huang, "Schottky Barrier Thin-Film Transistor (SBTFT) with Silicided Source/Drain and Field-Induced

