FCU ePaper

逢甲大學學生報告 ePaper

報告題名：

高介電常數閘極介電層 TDDB 崩潰行為之研究

作者：陳佑瑋、李育釗

系級：電子四乙

學號：D9650313、D9649992

開課老師：李景松

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年： 97 學年度 第 1 學期

致 謝

本專題論文能順利完成，最要感謝先進元件製程及可靠度研究實驗室（ADPR）林成利博士的指導。感謝 林成利老師這一年來對學生的關心、指導與鼓勵，除了專業知識與研究方法所給我的殷殷教導之外，其處事態度與學者風範更是我努力學習的榜樣，以及在專題上的協助，並在我遇到挫折時給我們最大的鼓勵及指引我們方向，感謝其對學生平日的關心、鼓勵以及犯錯的包容，永銘於心！師長們的諄諄教誨言猶在耳，銘記心中。在此除了說聲謝謝之外，並且希望師長們能事事如意、平安健康。

其次，必須感謝許多曾經指導過我的學長姐們，感謝周美媛學姐、洪嘉駿學長、在我們初步接觸研究領域時，對我們的建議、與協助，在此表達我們的感激。

最後僅以此論文獻給我們最親愛的父母與家人，以及所有關心我們的人，謝謝你們大家鼎力的支持與關心，誠為我們最強力的精神支柱。

摘要

隨著 IC 製程的演進，元件尺寸越做越小，而閘極氧化層(SiO2)也越來越薄，使得直接穿隧漏電流(Direct Tunneling)的增加，造成元件漏電流與功率損耗，所以使用高介電常數材料(High dielectric constant)來取代 SiO2，一般稱為 High-k 材料。因為在相同電容下，High-k 介電層的厚度是二氧化矽之數倍，能夠有效降低直接穿隧漏電流，而許多研究指出鉿(hafnium，Hf)這個元素，為最有希望取代 SiO2 作為閘極介電層之材料，所以選定 Hf 為研究主題。TDDB (Time Dependent Dielectric Breakdown)。在半導體可靠度裡，是一個研究故障機制的重要方法，量測的目的就是要檢測出閘極介電層的生命期，提供規劃最佳製程設計。本專題針對定電壓測試(Constant Voltage Stress，CVS)所得到的 TBD (Time To Breakdown)及 I-t 特性圖，進行閘極介電層的可靠度分析，及崩潰機制的討論。

關鍵字：可靠度、崩潰、High-K、HfO_2、TDDB

目錄

第一章　序論..... 6

1.1 前言..... 6

1.2 研究動機..... 9

第二章 理論分析.....10

2.1 量測方法 TDDB..... 10

2.2 量測機台介紹.....11

2.3 等效氧化層厚度(EOT) 12

2.4 漏電流傳導機制.....13

2.5 MOCVD.....14

第三章 實驗步驟.....17

3.1 HfO_2閘極介電層製程步驟.....17

3.2 SiO_2閘極氧化層製程步驟.....20

3.3 HfO_2與SiO_2電流對時間(I-t)之特性.....23

3.4 HfO_2 TBD韋伯分佈圖.....26

第四章 結論.....27

4.1 SiO_2閘極氧化層崩潰機制.....27

4.2 HfO_2閘極介電層崩潰機制.....28

參考文獻.....29

表目錄

表 1-1 Technology requirements for logic transistors declared in ITRS.....7

表 1-2 高介電常數材料的比較.....8

表 2-1 四種氧化層測試模式圖表.....11

圖目錄

圖 1-1 摩爾定律(Moore’s law).....6

圖 2-1 CVS 量測方法示意圖.....11

圖 2-2 不同的介質材料的電流密度(A/cm^2)和EOT(nm) 12

圖2-3 陷阱輔助穿隧機制示意圖.....14

圖2-4 直接穿隧機制示意圖.....14

圖 2-5 MOCVD 結構示意圖.....16

圖 3-1-a HfO_2介電層製程步驟示意圖.....17

圖 3-1-b HfO_2介電層製程步驟示意圖.....17

圖 3-1-c HfO_2介電層製程步驟示意圖.....18

圖 3-1-d HfO_2介電層製程步驟示意圖.....18

圖 3-1-e HfO_2介電層製程步驟示意圖.....18

圖 3-1-f HfO_2介電層製程步驟示意圖.....19

圖 3-2-a SiO_2氧化層製程步驟示意圖.....20

圖 3-2-b SiO_2氧化層製程步驟示意圖.....20

圖 3-2-c SiO_2氧化層製程步驟示意圖.....21

圖 3-2-d SiO_2氧化層製程步驟示意圖.....21

圖 3-2-e SiO_2氧化層製程步驟示意圖.....21

圖 3-2-f SiO_2氧化層製程步驟示意圖.....22

圖 3-3 HfO_2之I-t特性圖.....24

圖 3-4 HfO_2之I-t特性圖.....24

圖 3-5 SiO_2之I-t特性圖.....25

圖 3-4 HfO_2之I-t特性圖.....25

圖 3-7 HfO_2之TBD韋伯分佈圖.....26

圖 3-8 HfO_2不同偏壓下之TBD韋伯分佈圖.....26

圖 4-1 SiO_2崩潰機制示意圖.....27

圖 4-2 HfO_2崩潰機制示意圖.....27

第一章　序論

1.1 前言

1964年哥登・摩爾(英特爾公司的共同創始人之一)提出在價格不變之下，電腦晶片上的元件數目，幾乎每12個月就增加一倍，即為著名摩爾定律(Moore’s law)。在今日的IC製造產業，CMOS製程已經成為主要的技術，隨著元件積集度不斷增加，且元件尺寸不斷縮小，閘極氧化層(二氧化矽，SiO_2)縮小到小於20Å的厚度。表1-1為國際半導體技術藍圖(International Technology Roadmap for Semiconductors, ITRS)[11]中的預測，其中指出閘極氧化層厚度(等效於SiO_2厚度)將於2007年到達約10 Å左右的厚度，常見的熱氧化所形成的二氧化矽在這個厚度下會因為直接穿隧的影響，引起閘極漏電流急遽增加，造成元件漏電流與功率損耗問題。[1]

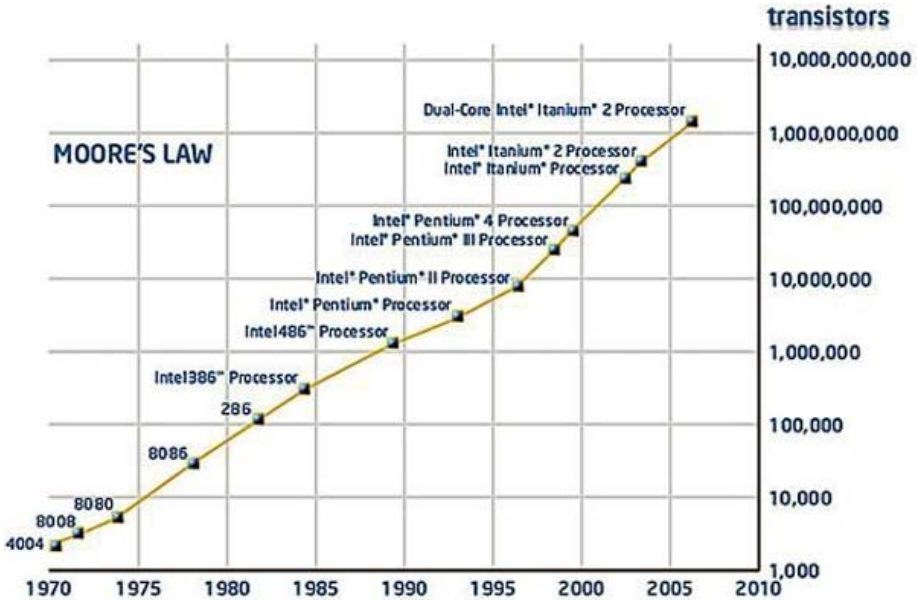

圖 1-1 摩爾定律(Moore’s law)。[16]

表 1-1 Technology requirements for logic transistors declared in ITRS (2004 update) [11]

Year	2004	2007	2010	2013	2016
Technology Node (nm)	90	65	45	32	22
Equivalent Oxide Thickness (Å)	12 - 15	9 - 12	7 - 9	6 - 8	5 - 7
Nominal gate leakage current density limit (at 25℃) (A/cm^2)	4.5E2 | 1.89	9.3E2 | 5.21	1.9E3 | 11	7.7E3 | 21	1.9E4 | 91

為了改善直接穿隧漏電流的影響，而增加閘極氧化層的厚度，但在元件尺寸持續的縮小下，只好選擇其它材料來取代SiO_2，也就是High-k 材料，而k值稱為介電常數(Dielectric Constant) 。[2]

高介電常數材料常以High-k稱呼之，主要功能是用來隔絕閘極的漏電流，傳統氧化層使用的是二氧化矽(SiO_2)，其k值為 3.9，High-k意指為高介電常數，k值到達數十，當k值越高，電晶體的電容值也越高，且相同電容下High-k介電層的厚度是二氧化矽之數倍，能夠有效降低直接穿隧(Direct Tunneling)所造成的漏電流。

表 1-2 高介電常數材料的比較。

Materials	k-value	Bandgap,eV	Electron barrier height	Notes
Si_3N_4	7	5	2.4	Low k-value
Al_2O_3	9~11	8.3	2.9	Low k-value
Ta_2O_5	25~40	4.65-4.85	0.28	Low electron barrier height. Leakage current is sensitive to temperature.
TiO_2	40~80	3.3	1	Leakage current is sensitive to temperature
HfO_2	25~40	6.02	1.6	Potential material

1.2 研究動機

為了改善薄的二氧化矽所造成的直接穿隧漏電流，而選用了High-K材料來改善，目前許多研究都指出鉿(hafnium，Hf)這個元素，為最有希望取代SiO_2作為閘極介電層之材料，所以我們選用了Hf這個元素作為研究主題，而且Hf比起其它High-K材料，直接沉積於矽上時亦有優良之接面特性，如此將有較少的缺陷電荷，間接降低漏電流，且具有良好之熱穩定性與抗腐蝕性[2] 。但高介電材料也有其面臨的挑戰，目前高介電薄膜的介面缺陷密度(trap density)一致高於二氧化矽，其電子遷移率較低。此外氧化鉿(hafnium oxide，HfO_2)與底下的矽基板之間也會形成一層SiO_2的介面層(interfacial layer，IL)，形成串接電容造成整體電容值下降，介面層的存在也是High-K材料能否應用在閘極介電層的關鍵之一。本實驗研究HfO_2高介電常數閘極介電層與SiO_2閘極氧化層崩潰機制與可靠度分析。

第二章　實驗步驟

2.1 量測方法 TDDB

業界常用來評估 IC 產品可靠度的一個指標是故障率。由於 IC 產品的可靠度是指半導體在操作一段時間後的存活率(相對故障率)，存活率愈高(即故障率愈低)就表示 IC 產品可靠性愈好。加速測試定義:使用比 IC 產生正常操作狀況更嚴苛的條件來測試，可縮短測試時間而快速反應故障機制。前提是加速測試與正常操作下得到的故障機制相同，時間是唯一的差別。[10]

時間相依介電質崩潰(Time Dependent Dielectric Breakdown，TDDB)在半導體可靠度，是一個研究故障機制的重要方法，量測的目的就是要檢測出閘極氧化層的耐久性，預測短路的產生時間，提供規劃最佳化之製程設計。基本的測試有電流測試(Current Stress)與電壓測試(Voltage Stress)，依照和時間的關係又可區分為定常(Constant)模式與斜坡(Ramp)模式，一共可分為四種模式如表 2-1。TDDB定義為當外加固定電流密度導致在一段時間後閘極電壓突然陡降，或者外加固定電壓使其在一段時間後，閘極漏電流急遽上升。本專題是針對定電壓測試(Constant Voltage Stress，CVS)所得到的 T_{BD}(Time To Breakdown)進行氧化層的可靠度分析，T_{BD}指的就是氧化層發生崩潰時的時間。

表 2-1 四種氧化層測試模式圖表。[4]

Test Mode	Source	Sense	Measured Parameters
Constant Voltage	V, V_o, T	I, T	Tbd Qbd
Ramped Voltage	V, V_o+Rt, T	I, V	Ebd Qbd Ibd
Constant Current	I, I_o, T	V, T	Qbd Tbd
Ramped Current	I, I_o+Rt, T	V, I	Ibd Qbd Ebd

2.2 量測機台介紹

使用HP4156 參數分析儀，選擇一個適當的定電壓(constant voltage)，及一個量測的時間範圍，開始去執行時間對電流曲線的測量，之後利用所得到的數據作圖，當閘極漏電流急遽上升找出，則發生的時間則為T_{BD}。

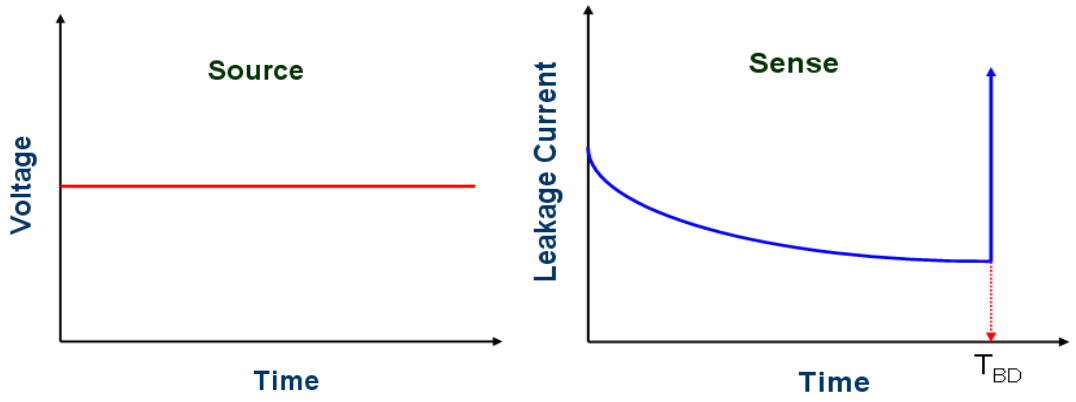

圖 2-1 CVS 量測方法示意圖。

2.3 等效氧化層厚度(EOT)

一般使用高介電常數材料來取代SiO_2作為閘極介電層時，會將其厚度換算為等效於$Si_2$2的厚度(Equivalent Oxide Thickness, EOT)來作為指標，其換算公式為：

$$EOT = \frac{\varepsilon \mathrm{sio2}}{\varepsilon x} t_x$$

其中 $\varepsilon SiO2$ 為SiO_2 之相對介電常數(3.9)，εx 及t_x分別為材料之相對介電常數與厚度；對於同厚度的介電材料而言，其相對介電常數越高，也就是k值越高，造成的EOT值越低，代表其造成的電荷儲存值相當於越薄的SiO_2的電荷儲存值。在相同電容值下，High-k介電層厚度為二氧化矽的數倍，因此，使用高介電常數可利用較厚的厚度取代極薄的SiO2 層，同時延續閘極氧化層厚度持續縮減的趨勢。

Fig.2-2[12]便指出若將SiO_2 以SiOxNy、HfO_2、Al_2O_3、La_2O_3 等高介電常數材料取代時，閘極漏電流密度就能被有效地減少三至六個級數的結果。

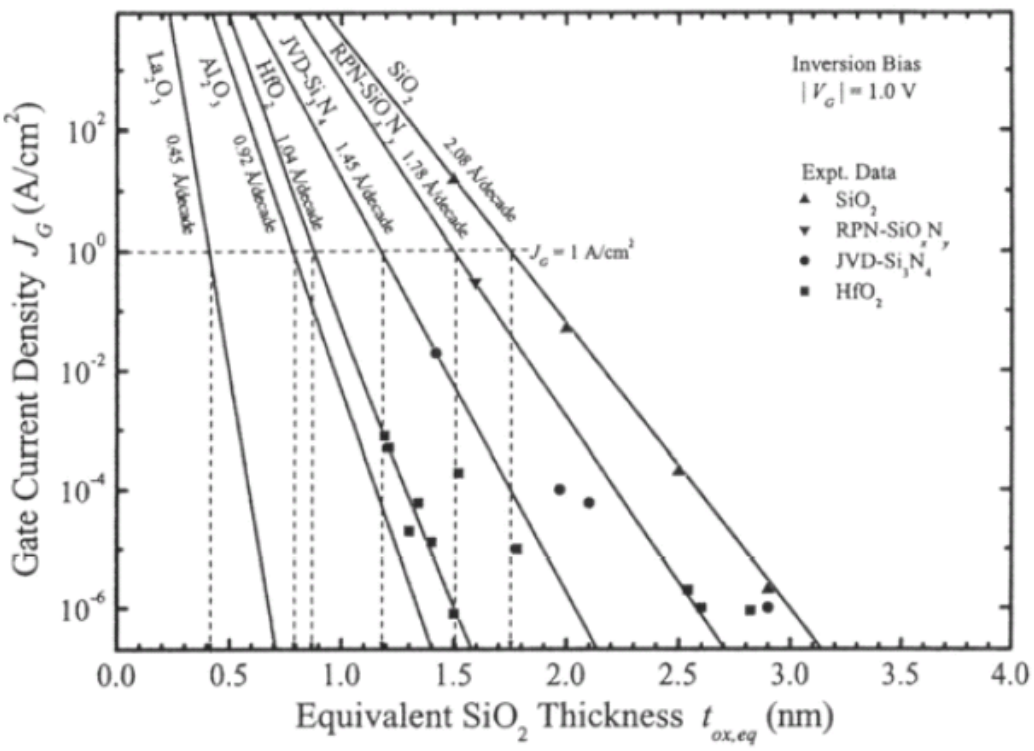

圖 2-2 不同的介質材料的電流密度(A/cm^2)和EOT(nm)。[12]

2.4 漏電流傳導機制

陷阱輔助穿隧(Trap assisted tunneling)發生在電子跑到氧化層內部的trap，再從trap跑到矽基板，這樣以trap做為跳板的電流傳導機制稱為陷阱輔助穿隧。

直接穿隧(Direct tunneling)也是一個量子機制的穿隧過程，它發生在超薄的氧化層中，電子可以直接穿隧通過閘極氧化層直接到達基板的通道。

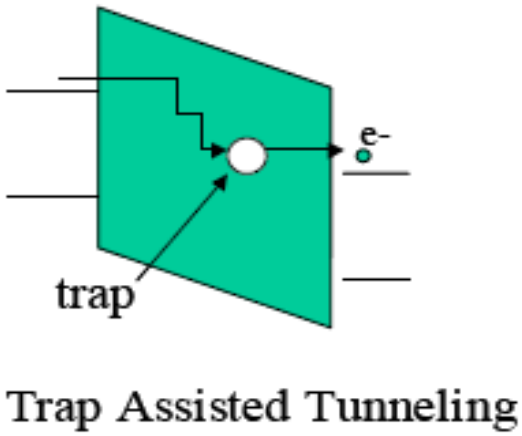

圖2-3 陷阱輔助穿隧機制示意圖[5]

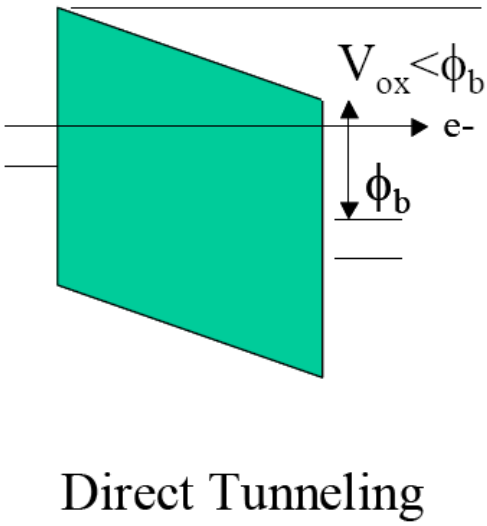

圖2-4 直接穿隧機制示意圖[5]

2.5 MOCVD

有機金屬化學氣相沉積法(Metal-organic Chemical Vapor Deposition，MOCVD)，是在基板上成長氧化層薄膜的一種方法，指的是氧化層薄膜成長過程中所採用的反應源(precursor)為金屬有機物“Metal-Organic”。MOCVD成長薄膜時，主要將載流氣體(Carrier gas)通過有機金屬反應源的容器時，將反應源的飽和蒸氣帶至反應腔

中與其它反應氣體混合，然後在被加熱的基板上面發生化學反應促成薄膜的成長。MOCVD對鍍膜成份、晶相等品質容易控制，可在形狀複雜的基材、襯底、上形成均勻鍍膜，結構密緻，附著力良好之優點，因此MOCVD已經成為工業界主要的鍍膜技術。MOCVD製程依用途不同，製程設備也有相異的構造和型態。

MOCVD 系統的組件可大致分為：反應腔體、氣體控制及混合系統、反應源。

1. 反應腔體(Reactor Chamber)：

反應腔體(Reactor Chamber)主要是所有氣體混合及發生反應的地方，腔體通常是由不鏽鋼或是石英所打造而成。在腔體中會有一個承載盤用來承載基板，這個承載盤必須能夠有效率地吸收從加熱器所提供的能量而達到薄膜成長時所需要的溫度。

2. 氣體控制及混合系統(Gas handling & mixing system)：

載流氣體從系統的最上游供應端流入系統，經由質量控制器(Mass flow controller，MFC)的調節來控制各個管路中的氣體流入反應腔體的流量。

3. 反應源(Precursor)：

有機金屬反應源儲藏在一個具有兩個聯外管路的密封不鏽鋼罐內，在使用此金屬反應源時，則是將這兩個聯外管路各與 MOCVD 機台

的管路緊密接合，載流氣體可以從其中一端流入，並從另外一端流出時將反應源的飽和蒸氣帶出，進而能夠流至反應腔體。

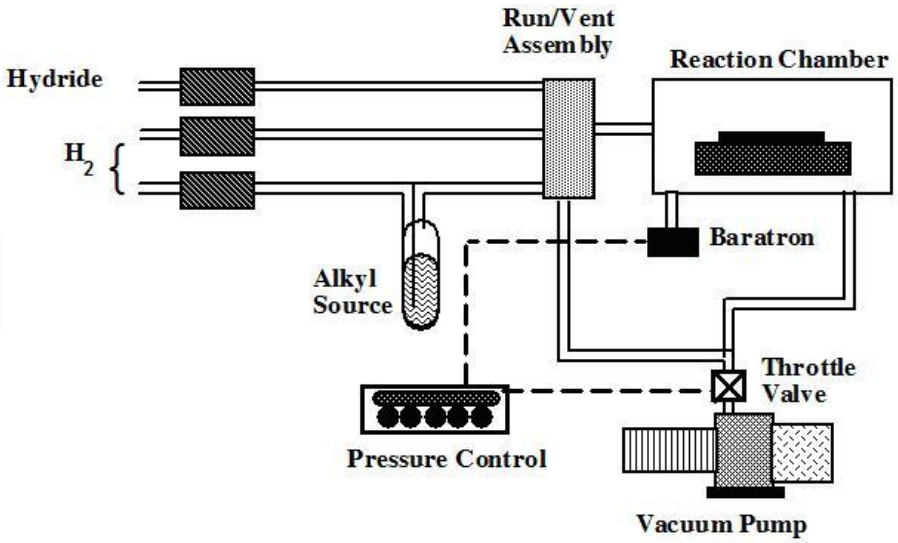

圖 2-5 MOCVD 結構示意圖。[13]

第三章　實驗步驟

3.1 HfO_2閘極介電層製程步驟

首先，在P型矽晶片上，以RCA Clean清洗製程去除有機物、金屬離子、灰塵等汙染物……等，進行清潔(圖 3-1-a)。利用MOCVD沉積150Å厚的HfO_2閘極介電層，接著oxide RTA(圖 3-1-b)。上HMDS幫助光阻附著 ，接著上光阻(正光阻)、軟烤、曝光、顯定影、顯微鏡、硬烤(圖 3-1-c)。沉積氮化鉭(TaN)作為閘極，厚度為 500Å(圖 3-1-d)。採用光阻剝落法(Lift-off)而形成閘極(圖 3-1-e)。背鍍Al前，先擦BOE(Buffer Oxide Etch)去除自生氧化層(native oxide)，最後沉積鋁(Al)厚度 2000Å(圖 3-1-f)。

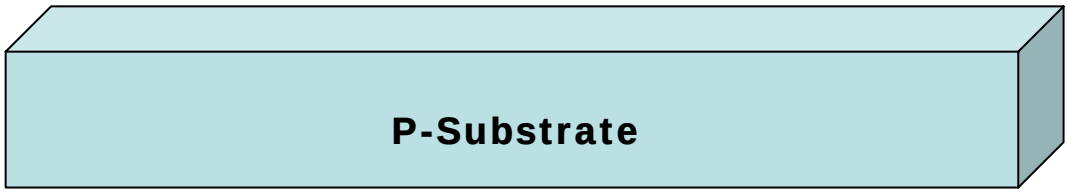

圖 3-1-a 製程步驟示意圖

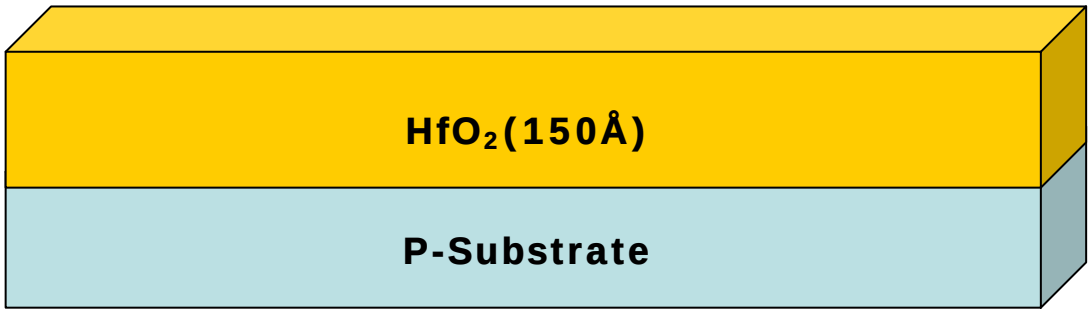

圖 3-1-b 製程步驟示意圖

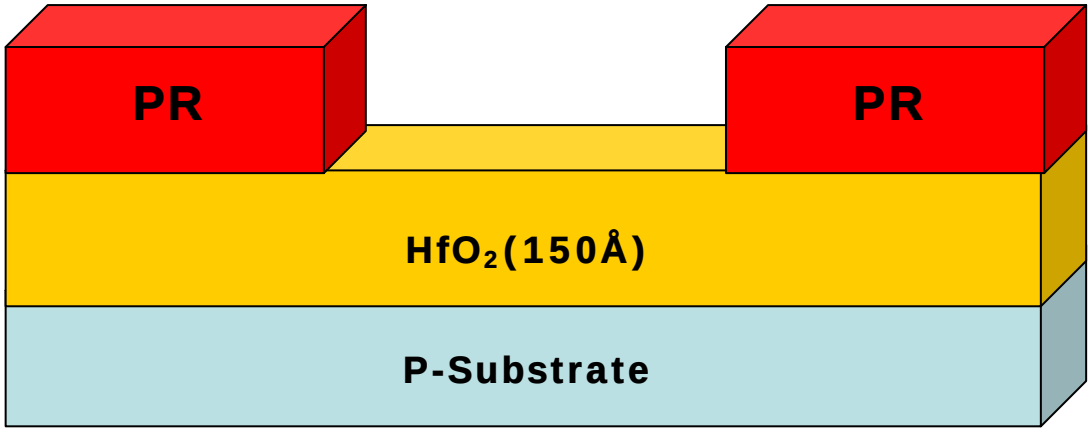

圖 3-1-c 製程步驟示意圖

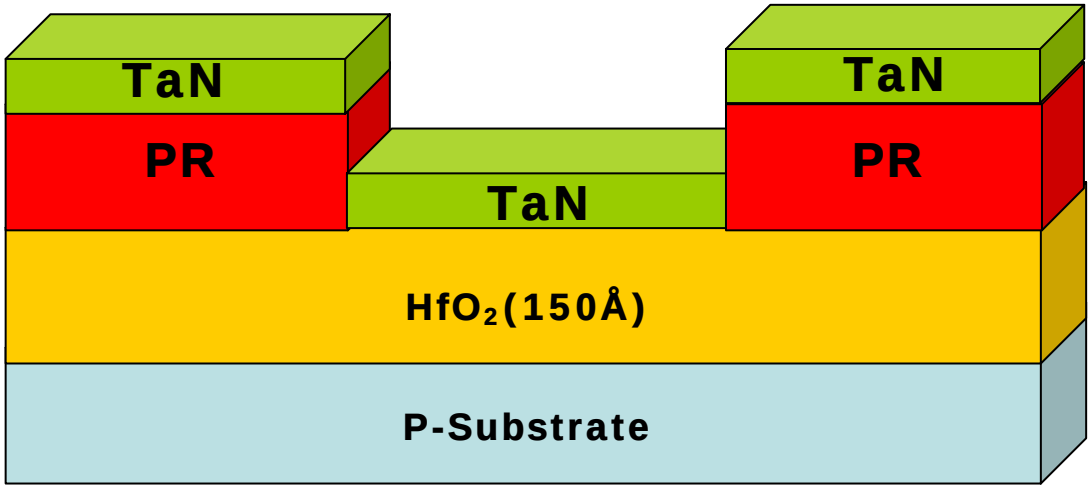

圖 3-1-d 製程步驟示意圖

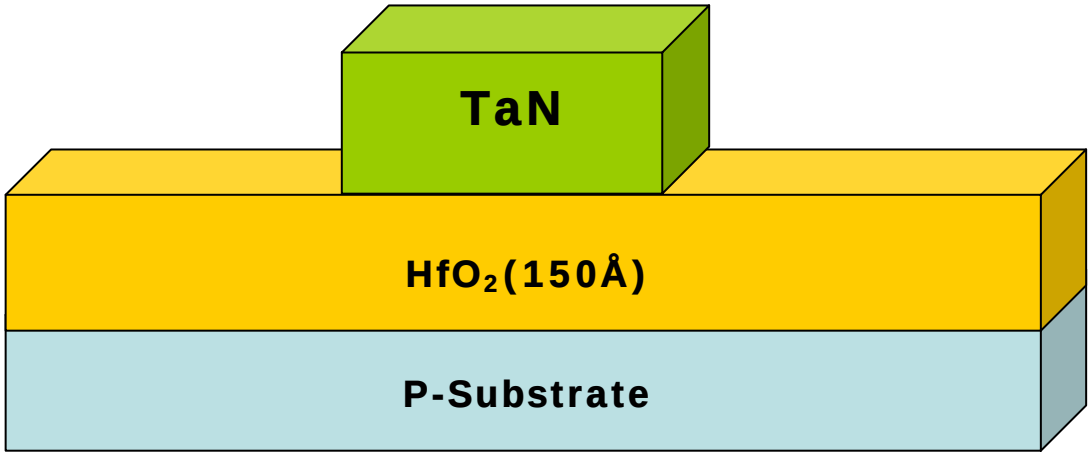

圖 3-1-e 製程步驟示意圖

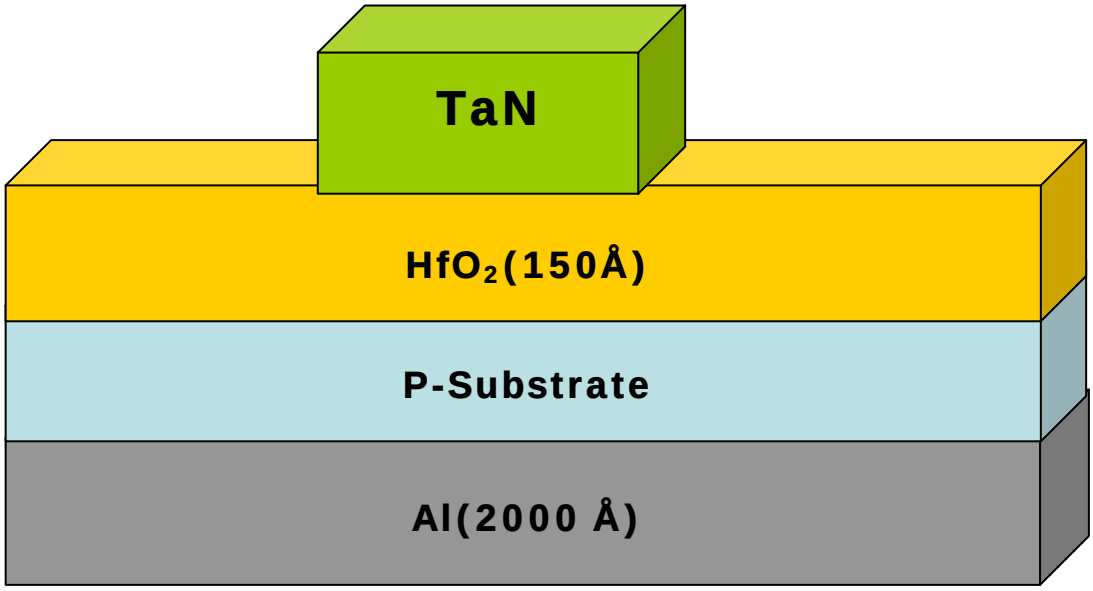

圖 3-1-f 製程步驟示意圖

3.2 SiO_2閘極氧化層製程步驟

首先，在P型矽晶片上，以RCA Clean清洗製程去除有機物、金屬離子、灰塵等汙染物……等，進行清潔(圖 3-2-a)。利用垂直爐管(Vertical furnace)成長 30Å厚的SiO_2閘極氧化層，接著oxide RTA。(圖 3-2-b)。上HMDS幫助光阻附著 ，接著上光阻(正光阻)、軟烤、曝光、顯定影、顯微鏡、硬烤(圖 3-2-c)。沉積氮化鉭(TaN)作為閘極，厚度為 500Å(圖 3-2-d)。採用光阻剝落法(Lift-off)而形成閘極(圖 3-2-e)。背鍍Al前，先擦BOE(Buffer Oxide Etch)去除自生氧化層(native oxide)，最後沉積鋁(Al)厚度 2000Å(圖 3-2-f)。

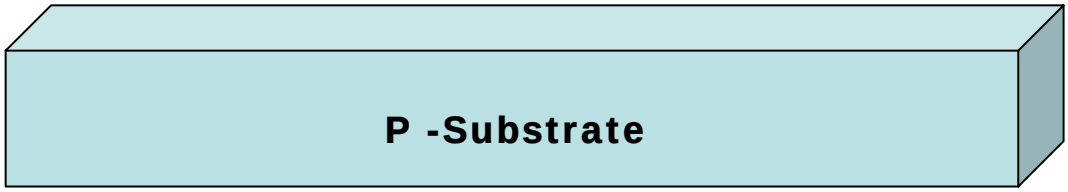

圖 3-2-a 製程步驟示意圖

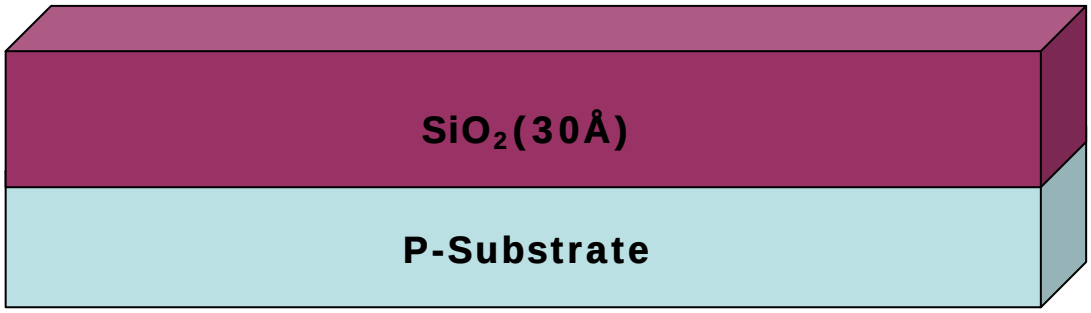

圖 3-2-b 製程步驟示意圖

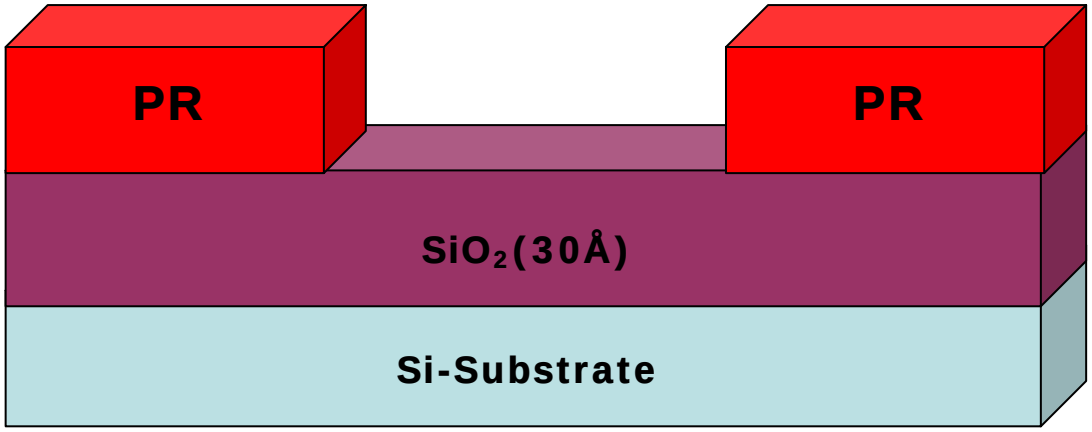

圖 3-2-c 製程步驟示意圖

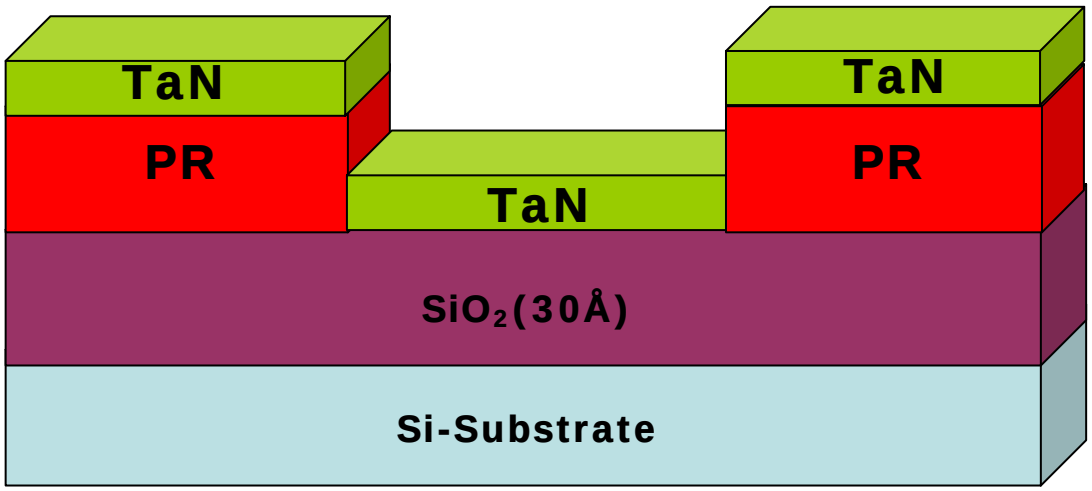

圖 3-2-d 製程步驟示意圖

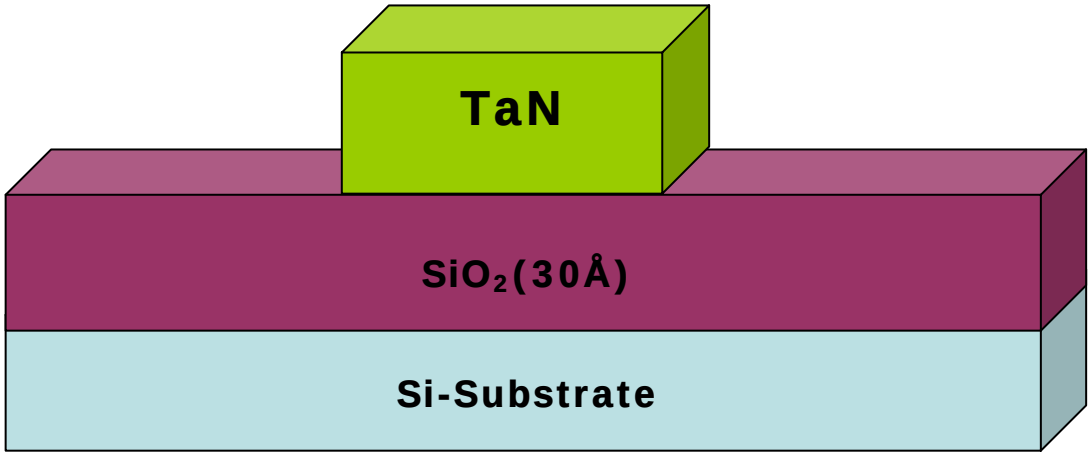

圖 3-2-e 製程步驟示意圖

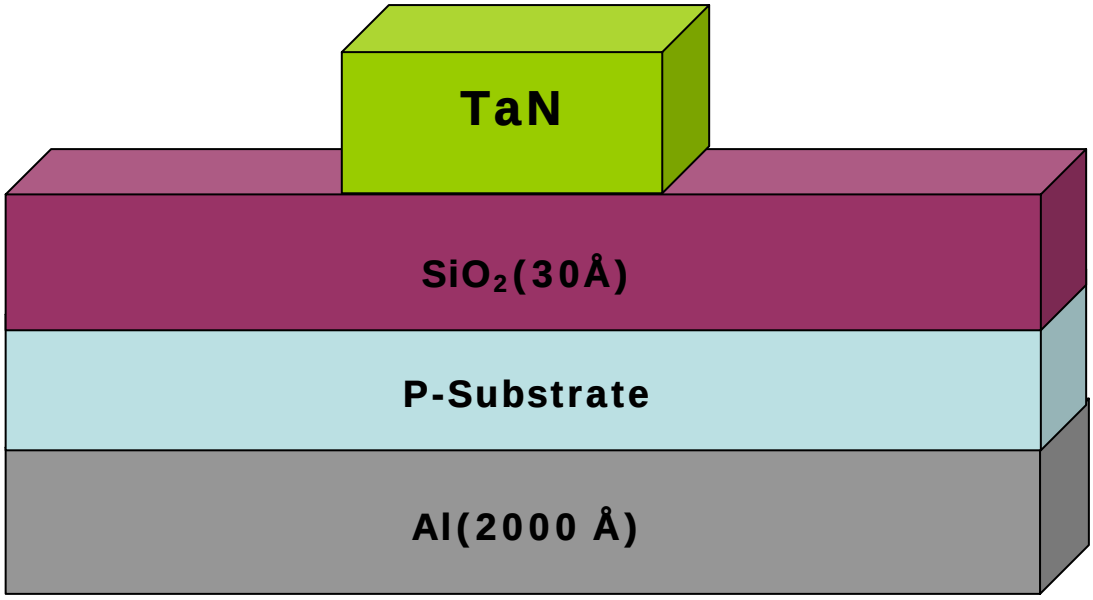

圖 3-2-f 製程步驟示意圖

3.3 HfO_2與SiO_2電流對時間(I-t)之特性

利用HP4156 機台，設定為定電壓測試(CVS)，針對HfO_2將電壓固定在-4.8V，而SiO_2則固定電壓-2.6V，量測漏電流對時間的變化，時間為 1 到 1000 秒，電流則為閘極漏電流，將所得到的數據輸入到Excel，繪製電流對時間(I-t)之特性圖，圖 3-3 及圖 3-4 為HfO_2閘極介電層之I-t之特性圖，可以比較出HfO_2閘極介電層的崩潰行為，依照其漏電流的變化大致可分為四個部份，依序為(1)電荷捕捉與陷阱產生(Charge trapping and &trap generation)、(2)軟崩潰(Soft Breakdown ,SBD)、(3)漸進式崩潰(Progressive Breakdown ,PBD)、(4)硬崩潰(Hard Breakdown ,HBD)，與圖 3-6 比較也可以驗證的知，其所代表的物理意義將在下面章節解釋。圖 3-5 及SiO_2閘極氧化層之I-t之特性圖，可以看出與HfO_2的明顯不同，SiO_2可以清楚看出崩潰行為，類似於硬崩潰之行為，所代表的物理意義將在下面章節解釋。

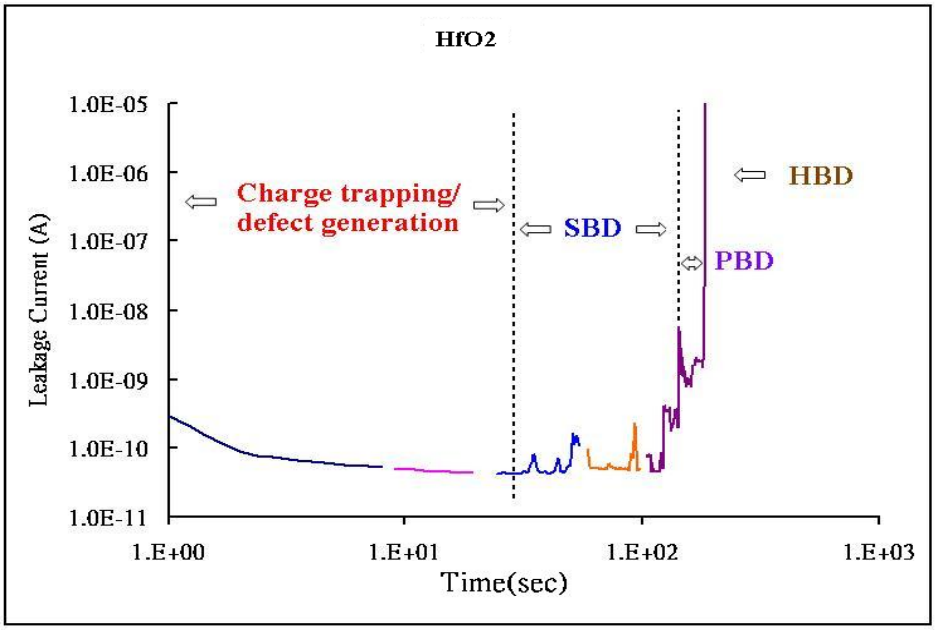

圖 3-3 HfO_2之I-t特性圖。

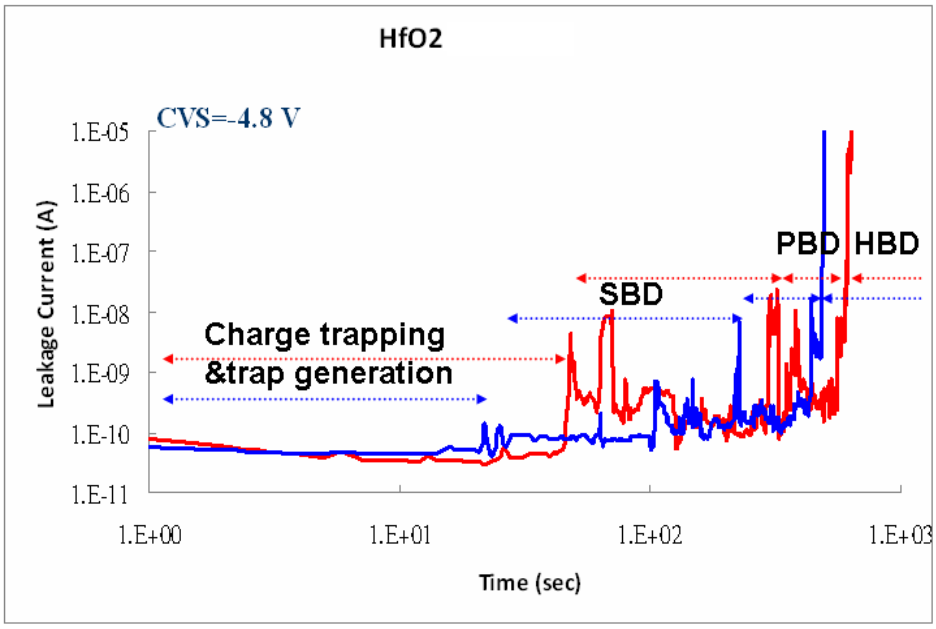

圖 3-4 HfO_2之I-t特性圖。

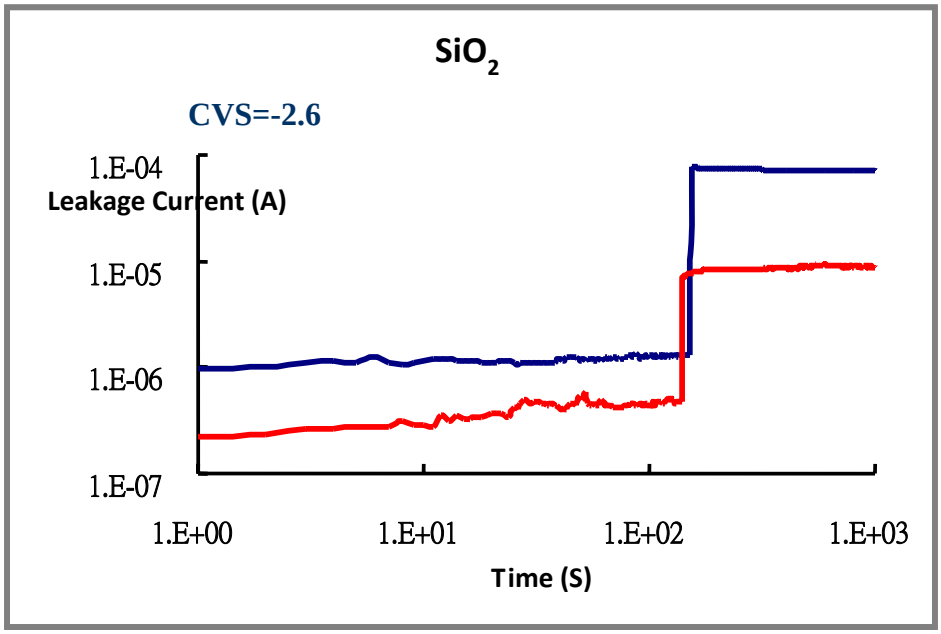

圖 3-5 SiO_2之I-t特性圖。

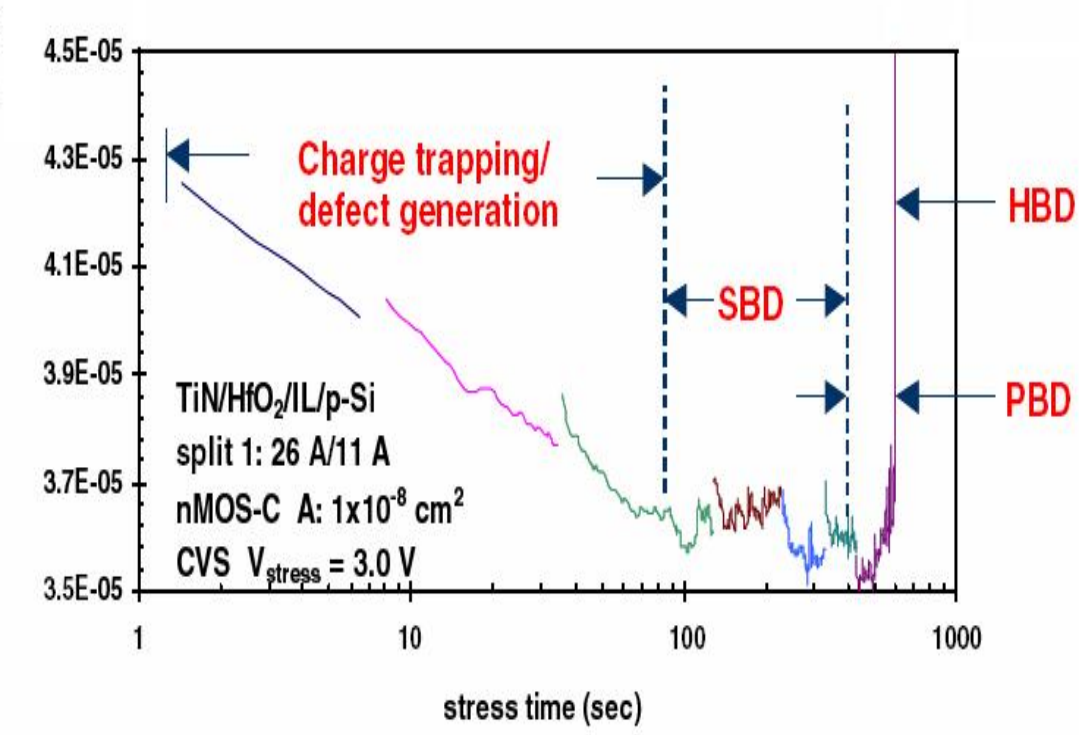

圖 3-6 HfO_2之I-t特性圖。[14]

3.4 HfO_2 TBD韋伯分佈圖

根據上一節所提到的I-t特性，可以知道崩潰時間(Time To Breakdown ,T_{BD})。總共量測有十一組HfO_2I-t的數據，可以得到十一個T_{BD}的時間，利用累積分佈函數(Cumulative Distribution Function,CDF)及韋伯分佈(Weibull distribution)作圖，即可得到圖 3-7，韋伯斜率越直，代表介電層的品質越一致。圖 3-8 顯示在相同介電層厚度下，測試電壓越小，發生崩潰時的時間越長，而韋伯分佈會越往圖形的右邊移動。

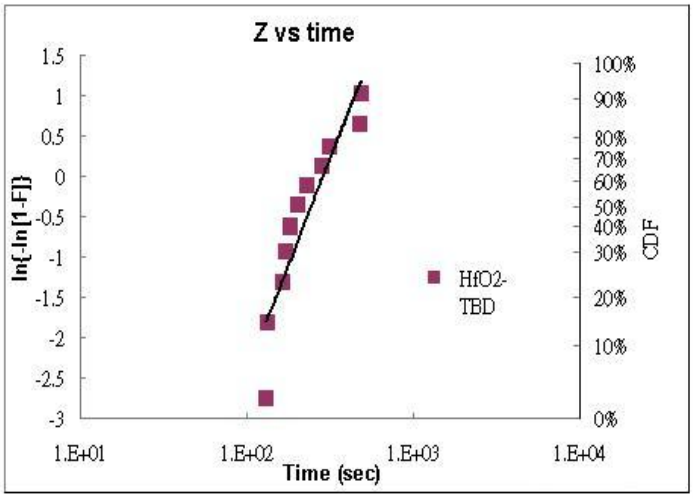

圖 3-7 HfO_2之TBD韋伯分佈圖。

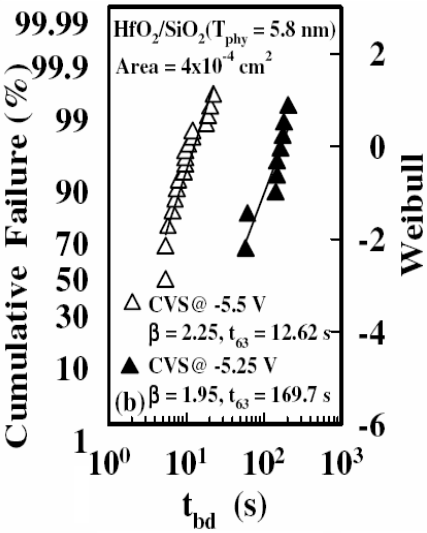

圖 3-8 HfO_2不同偏壓下之 TBD 韋伯分佈圖。[15]

第四章　結論

4.1 SiO_2閘極氧化層崩潰機制

因為SiO_2成長的品質比起High-k還要好，所以SiO_2會有比較少的缺陷(圖 4-1-a)，故SiO_2較不會發生電荷(charge)被捕捉(trapping)的現象，當charge被trapping會產生漏電流下降，而SiO_2則沒有漏電流下降的情形(圖 3-3)，隨著測試(stress)的時間越久，氧化層會產生更多的trap，一旦trap開始重疊，並且產生電流傳導路徑，漏電流開始上升，稱為軟崩潰(Soft Breakdown .SBD)現象(圖 4-1-b)，隨著漏電流越來越大可能導致熱損傷(thermal damage)[8]，熱損傷會產生更多的trap，更多的trap產生更多的電流傳導路徑(圖 4-1-c)，最後,從閘極到矽基板整個導通，此時產生的漏電流極大，導致元件已經故障，稱為硬崩潰(Hard Breakdown ,HBD)

(圖 4-1-d)。

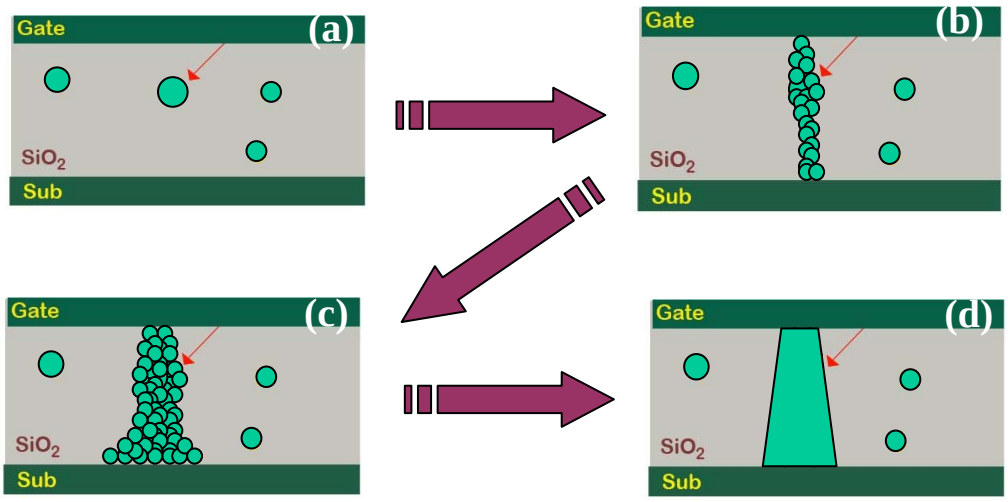

圖 4-1 SiO_2崩潰機制示意圖。

4.2 HfO_2閘極介電層崩潰機制

延續上一節所說的，High-k會有較多的trap(圖 4-2-a)，造成許多的電荷被trapping，會使得初使的漏電流值下降(圖 3-3)，隨著測試的時間越久，而產生更多的trap，發生了缺陷輔助穿隧(Trap-Assisted Tunneling)現象(圖 4-2-b)，trap會成為電荷穿越介電層的跳板，造成漏電流現象。而介面層(Interfacial Layer ,IL)為成長High-k閘極介電層會自然產生的，此為SiO_2介面層，因為介面層通常厚度較薄，容易有直接穿隧的情形，且因為為自然形成，而特性較差，所以當HfO_2有較大的漏電流時，會使的SiO_2介面層發生崩潰現象，在此稱為漸進式崩潰(Progressive Breakdown ,PBD)(圖 4-2-c)，一旦介面層崩潰之後，會造成整個 High-k 介電層崩潰，此時為硬崩潰(圖 4-2-d)，使 High-k 損傷，而導致元件故障。

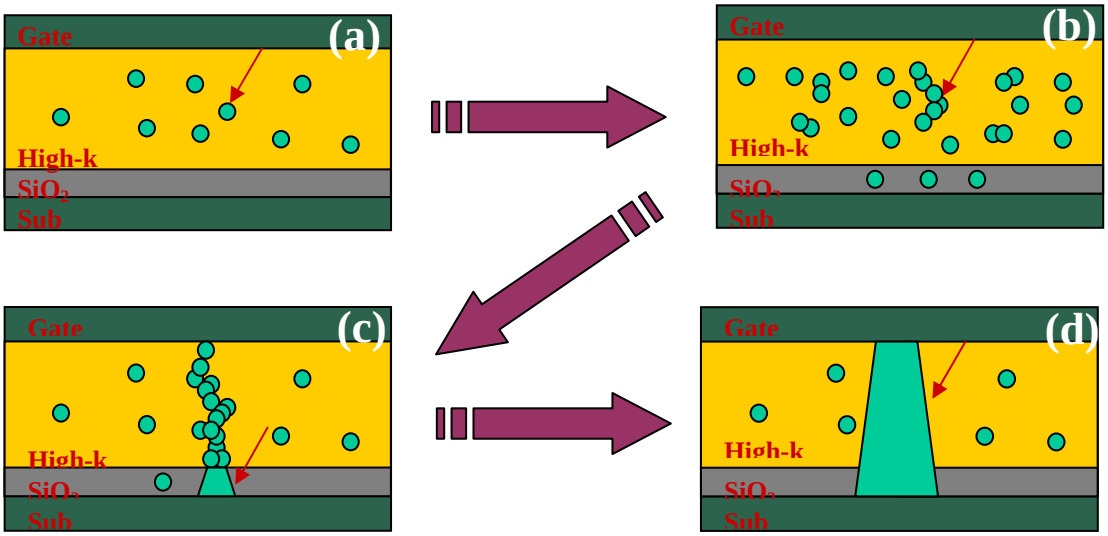

圖 4-2 HfO_2崩潰機制示意圖。

參考文獻

[1] Nian Zhan, K. L. Ng , M. C. Poon, Hei Wong and C. W. Kok; “Charge Trapping and Stress-Induced Dielectric Breakdown Characteristics of WO2 Films”, IEEE ELECTRON DEVICE LETTERS, 2003

[2]巫家瑋，“超薄二氧化鉿高介電薄膜應用於不同基底之金屬氧化物半導體電容其可靠度之研究”，國立雲林科技大學電子與資訊工程研究所碩士班碩士論文，民國九十二年七月

[3]陳怡誠，“高介電薄膜簡介”，交通大學電子研究所碩士

[4]張冠群、張明鑒、陳春男，“晶圓式氧化膜可靠性評估技術之發展與應用”，電子發展月刊第 176 期，民國 82 年 4 月

[5] Christopher L. Henderson，“Semiconductor Reliability Time Dependent Dielectric Breakdown”，2002

[6]林冠良，“金屬污染對 P-N 接面和 MOS 電容電性影響之研究”，逢甲大學電子工程學系碩士班碩士論文，民國九十三年六月

[7] Torii, K.; Aoyama, T.; Kamiyama, S.; Tamura, Y.; Miyazaki, S.; Kitajima, H.; Arikado, T.; “ Dielectric breakdown mechanism of HfSiON/SiO2 gate dielectric ” , 2004 Symposium on VLSI Technology Digest of Technical Papers.

June 2004 Page(s):112 - 113

[8] Navid Azizi, Peter Yiannacouras; “Gate Oxide Breakdown”, December 2, 2003

[9] K. Okada, “Extended Time Dependent Dielectric Breakdown Model Based on Anomalous Gate Area Dependence of Lifetime in Ultra Thin Silicon Dioxide,” Japanese Journal ofApplied Physics, vol. 36, no.1- 3B, pp.1443－1447, 1997.

[10]謝國華，“IC 產品可靠度簡介”，電子與材料第 8 期，P57－62。

[11] The International Technology Roadmap for Semiconductor: 2003 Ed. (2004_update)

[12]Y. C. Yeo, T. J. King and Chenming Hu, “MOSFET Gate Leakage Modeling and Selection Guide for Alternative Gate Dielectrics Based on Leakage Considerations”, Trans. Electron Devices 50, 1027 (2003)

[13] G. B. Stringfellow. Organometallic Vapor-Phase Epitaxy: Theory and Practice, 2nd ed. Academic Press (1999)

[14] N.A. Chowdhury , G. Bersuker , C. Young , R. Choi , S. Krishnan , D. Misra ; “Breakdown characteristics of nFETs in inversion with metal/HfO2 gate stacks”, SDOL

Microelectronic Engineering 85 (2008) 27－35

[15] Piyas Samanta, Chunxiang Zhu ,and Mansun Chan; "Reliability Analysis of Thin HfO2/SiO2 Gate Dielectric Stack", IEEE,2007

[16] Tim Higgs;"可提高單位功率性能的設計方案",2007