

逢甲大學學生報告 ePaper

報告題名：

一對三 24 GHz 威爾金森功率分配器在 CMOS 0.18 μ m 製程下之設計

作者：謝沅圃

系級：電機碩一

學號：M9745277

開課老師：陳志強

課程名稱：微波工程（二）

開課系所：電機系

開課學年：97 學年度 第二學期



中文摘要

本文中，主要研究為設計並分析威爾金森功率分配器，先分析傳統的威爾金森功率分配器，再分析近年發表的雙頻威爾金森功率分配器結構，以及在 IC 上設計的威爾金森功率分配器結構，最後利用這些觀念設計一個一對三威爾金森功率分配器在 CMOS 上。



關鍵字：

威爾金森功率分配器 (Wilkinson Power Divider)、一對三 (Three-Way)、IC 設計、CMOS。

Abstract

In this thesis, the major investigation is to design and analyze a Wilkinson power divider. I will analyze a conventional Wilkinson power divider first. Then I will analyze of a new mold of dual band Wilkinson power divider and analyze a Wilkinson power divider in CMOS. Finally, I will design a three-way Wilkinson power divider in CMOS with these concepts.



誌謝

首先，感謝陳志強老師這一年來的辛苦教學，使我們了解微波工程的內容及知識，並實際去推導與驗證，這也讓我們對此領域有更深刻的印象與記憶，在此再次感謝陳志強老師。另外也要感謝蔣孟儒老師，開了射頻積體電路這門課，讓我們能將微波工程和 IC 設計的知識整合，進一步做新的應用。最後也感謝所有逢甲大學電波組的同學和學長們，提供我這方面許多的知識和資訊。



目 次

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目次.....	iv
圖目錄.....	vi
第一章 緒論.....	1
1.1 前言.....	1
1.2 研究動機與目標.....	2
1.3 本文架構.....	3
第二章 分析傳統威爾金森功率分配器.....	4
2.1 概述.....	4
2.2 傳統威爾金森功率分配器.....	5
2.3 奇偶模分析.....	7
第三章 分析雙頻威爾金森功率分配器.....	9
3.1 概述.....	9
3.2 雙頻威爾金森功率分配器之設計方法.....	11
3.2.1 多層結構.....	11
3.2.2 多節組合式傳輸線.....	12

3.3.3 並聯殘支.....	13
第四章 分析在 CMOS 上的威爾金森功率分配器.....	16
4.1 概述.....	16
4.2 分析一對多威爾金森功率分配器.....	17
4.3 分析在 CMOS 上的威爾金森功率分配器.....	21
第五章 設計在 CMOS 上的一對三威爾金森功率分配器.....	23
5.1 概述.....	23
5.2 結構設計與模擬結果.....	24
第六章 改良設計的威爾金森功率分配器.....	28
6.1 概述.....	28
6.2 改良後結構與模擬結果.....	29
6.2.1 多層結構.....	29
6.2.2 多節組合式.....	30
6.3 問題與討論.....	32
第七章 結論與未來展望.....	33
參考文獻.....	34

圖目錄

圖 2-1 微帶線威爾金森功率分配器.....	5
圖 2-2 威爾金森功率分配器等效傳輸線模型.....	6
圖 2-3 對稱結構之阻抗正規化等效傳輸線模型.....	6
圖 2-4 不等功率微帶線威爾金森功率分配器.....	7
圖 2-5(a)偶模半電路.....	8
圖 2-5(b)奇模半電路.....	8
圖 3-1 雙層威爾金森功率分配器結構圖.....	11
圖 3-2 多節組合式傳輸線結構圖.....	13
圖 3-3 並聯殘支結構圖.....	14
圖 3-4 並聯殘支的奇偶模分析圖.....	14
圖 3-5 z_1 、 z_s 與 f_2/f_1 之關係.....	15
圖 4-1 一對多威爾金森功率分配器示意圖.....	17
圖 4-2 文獻[3]一對四結構圖.....	17
圖 4-3 文獻[3]一對二結構圖.....	18
圖 4-4 文獻[3]一對二 S 參數.....	19
圖 4-5 文獻[3]一對四 S 參數.....	20
圖 4-6 文獻[4]結構圖.....	21
圖 4-7 文獻[4]單位結構圖.....	22

圖 4-8 文獻[4]S 參數.....	22
圖 5-1 本篇設計結構圖[1].....	24
圖 5-2 本篇設計結構圖[2].....	25
圖 5-3 本篇設計結構圖[3].....	25
圖 5-4 本篇設計結構圖[4].....	26
圖 5-5 本篇設計 S 參數模擬圖.....	27
圖 6-1 雙頻改良結構[1].....	29
圖 6-2 雙頻改良結構 S 參數[1].....	30
圖 6-3 雙頻改良結構[2].....	31
圖 6-4 雙頻改良結構 S 參數[2].....	31



第一章 緒論

1.1 前言

在微波領域中，功率分配器（分波器）是作為功率分流的被動元件。在功率分配器中，輸入的訊號會被分成兩個或更多較低功率的訊號。而一般來說，功率分配器是均分功率的元件，當然也有設計為不均分的功率分配器，一切都將因不同的需求做設計。



1.2 研究動機與目標

由於威爾金森功率分配器在 PCB 板上，已有非常多不同功能、類型的設計提出，加上這學期在射頻積體電路學到一些 IC 設計的觀念。因此想到將 WPD 設計在 CMOS 上，這不僅是現在常用的技術，也可將微波工程及射頻電路設計這兩門課所學到的做結合與應用。

威爾金森功率分配器的應用非常廣泛，尤其在天線及功率放大器上做等相位的功率分配。在 24 GHz 是短程汽車雷達及一些陣列天線經常應用的頻段，這些應用常需要用到功率分配器，並具有低損耗輸入及高隔離度的特性。大部分的威爾金森功率分配器設計都是偶數個輸出，因為佈線及分配電阻都較容易且簡單，因此設計一對三威爾金森功率分配器是較有挑戰性的。

目標是用 HFSS 模擬軟體，設計一個在 CMOS 上的一對三威爾金森功率分配器。

1.3 本文架構

本文，主要分為六個架構：

第二章 分析傳統威爾金森功率分配器之特性及設計方法。

第三章 分析雙頻威爾金森功率分配器，從文獻探討[1][2]中，了解並分析不同的雙頻設計方法。

第四章 分析在 CMOS 上的威爾金森功率分配器，從文獻探討[3]中了解一對多威爾金森功率分配器的設計原則，在從文獻探討[4]中了解其設計及佈線原理。

第五章 設計一個在 CMOS 上的一對三威爾金森功率分配器操作在 24 GHz，並利用 HFSS 模擬。

第六章 將設計好的模擬結果加以改良成雙頻，此部份雖失敗但結果仍有參考價值可供檢討和改進。

第七章 對本篇研究作總結，並提出未來還可以再改進的方向。

第二章

分析傳統威爾金森功率分配器

2.1 概述

傳統威爾金森功率分配器是一種損耗性的三埠網路，它可以做到所有端埠的匹配，以及輸出端之間的完全隔離。

威爾金森功率分配器也可設計為任意的功率分配，以下將介紹一般三埠的等分功率威爾金森功率分配器及不等分功率威爾金森功率分配器，並以奇偶模分析並了解其特性。



2.2 傳統威爾金森功率分配器

圖 2-1 為微帶線製作的威爾金森功率分配器，圖 2-2 是威爾金森功率分配器的等效傳輸線模型，而圖 2-3 是由圖 2-2 進一步分析而得的對稱結構並經過阻抗正規化。由圖 2-2 可以知道如何設計，關於各傳輸線的阻抗、傳輸線的長度、以及隔離電阻的阻值。

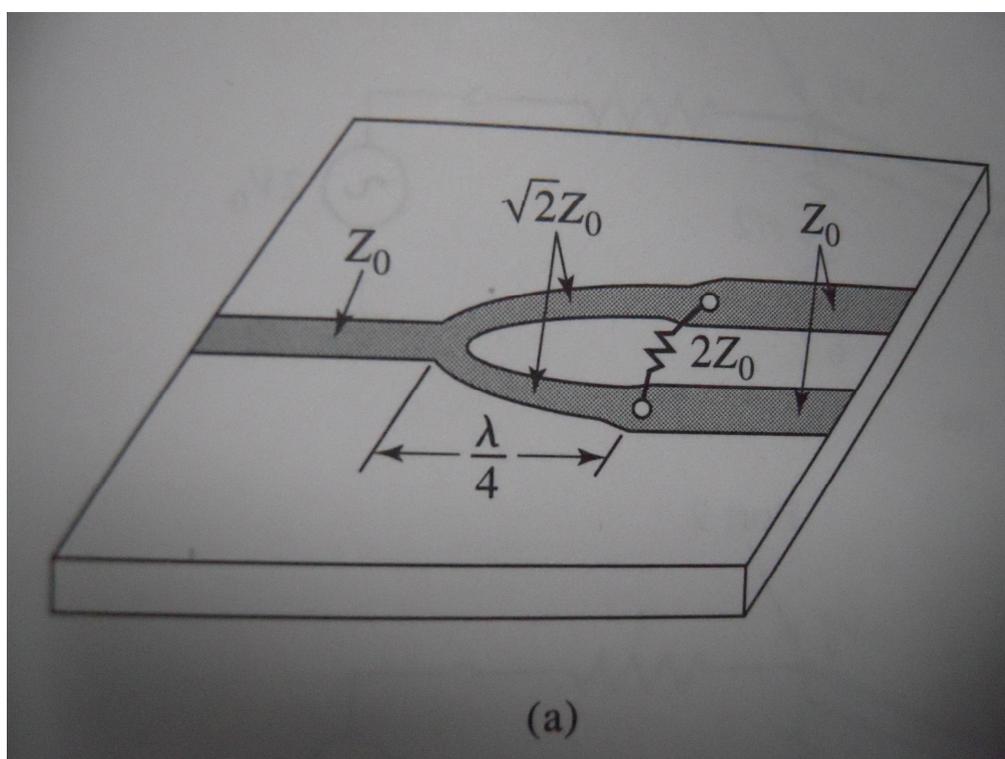


圖 2-1 微帶線威爾金森功率分配器

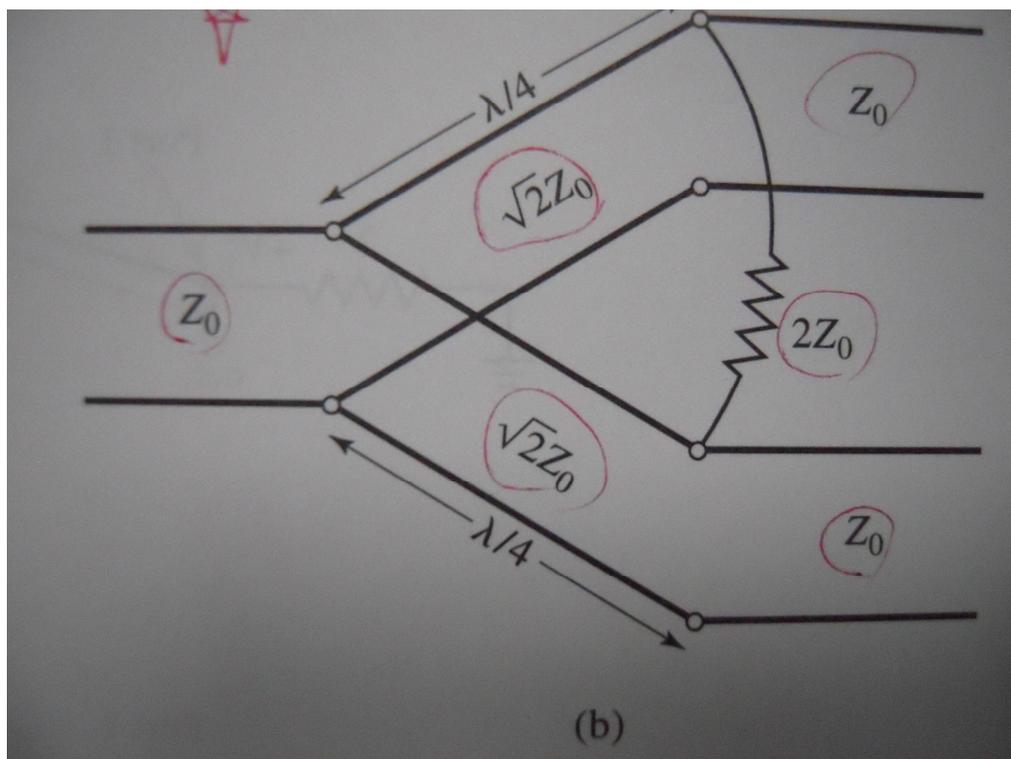


圖 2-2 威爾金森功率分配器等效傳輸線模型

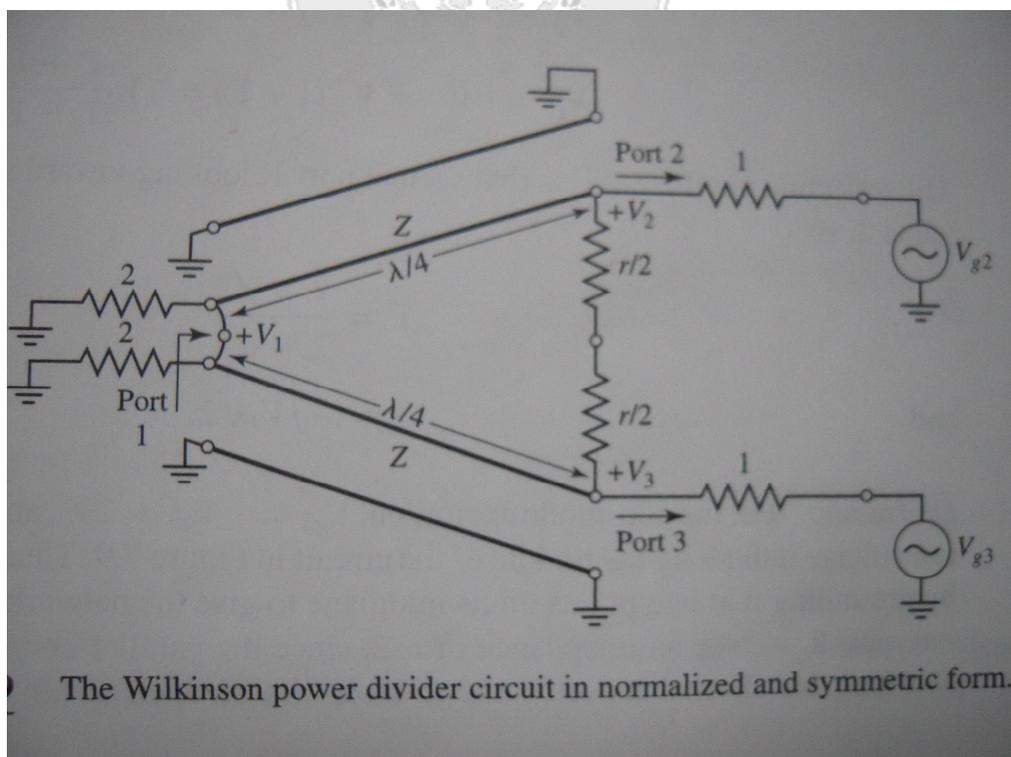


圖 2-3 對稱結構之阻抗正規化等效傳輸線模型

圖 2-4 是不等分功率的微帶線威爾金森功率分配器。利用圖 2-4 搭配式 2-1、2-2、2-3，可以知道其設計原理，但當 $K=1$ 時，此設計將會簡化為等分功率的威爾金森功率分配器。

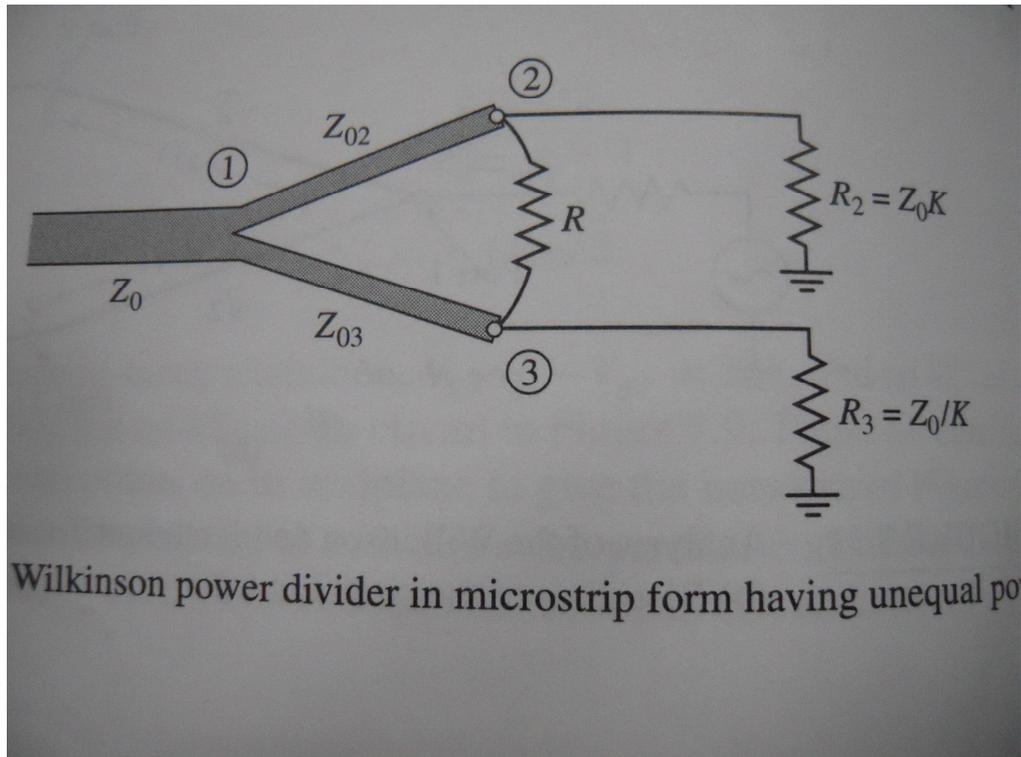


圖 2-4 不等功率微帶線威爾金森功率分配器

$$Z_{03} = Z_0 \sqrt{\frac{1+K^2}{K^3}} \dots\dots\dots (2-1)$$

$$Z_{02} = K^2 Z_{03} = Z_0 \sqrt{K(1+K^2)} \dots\dots\dots (2-2)$$

$$R = Z_0 \left(K + \frac{1}{K} \right) \dots\dots\dots (2-3)$$

2.3 奇偶模分析

圖 2-5(a)為偶模輸入的半電路，圖 2-5(b)為奇模輸入的半電路。由圖 2-3 可以發現，當 $V_{g2}=V_{g3}=2V_0$ 時，其中央端點均不會有電流通過，因此可以化簡成圖 2-5(a)。同理，當圖 2-3 的 $V_{g2}=-V_{g3}=2V_0$ 時，中央端點電壓為 0，所以可以化簡成圖 2-5(b)。以下將在阻抗正規化的情況下，進行奇偶模的分析，並由結果推得此網路的 S 參數。

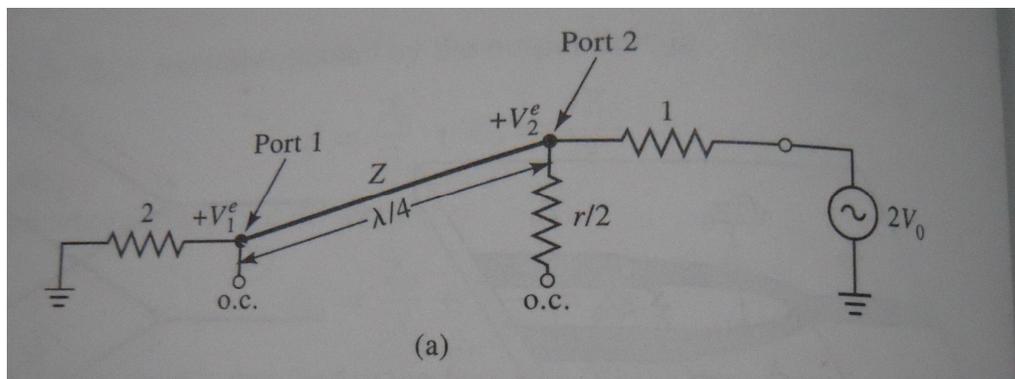


圖 2-5(a)偶模半電路

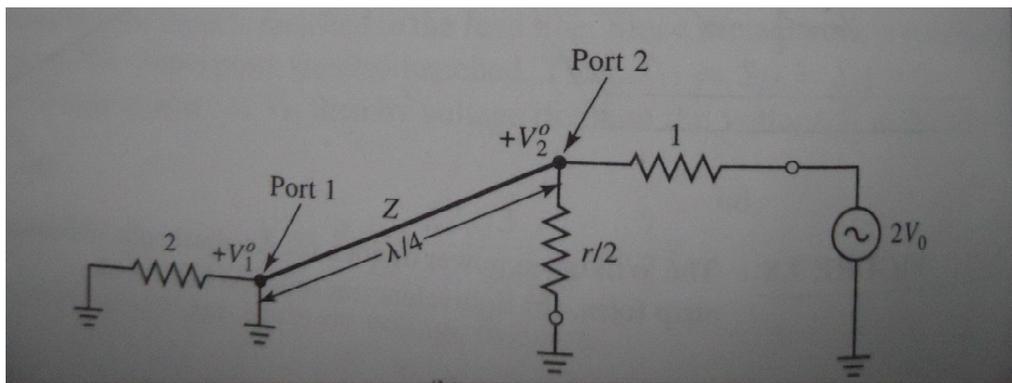


圖 2-5(b)奇模半電路

偶模分析：

$$Z_{in}^e = \frac{Z^2}{2} \text{ (從 } Port2 \text{ 看進去的阻抗)}$$

$$\text{當 } Z = \sqrt{2}, Z_{in}^e = 1 \Rightarrow V_2^e = V_0$$

$$\text{令 } Port1 \text{ 爲 } x = 0, Port2 \text{ 爲 } x = -\lambda/4$$

$$V(x) = V^+(e^{-j\beta x} + \Gamma e^{j\beta x})$$

$$V_2^e = V(-\lambda/4) = jV^+(1 - \Gamma) = V_0$$

$$V_1^e = V(0) = V^+(1 + \Gamma) = jV_0 \frac{\Gamma + 1}{\Gamma - 1}$$

Γ 爲 $Port1$ 往 $Z = 2$ 看進去的反射係數

$$\Gamma = \frac{2 - \sqrt{2}}{2 + \sqrt{2}}, V_1^e = -jV_0\sqrt{2}$$

奇模分析：

$$Z_{in}^o = \frac{r}{2} \text{ (從 } Port2 \text{ 看進去的阻抗)}$$

$$\text{當 } r = 2 \text{ 時, } Z_{in}^o = 1 \Rightarrow V_2^o = V_0, V_1^o = 0$$

S 參數：

$$S_{11} = 0 \quad \text{(Port1的 } Z_{in} = 1)$$

$$S_{22} = S_{33} = 0 \quad \text{(Port2和Port3都達到匹配)}$$

$$S_{12} = S_{21} = \frac{V_1^e + V_1^o}{V_2^e + V_2^o} = -j/\sqrt{2} \quad \text{(因互易性而對稱)}$$

$$S_{13} = S_{31} = -j\sqrt{2} \quad \text{(同上)}$$

$$S_{23} = S_{32} = 0 \quad \text{(半電路時爲開路或短路)}$$

第三章

分析雙頻威爾金森功率分配器

3.1 概述

隨著科技的進步，各類科技產品推陳出新，導致頻段慢慢變得擁擠，因此功率分配器也必須為此作適當的設計，有時候必須因應科技產品的使用頻段，設計成雙頻甚至是多頻的功率分配器，但大多仍以雙頻為主，以下我們將探討常見的 3 種雙頻威爾金森功率分配器之設計方法，並加以分析了解。



3.2 雙頻威爾金森功率分配器之設計方法

3.2.1 多層結構

多層結構是以多個單一威爾金森功率分配器的結構組成，雙頻是雙層，三頻則是三層，以此類推。以下介紹雙頻的結構如圖 3-1 所示，及其各項參數的計算方法。

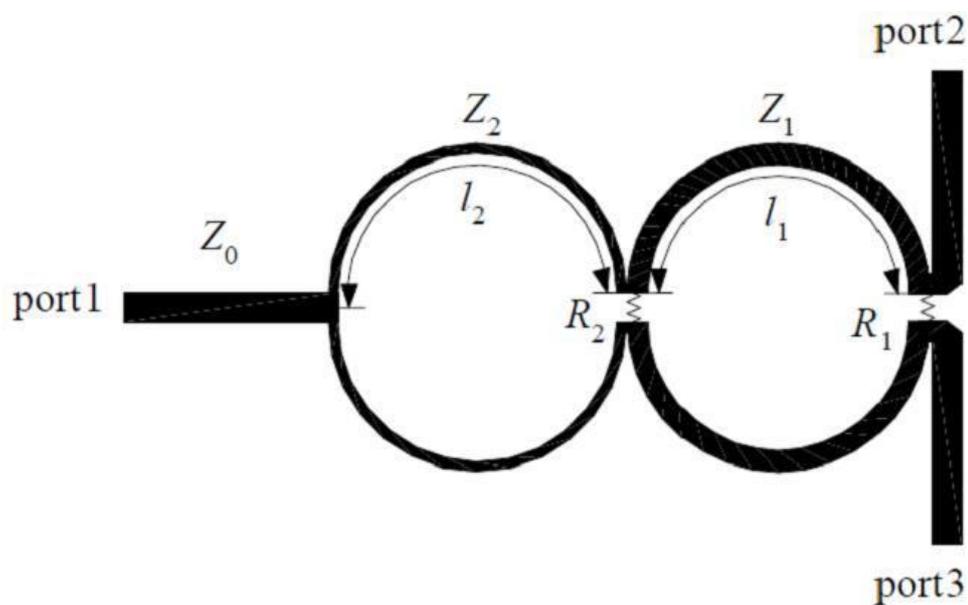


圖 3-1 雙層威爾金森功率分配器結構圖

$$\Theta_3 = \cos^{-1} \left[\frac{1}{2} \sin \left(\frac{\pi}{2} \frac{f_2 - f_1}{f_2 + f_1} \right) \right] \approx \frac{\pi}{2} \left(1 - \frac{1}{\sqrt{2}} \frac{f_2 - f_1}{f_2 + f_1} \right)$$

$$Z_1 = \frac{Z_0}{\sqrt{2}} \sqrt{\sqrt{\cos^4 \Theta_3 + 8} + \cot^2 \Theta_3}$$

$$Z_2 = Z_0 \sqrt{\sqrt{\cos^4 \Theta_3 + 8} - \cot^2 \Theta_3}$$

$$R_1 = \frac{2\sqrt{2Z_2}Z_0^2}{Z_0\sqrt{2Z_2} - Z_2\sqrt{Z_2 - Z_1}}$$

$$R_2 = 2\sqrt{\frac{2Z_2}{Z_2 - Z_1} \frac{Z_0^2}{Z_1 + Z_2}}$$

$$l = \frac{1}{4}\lambda, \text{ 式中 } \lambda \text{ 為中心頻率之波長。}$$



3.2.2 多節組合式傳輸線

多節組合式的結構是利用不同阻抗和長度的傳輸線串接而成，在此介紹雙頻設計，因此是雙節傳輸線組合而成。而此結構和多層結構最大不同在於，此結構傳輸線串接處並沒有電阻連接。參照參考文獻[1]，結構如圖 3-2 所示。

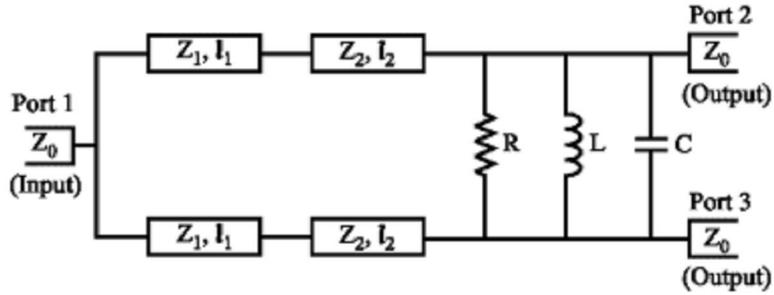


圖 3-2 多節組合式傳輸線結構圖

$$C = \frac{\frac{B}{\omega_1} - \frac{A}{\omega_2}}{\frac{2\omega_2}{\omega_1} - \frac{2\omega_1}{\omega_2}} \quad (3-1)$$

$$L = \frac{\frac{2\omega_2}{\omega_1} - \frac{2\omega_1}{\omega_2}}{B\omega_1 - A\omega_2} \quad (3-2)$$

文獻[1]利用此結構的奇模和偶模分析，找到 L、C 與頻率 f_1 、 f_2 的關係，如式 3-1、3-2，再進一步計算可能得到的 L、C 範圍，進而推得 Z_1 、 Z_2 、 l_1 、 l_2 、R。

3.3.3 並聯殘支

並聯殘支是利用與傳輸線 Z_1 並聯一段開路或短路的傳輸線，來達到雙頻的效果。文獻[2]即是以此方法設計，其結構如圖 3-3 所示。

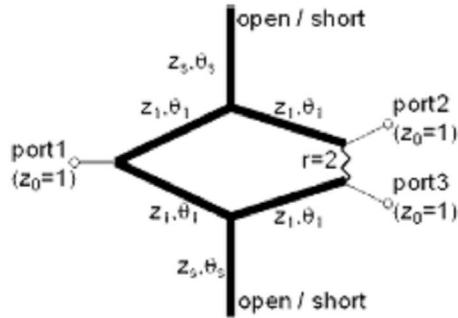
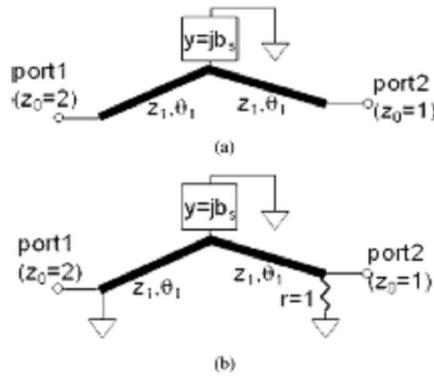


圖 3-3 並聯殘支結構圖

為了求出 Z_1 、 θ_1 、 Z_S 、 θ_S ，文獻[2]仍以奇偶模的分析計算(如圖 3-4)，求得關係圖 3-5，由圖中可以知道當並聯短路殘支時， $2 < f_2/f_1 < 2.5$ ，當並聯開路殘支時， $1.7 < f_2/f_1 < 2.1$ ，再進一步設計 Z_1 、 Z_S 的值。



(a) Even and the (b) odd mode half circuits of the proposed divider.

圖 3-4 並聯殘支的奇偶模分析圖

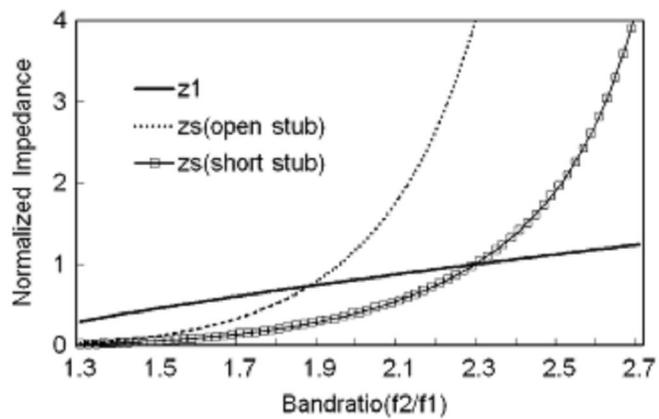


圖 3-5 z_1 、 z_s 與 f_2/f_1 之關係



第四章

分析在 CMOS 上的威爾金森功率分配器

4.1 概述

將威爾金森功率分配器設計在 CMOS 上時，由於體積的受限，要將其設計在適合的頻帶並不容易，經常需要使用彎折、穿層、繞線等不同的技巧，才能使長度設計在需要的頻率，但這些技巧都將產生一些副作用容易導致設計失敗，如傳輸線特性阻抗的變異、電流耦合導致電子長度的變異等。

以下將先分析，在 CMOS 上的一對多威爾金森功率分配器有哪些特色，及設計的重點和技巧，接著分析在 CMOS 上設計威爾金森功率分配器時的技巧，以及需要特別注意的地方。

4.2 分析一對多威爾金森功率分配器

在參考文獻[3]中，設計了一對二、一對四的威爾金森功率分配器在 CMOS 上，圖 4-1 為一對多威爾金森功率分配器的示意圖，而圖 4-2、4-3 分別表示一對二、一對四威爾金森功率分配器的結構圖。

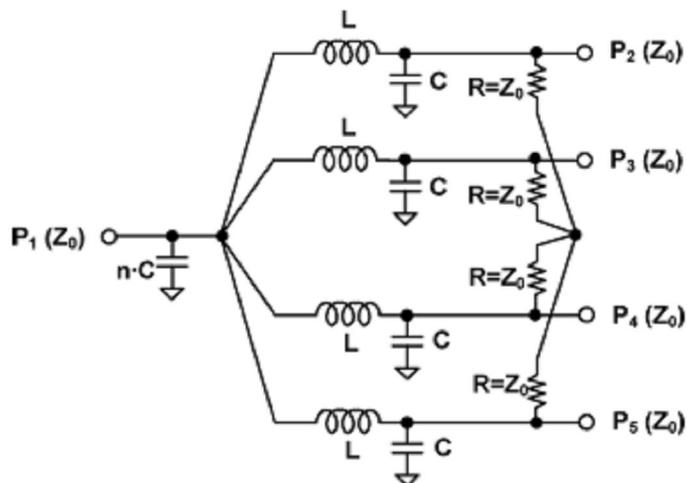


圖 4-1 一對多威爾金森功率分配器示意圖

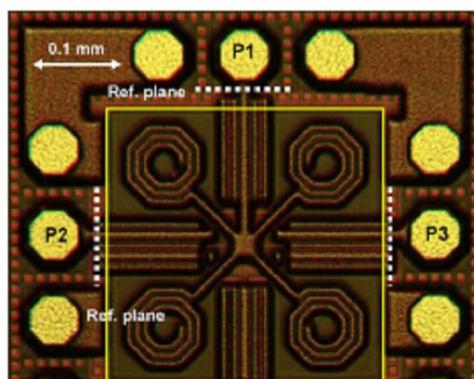


圖 4-2 文獻[3]一對四結構圖

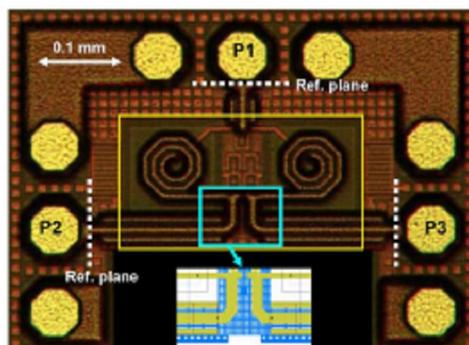


圖 4-3 文獻[3]一對二結構圖

從圖 4-2、4-3 可以看出，文獻[3]設計的走線方法是繞一個螺旋狀再到中間接隔離電阻然後再輸出，而一對二和一對四的威爾金森功率分配器，其差異點是一對二約等於一對四對折後的結構。圖 4-4、4-5 分別為一對二和一對四的 S 參數實作模擬圖。

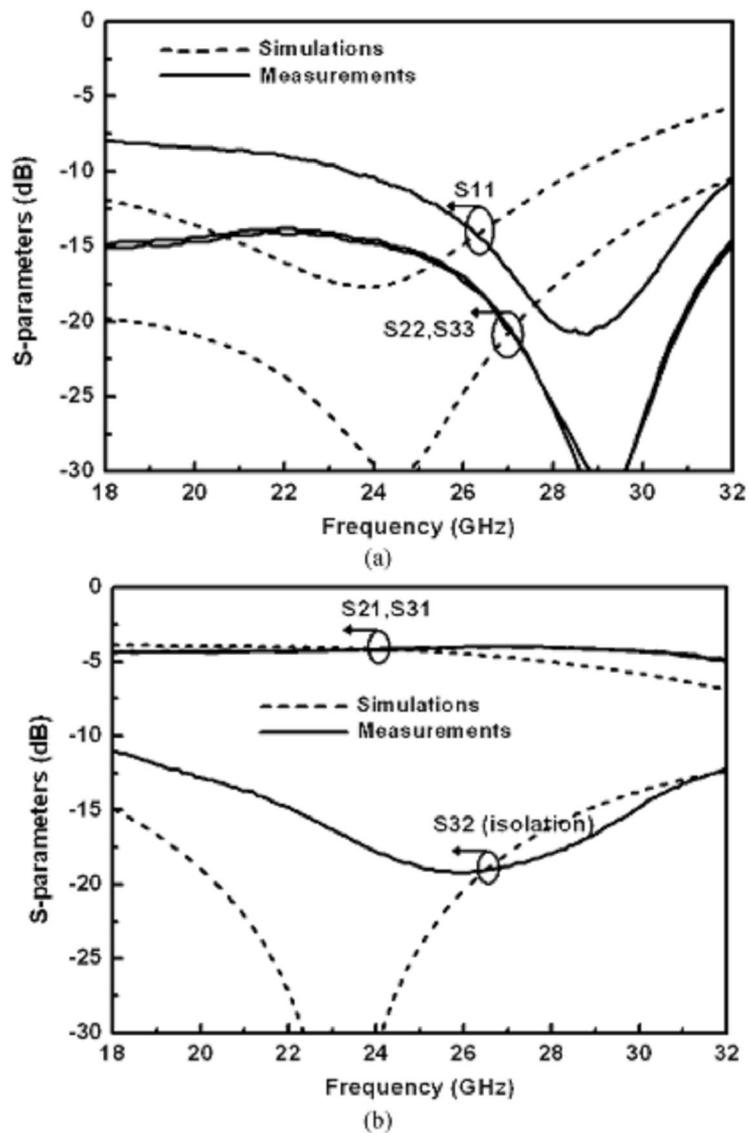


圖 4-4 文獻[3]一對二 S 參數

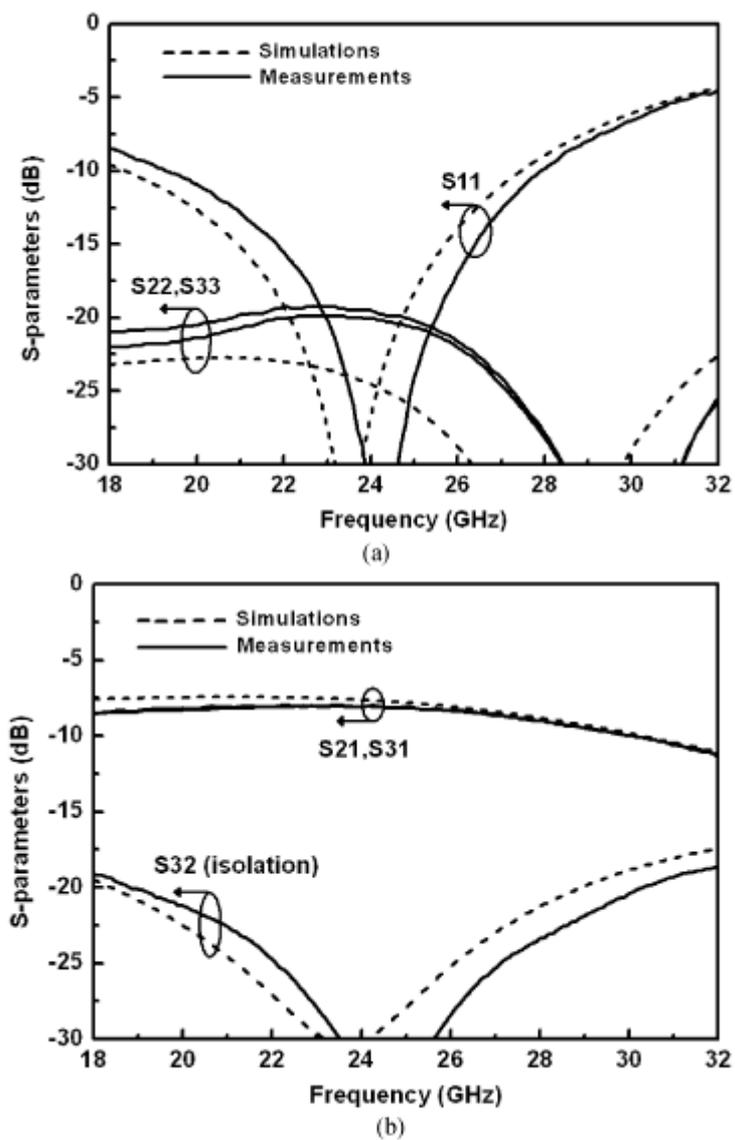


圖 4-5 文獻[3]一對四 S 參數

4.3 分析在 CMOS 上的威爾金森功率分配器

文獻[4]提出了一個以 CCS 傳輸線設計的威爾金森功率分配器，CCS 即是在接地面埋入槽孔，使接地面成破碎狀，這麼一來可使彎折在上面的訊號線的阻抗值幾乎和沒有彎折時相同。除此之外，這個結構是對稱的，因此可確保其 S_{21} 和 S_{12} 完全相同。圖 4-6 是此設計的結構圖，圖 4-7 是此結構的單位結構圖，圖 4-8 是其 S 參數曲線。

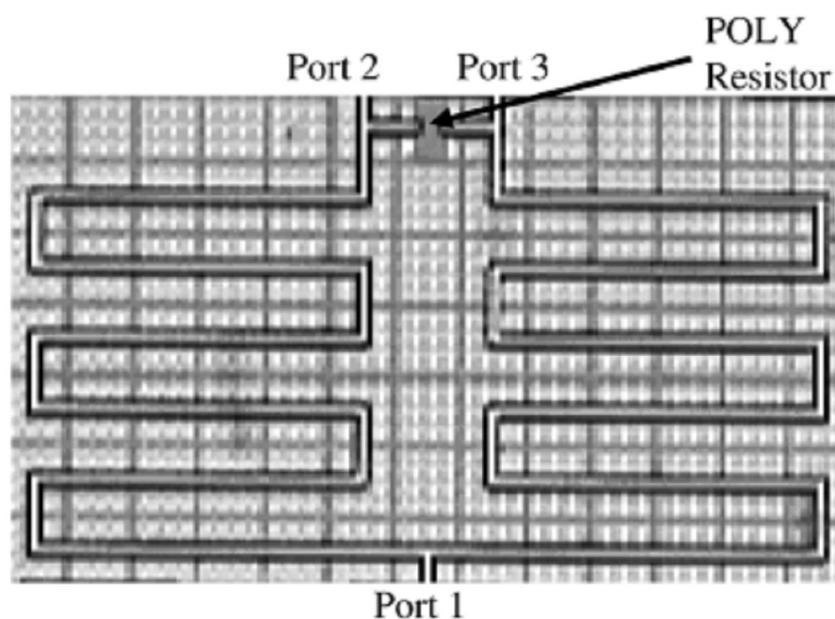


圖 4-6 文獻[4]結構圖

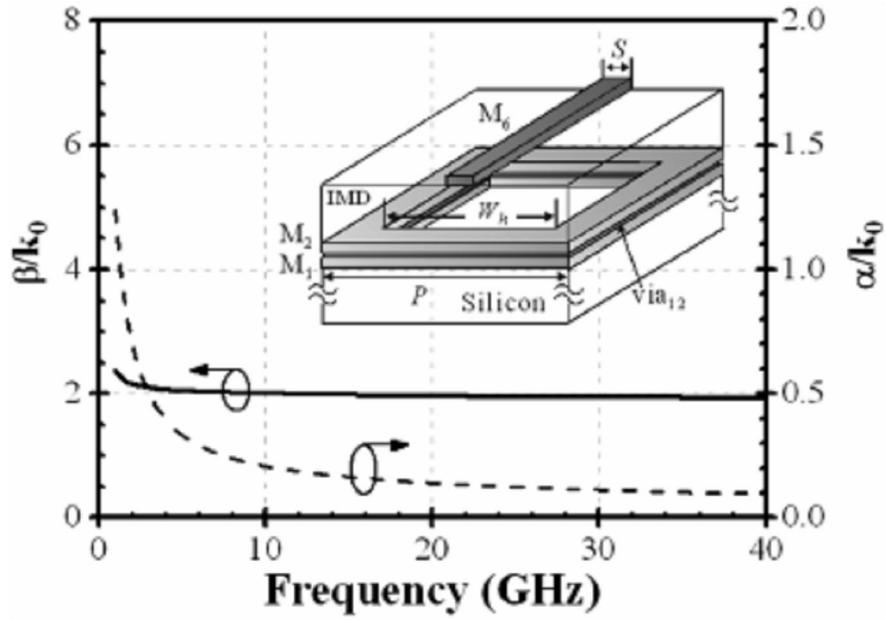


圖 4-7 文獻[4]單位結構圖

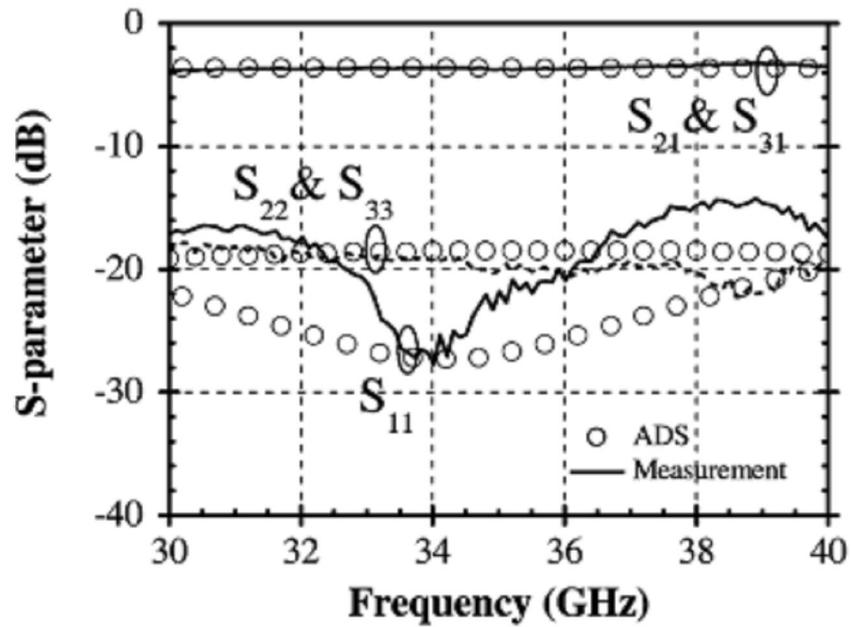


圖 4-8 文獻[4]S 參數

第五章

設計在 CMOS 上的一對三威爾金森功率分配器

5.1 概述

在分析完一般的威爾金森功率分配器以及 CMOS 結構的威爾金森分配器之後，在本章將利用前述觀念，設計一個 CMOS 一對三威爾金森功率分配器操作在 24 GHz，並使用 HFSS 模擬軟體進行模擬。



5.2 結構設計與模擬結果

首先，根據圖 2-1，相關參數 $Z_0 = 50 \Omega$ ， $Z_1 = \sqrt{3} Z_0 = 86.6 \Omega$ ，另外參照圖 4-1 設計結構。

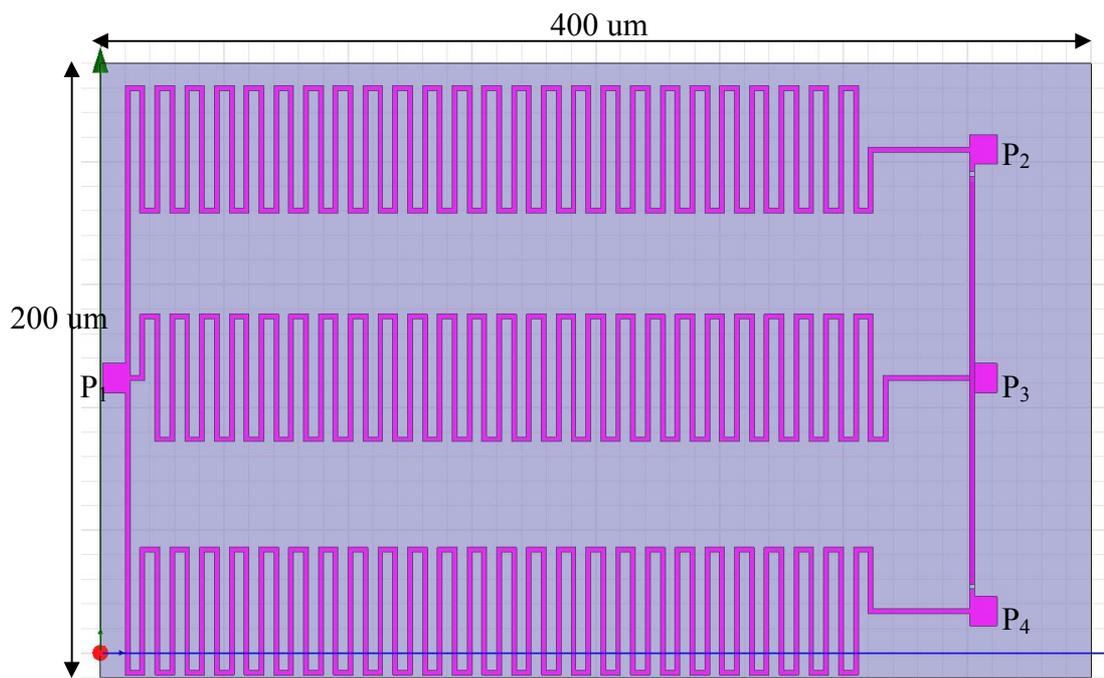


圖 5-1 本篇設計結構圖[1]

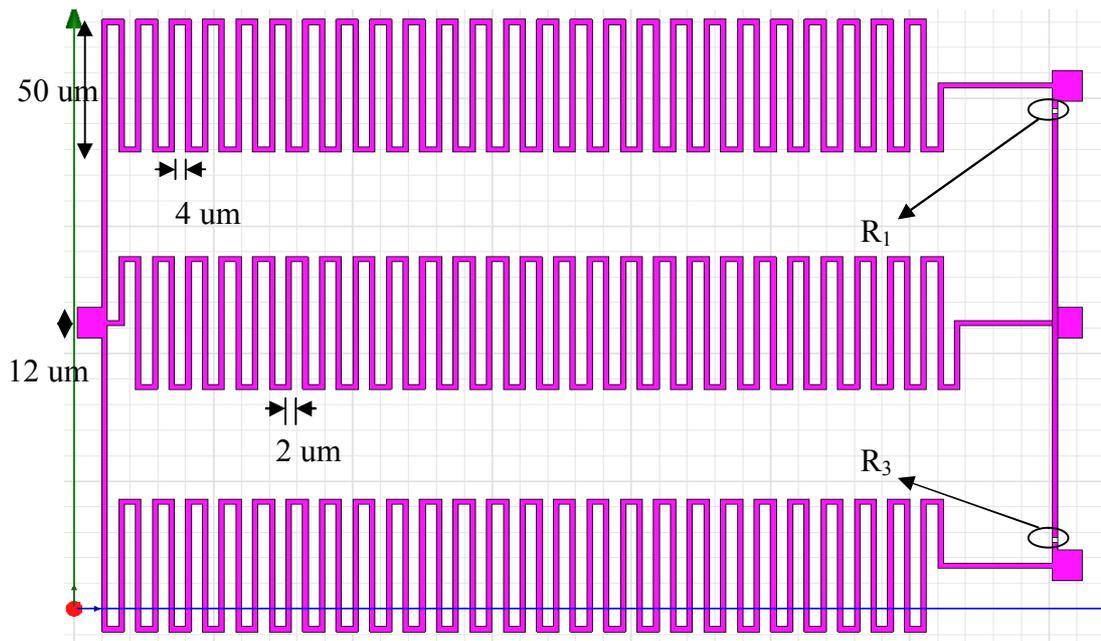


圖 5-2 本篇設計結構圖[2]

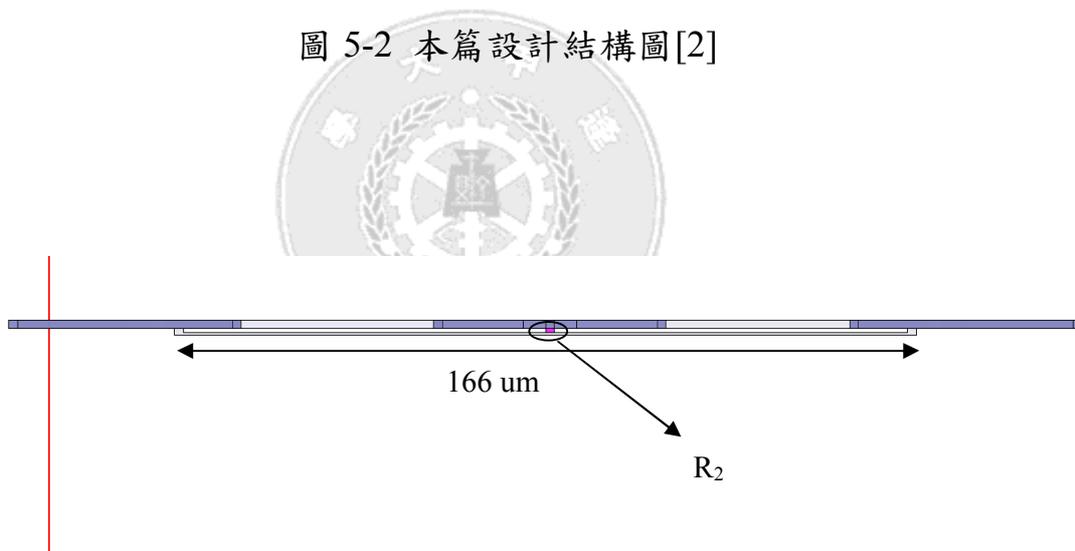


圖 5-3 本篇設計結構圖[3]

一對三 24 GHz 威爾金森功率分配器在 CMOS 0.18 μm 製程下之設計

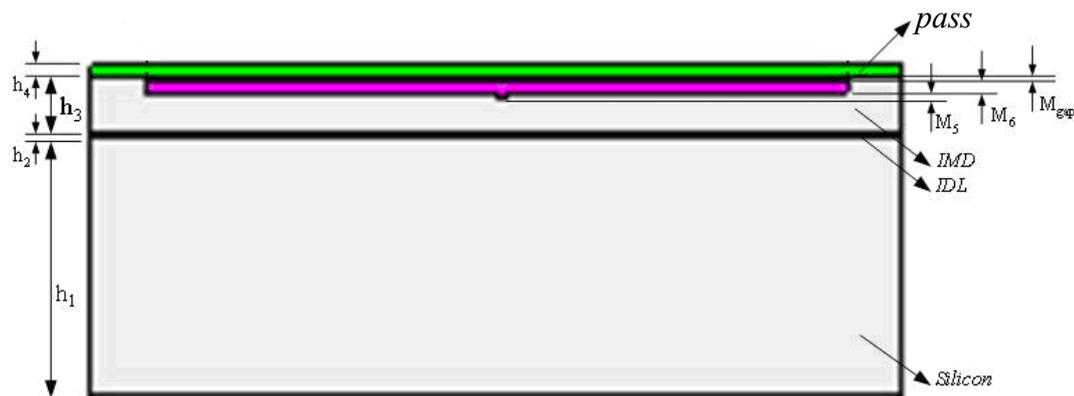


圖 5-4 本篇設計結構圖[4]

	h1	h2	h3	h4	M5	M6	Mgap
長度 (um)	482.6	0.9	10.15	2	1.45	2	0.9

表 5-1 本篇設計尺寸表格

上面 5 張圖表即是本設計的結構及尺寸，對於中間傳輸線 Z1 的阻抗值，原本用 AppCAD 粗略估算 86.6 Ω 大約是 3.2 μm ，但在彎折之後發現阻抗值下降，故再將線寬調細，使阻抗值上升。

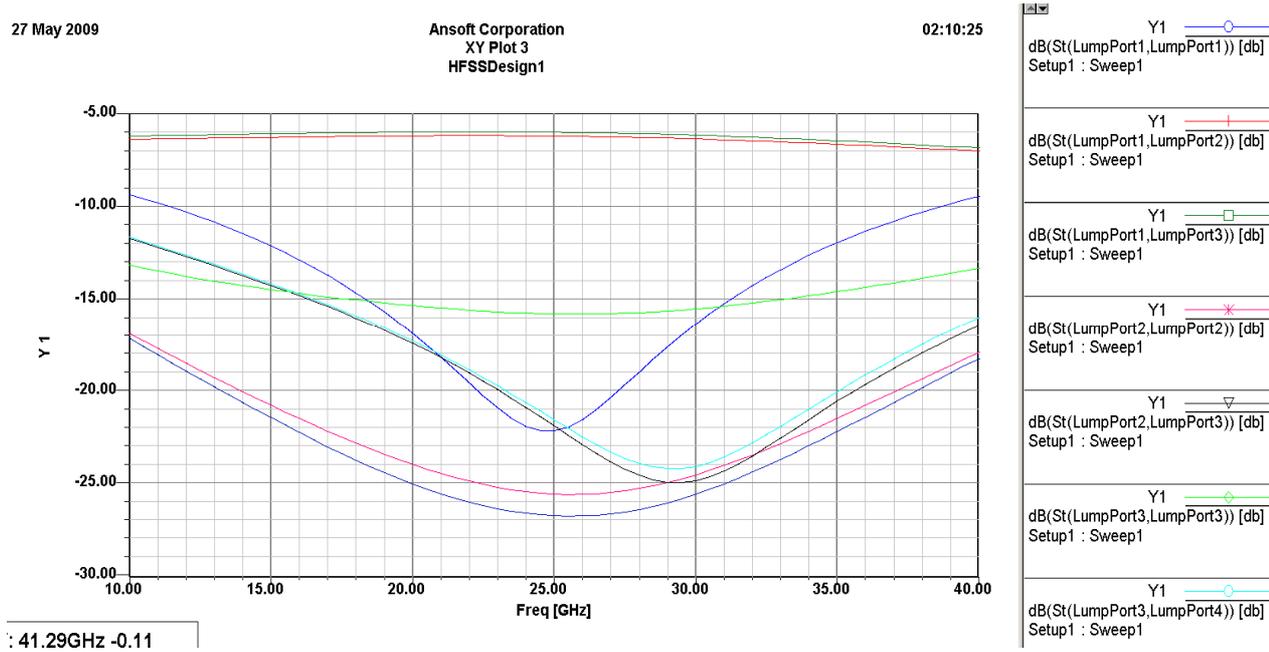


圖 5-5 本篇設計 S 參數模擬圖

圖 5-5 為本篇設計模擬的 S 參數。由圖可知，其 S11、S22、S33、S44 諧振頻率約在 25 GHz，且皆高於 10 dB。而 S12、S13 約為 6 dB，還在可接受的範圍，S23 及 S34 可看出有不錯的隔離度。至於 S33 的曲線和 S22、S44 不一致的原因，大概是因為此為一對三結構，無法做到對稱所造成的差異。

此結構的尺寸小，特性也還不錯，大約在 15 GHz – 30 GHz 皆可使用。

第六章

改良設計的威爾金森功率分配器

6.1 概述

利用第三章提及的概念，針對上一章的設計進行改良成雙頻結構。如此一來，不但能增加其價值，更突破了前面提到兩篇設計在 CMOS 上的文獻。

以下兩種改良設計，不包括使用並聯殘支的方法，因為根據計算發現，使用並聯殘支的設計方法將使得體積過大且傳輸線間的耦合量過於嚴重，不符合基本理念，故只使用多層結構及多節組合。

6.2 改良後結構與模擬結果

6.2.1 多層結構

圖 6-1 為多層結構的改良圖，所有尺寸參照第五章的設計結構，只有第二段傳輸線寬度改為 3 μm 以及整體尺寸變為 250 x 500 μm 。

參照 3.2.1 的公式計算，當 $f_1 = 22 \text{ GHz}$ ， $f_2 = 26 \text{ GHz}$ 時，推得 $R_1 = R_2 = R_3 = 45.05 \Omega$ ， $R_4 = R_5 = R_6 = 140.15 \Omega$ 。

本改良設計已經修改了相當多次，但從圖 6-2 的 S 參數可看到，此結構並沒有雙頻的特性出現，很明顯的改良失敗。

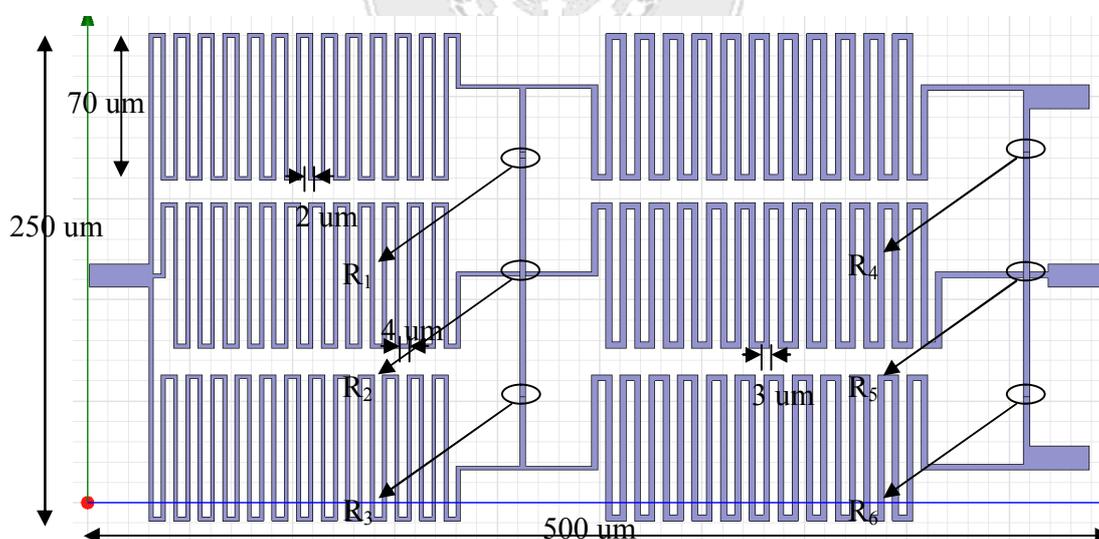


圖 6-1 雙頻改良結構[1]

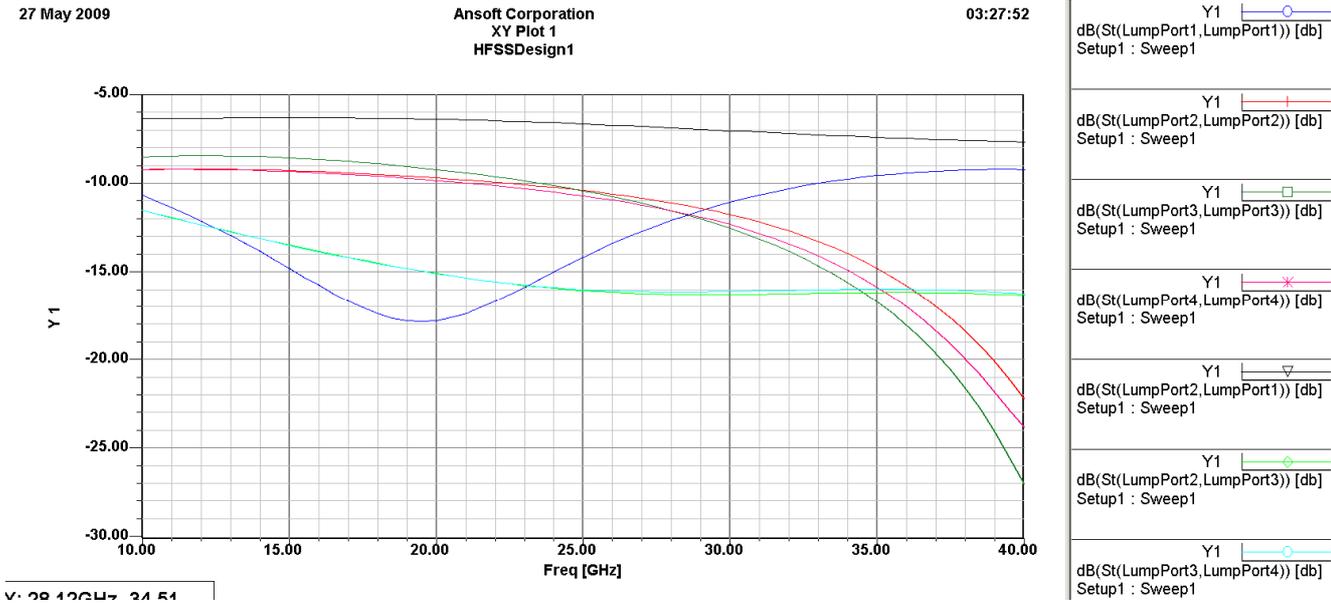


圖 6-2 雙頻改良結構 S 參數[1]

6.2.2 多節組合式

圖 6-3 為多節組合式的改良圖，所有尺寸和圖 6-1 類似，第二段傳輸線寬度為 3 μm 以及整體尺寸為 250 x 500 μm 。

本改良設計已經修改了相當多次，但從圖 6-4 的 S 參數可看到，此結構仍然沒有雙頻的特性出現，很明顯的也改良失敗。

一對三 24 GHz 威爾金森功率分配器在 CMOS 0.18 μ m 製程下之設計

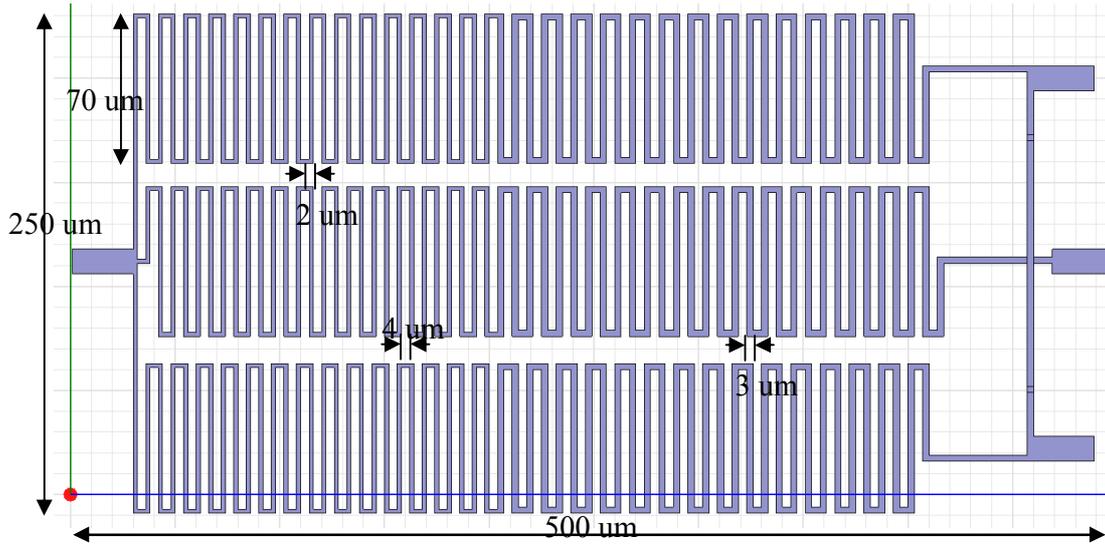


圖 6-3 雙頻改良結構[2]

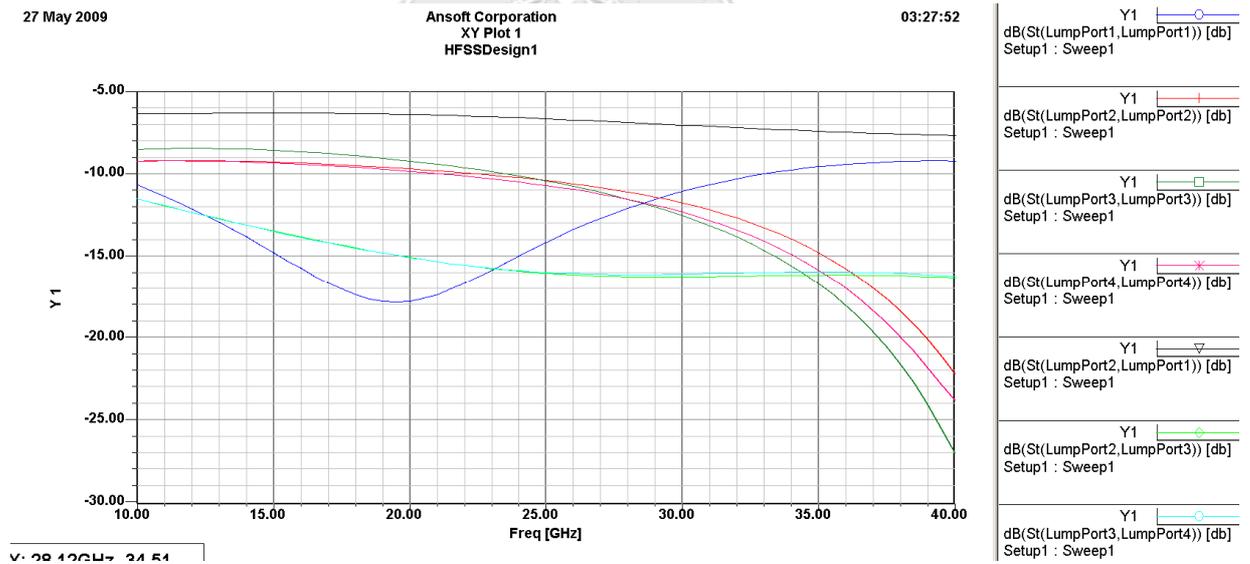


圖 6-4 雙頻改良結構 S 參數[2]

6.3 問題與討論

關於上面的兩個改良設計，主要的問題大概就是為何沒有雙頻的現象產生？

關於這點，大致上有三個可能。

1. 模擬的頻段不夠寬，因此沒有看到第二個諧振點。但這個因素並不太可能是主要原因，因為模擬已從 10 GHz -40 GHz，加上計算所採用的兩個諧振頻率分別在 22 GHz 和 26 GHz，所以不太可能。
2. 設計的結構在 CMOS 上不合適。這點我覺得也不太可能，因為在這個 CMOS 的設計上，唯一差別只在將微帶線作彎折，這會讓整體阻抗值變小，但我已將寬度調細使其阻抗值上升，約等於沒有彎折時的阻抗值，因此這個因素理論上並不會造成太大的差異。
3. 計算的方法在一對三的威爾金森功率分配器上並不適用。我認為這是較有可能的因素，因為計算上一對二和一對三可能有些許差異，而這所造成的誤差，導致沒有雙頻的效果是很有可能的。目前尚未搜尋到一對三雙頻的威爾金森功率分配器結構設計方法，因此這點未來需要再多花時間進行研究與設計。

第七章

結論與未來展望

綜合以上章節，本篇完成了一個在 CMOS 上的一對三威爾金森功率分配器且操作在 24 GHz，此結構體積小，可用頻帶寬，有不錯的隔離度。

另外本篇試著將設計改良成雙頻，雖然沒有成功，但也找出了幾個可能的原因，未來將可以朝著雙頻的結構繼續研究與設計，尤其只要將計算的方法加以改進並模擬設計，應該可以解決無法設計出雙頻結構的問題。



參考文獻

1. Lei Wu, Zengguang Sun, Hayattin Yilmaz, and Manfred Berroth, "A Dual-Frequency Wilkinson Power Divider," *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, VOL. 54, NO. 1, JANUARY 2006, pp.278-284
2. Myun-Joo Park and Byungje Lee, "A Dual-Band Wilkinson Power Divider," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 18, NO. 2, FEBRUARY 2008, pp.85-87
3. Jeong-Geun Kim, and Gabriel M. Rebeiz, "Miniature Four-Way and Two-Way 24 GHz Wilkinson Power Dividers in 0.13 m CMOS," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 17, NO. 9, SEPTEMBER 2007, pp.658-660
4. Meng-Ju Chiang, Hsien-Shun Wu, and Ching-Kuang C. Tzuang, "Ka-Band CMOS Wilkinson Power Divider Using Synthetic Quasi-TEM Transmission Lines," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 17, NO. 12, DECEMBER 2007, pp.837-839
5. Mitchai Chongcheawchamnan, Sumongkol Patisang, Monai Krairiksh, and Ian D. Robertson, "Tri-Band Wilkinson Power Divider Using a Three-Section Transmission-Line Transformer," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 16, NO. 8, AUGUST 2006, pp.452-454
6. Kwok-Keung M. Cheng, and Fai-Leung Wong, "A New Wilkinson Power Divider Design for Dual Band Application," *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, VOL. 17, NO. 9, SEPTEMBER 2007, pp.664-666
7. George E. Ponchak, Andrew Bacon, and John Papapolymerou, "Monolithic Wilkinson Power Divider on CMOS Grade Silicon With a Polyimide Interface Layer for Antenna Distribution Networks," *IEEE ANTENNAS AND WIRELESS PROPAGATION LETTERS*, VOL. 2, 2003, pp.167-169
8. David M. Pozar, *MICROWAVE ENGINEERING*, 2nd ed. NEW YORK: Wiley, 1998.

一對三 24 GHz 威爾金森功率分配器在 CMOS 0.18 μ m 製程下之設計

