



逢甲大學學生報告 ePaper

報告題名：

利用臨場沉積法將矽奈米晶體埋藏於氮化矽層之奈米
晶體記憶體之研究

作者：陳信宏

系級：電子四乙

學號：D9422492

開課老師：李景松

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年： 97 學年度 第 1 學期



摘要

首先，我們提出一種新穎的矽奈米晶體記憶體結構此種記憶體結構是將矽奈米晶體埋藏於氮化矽層中，也就是在 SONOS 元件的氮化矽層中加入矽奈米晶體。

在不同矽奈米晶體沉積時間的研究當中，我們所選取的矽奈米晶體沉積時間分別為 10 秒、30 秒、60 秒、90 秒，我們將研究矽奈米晶體之沉積時間對元件特性的影響，如寫入速度、抹除速度、資料保存能力... 等。我們的研究結果中發現在寫入速度及抹除速度上，矽奈米晶體沉積時間為 30 秒的試片有最好的寫入速度及抹除速度，而矽奈米晶體沉積時間為 10 秒的試片有最差的寫入速度及抹除速度。在資料保存能力的特性上，我們的研究結果發現不管在室溫或高溫的烘烤下，矽奈米晶體沉積時間為 60 秒的試片都有最好的資料保存能力。

整體而言，此種將矽奈米晶體埋藏於氮化矽層中的矽奈米晶體記憶體具有優越的記憶體元件特性；以及矽奈米晶體沉積時間為 30 秒的條件是一個最佳化的矽奈米晶體沉積時間。

關鍵字：奈米晶體記憶體、矽氧氮氧矽非揮發性記憶體、臨場沉積法

目 次

摘要.....	1
目次.....	2
圖、表目錄.....	4
第一章 緒論.....	6
1.1 快閃記憶體技術之概要.....	6
1.2 浮動式閘極記憶體介紹.....	8
1.3 SONOS 記憶體介紹.....	9
1.4 奈米晶體記憶體介紹.....	10
1.5 動機.....	12
1.6 專題架構.....	13
第二章 記憶體操作原理與元件製程.....	16
2.1 緒論.....	16
2.2 元件製程.....	16
2.3 記憶體操作原理.....	18
2.3.1 寫入操作.....	18
2.3.2 抹除操作.....	20
2.4 干擾和保存能力.....	21
2.5 量測設備.....	22

第三章 矽奈米晶體記憶體元件的特性.....	26
3.1 緒論.....	26
3.2 討論與結果.....	27
3.3 結論.....	31
第四章 總結以及未來展望.....	39
4.1 總結.....	39
4.2 未來展望.....	40
參考文獻.....	41



表目錄

表 1.1 NOR 和 NAND 技術藍圖(ITRS 2007).....	14
---------------------------------------	----

圖目錄

圖 1.1 浮動式閘極快閃記憶體.....	14
圖 1.2 奈米晶體記憶體.....	15
圖 2.1 <i>in-situ</i> 沉積矽奈米晶體在氮化物中的流程.....	23
圖 2.2 Fowler-Nordheim(FN)和通道熱電子注入(CHEI)機制圖.....	23
圖 2.3 通道熱電子注入(CHEI)的寫入和抹除示意圖.....	24
圖 2.4 當 A 寫入時, B 受到閘極干擾且 C 受到汲極干擾.....	25
圖 2.5 量測記憶體電流-電壓和臨界電壓特性的實驗設備.....	25
圖 3.1 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 10 秒)。奈米晶體密度為 $7.4 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 7nm。..	32
圖 3.2 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 30 秒)。奈米晶體密度為 $7.8 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 9nm。..	32
圖 3.3 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 60 秒)。奈米晶體密度為 $9 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 10nm。....	33
圖 3.4 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 90 秒)。奈米晶體密度為 $6.9 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 12.5nm。..	33
圖 3.5 Si-NCs 記憶體在 Si-NCs 沉積時間為 10 秒隨著不同的寫入偏	

壓下的寫入速度特性圖。.....	34
圖 3.6 Si-NCs 記憶體在 Si-NCs 沉積時間為 30 秒隨著不同的寫入偏	
壓下的寫入速度特性圖。.....	34
圖 3.7 Si-NCs 記憶體在 Si-NCs 沉積時間為 60 秒隨著不同的寫入偏	
壓下的寫入速度特性圖。.....	35
圖 3.8 Si-NCs 記憶體在 Si-NCs 沉積時間為 90 秒隨著不同的寫入偏	
壓下的寫入速度特性圖。.....	35
圖 3.9 在 9nm 的 Si-NCs 大小下 $V_G=6V$ 和 $V_D=6V$ 的寫入電壓和寫入	
時間為 100- μ sec 的 Si-NCs 記憶體的 I_D-V_G 曲線圖。.....	36
圖 3.10 Si-NCs 記憶體在 Si-NCs 沉積時間為 10 秒隨著不同的抹除偏	
壓下的抹除速度特性圖。.....	36
圖 3.11 Si-NCs 記憶體在 Si-NCs 沉積時間為 30 秒隨著不同的抹除偏	
壓下的抹除速度特性圖。.....	37
圖 3.12 Si-NCs 記憶體在 Si-NCs 沉積時間為 60 秒隨著不同的抹除偏	
壓下的抹除速度特性圖。.....	37
圖 3.13 Si-NCs 記憶體在 Si-NCs 沉積時間為 90 秒隨著不同的抹除偏	
壓下的抹除速度特性圖。.....	38

第一章 緒論

1.1 快閃記憶體技術之概要

過去十年的電子產品演進中，由於手機以及一些其他可攜帶式的電子型產品(如 MP3 音樂播放器、數位相機... 等)的快速發展，使得非揮發性儲存記憶體的需求更是大量的增加，快閃記憶體(flash memory)市場也因而隨之蓬勃發展。對於在行動產品上程式與資料的非揮發性儲存，快閃記憶體是最適合的解決方案，不論是主機板上的記憶體或小型的記憶卡，快閃記憶體的非揮發性儲存突破過去光學與磁性資料儲存的限制，不僅穩固，低耗電，還不用移動裝置零件，因此對行動裝置而言是最理想的解決方案。而快閃記憶體的產品主要可以分成兩大類：分別是程式碼的儲存(code storage application)以及資料儲存(datstorage application)這兩個類型。“NOR”型快閃記憶體即是最適合發展程式碼儲存的快閃記憶體[1]，此型的快閃記憶體可以應用於手機、電腦輸入輸出系統(PC bios)、DVD 播放機等等；而另外一種“NAND”型快閃記憶體則是最適合發展資料儲存的快閃記憶體[2]，此型的快閃記憶體可以應用於個人數位處理(PDA)、記憶卡、影音多媒體、數位相機等產品。

傳統的“NOR”型快閃記憶體以及“NAND”型快閃記憶體皆具有相同的結構，它們都是使用浮動式閘極(floating gate)當作載子捕捉的位

置，其結構圖如圖 1.1 所示。表 1.1 為快閃記憶體國際半導體技術藍圖(International Technology Roadmap of Semiconductor, ITRS)[3]，從此表中我們可以觀察到“NOR”型快閃記憶體有兩個未來可能發生的限制：第一個是穿隧氧化層(tunneling oxide)與介面多晶氧化層/氮化層/氧化層(inter-poly Oxide/Nitride/Oxide)的微縮問題，以此技術藍圖的規劃，“NOR”型快閃記憶體在微縮之後勢必會產生可靠度變差的情形[4-5]；第二個問題則是閘極長度(gatelength)[6]微縮的問題：由於傳統的快閃記憶體是利用通道熱載子寫入法(channel hot electron programming)，此方法的元件內部電壓至少需要 8 V 以上才能進行，但此過大的操作電壓會造成元件的閘極通道長度無法更進一步的微縮。此外，過於複雜的製程問題也會嚴重的限制了快閃記憶體的微縮問題[7]，主要是因為傳統的快閃記憶體製程較一般 CMOS 元件來得複雜許多，所以當尺寸在進行微縮的時候，則產品生產的成本就會越來越高。而“NAND”型快閃記憶體也會有尺寸微縮的問題存在，其主要的限制是來自於浮動式閘極的干擾，元件的臨限電壓(threshold voltage)會受到電容耦合效應(capacitive coupling)的影響而發生變化，此電容耦合效應主要是因為鄰近的元件其浮動式閘極會對正在進行動作的元件產生電容耦合效應的影響，因此導致了正在操作中的元件之臨限電壓產生改變，使得電路無法對元件進行準確的狀態判別。

1.2 浮動式閘極記憶體介紹

在1967年時，D.kahng 與施敏教授於貝爾實驗室發明了非揮發性浮動式閘極記憶體[8]。到目前為止，此堆疊式結構的浮動式閘極記憶體仍廣泛地被使用著，而其中最具普遍應用性的記憶體陣列(array)組織則稱作快閃記憶體，它具有位元組選擇性(byte-selectable)的寫入功能，並同時擁有快速的抹除操作特性。而此記憶體元件的概念就是製作介電層堆疊並以浮動式閘極儲存電荷造成元件臨限電壓偏移。當元件作寫入動作時，通道的電子在電場作用下通過穿隧氧化層被捕捉在浮動式閘極中，抹除動作則是以反向電場將陷阱中的電子推回基板。此傳統的浮動式閘極記憶體仍有其缺點以及限制，而其最大的限制則是在於底面氧化層的厚度問題。此元件的底面氧化層必須具備能夠讓載子快速且大量地流入浮動式閘極特性，而同時又能夠有效地提供阻絕的能力來讓元件擁有較好的保存性(retention)及耐久力(endurance)[9]，因為一旦底層氧化層產生了漏電流的路徑，所有已存入的載子便會從浮動式閘極中藉由此路徑而流失。由此可知，底面氧化層是需要高品質的氧化層且厚度越厚時對於載子保存性會有越正面的效果；但相對而言，卻因此嚴重地限制了載子在寫入動作時進入浮動式閘極的效率，所以浮動式閘極元件的底面氧化層是其未來發展上最大的問題。

1.3 SONOS 記憶體介紹

為了克服此傳統的浮動式閘極記憶體的問題，因此研發出一種有別於浮動閘極結構的矽氧氮氧矽(Silicon Oxide Nitride Oxide Silicon)非揮發性記憶體[10-12]。在此種記憶體的結構中，氮化矽被利用為載子儲存層(charge trapping layer)以取代傳統的浮動式閘極，由於氮化矽材料具有載子捕捉(charge trapping)的能力，所以可以被用做為載子儲存層。此種結構之記憶體相對於傳統的浮動式閘極結構記憶體有更多的優點，如前述浮動式閘極結構所提到的由於捕捉電荷受到束縛力小容易經由漏電路徑流失，造成資料保存不易的問題。在SONOS 元件中電荷被捕捉在氮化矽絕緣層的缺陷能階中，電荷所受的束縛力強，同樣的漏電路徑下相對的漏電流也比較小。此外元件的操作電壓可以獲得降低，製程也可以較為簡單，而傳統浮動式閘極結構記憶體會有的汲極引發之導通情形(drain-induced turn-on)也可以獲得改善，耐久力(endurance)更是可以大幅度的提升。

雖然SONOS 記憶體擁有上述的多項優點，可是仍有其缺點以及限制存在。較大的細胞尺寸(cell size $6F^2$, F =feature size)以及寫入/抹除速度較慢就大大地限制了SONOS 記憶體元件的應用[13]。因為有以上所述之缺點，目前大家更加致力於研究如何改善SONOS 記憶體元件的操作方式以及結構以改善前述之缺點與限制。

1.4 奈米晶體記憶體介紹

為了改善非揮發性記憶體特性，我們利用矽奈米晶體埋藏於氮化矽層之奈米晶體記憶體，不僅降低了操作電壓且也改善了電荷儲存效率，奈米晶體記憶體(Nanocrystals Memory)結構圖如圖1.2所示，與傳統FG Memory比較，奈米晶體記憶體(Nanocrystal Memory)有許多優點，它可以在較薄的穿隧氧化層(Tunneling Oxide)下使用還不會犧牲掉非揮發特性，由於浮動式閘極結構記憶體是把電子儲存在浮動式閘極內，但是由於浮動式閘極是用複晶矽(Poly-Si)做的，所以電子沿著晶粒邊界(Grain boundary)是整層導通的，假設穿透氧化層有缺陷的話，儲存的電荷就會經由氧化層內缺陷所造成的漏電路徑漏掉。而奈米晶體記憶體由於有介電層的包覆，所以每個奈米晶體是絕緣的狀態，因為這項特性也就可以在減少氧化層厚度下增加操作速度與操作電壓，所以奈米晶體記憶體有較小的應力引起的漏電流(Stress-Induced Leakage Current, SILC)與較佳的氧化層缺陷(Oxide Defects)的免疫力[14]。另外，奈米晶體記憶體和SONOS記憶體比較，雖然SONOS的電荷是儲存在氮化矽裡不連續的缺陷，因而可以具有單細胞二位元(2-bits-per-cell)操作方式，但是在氮化矽裡不連續的缺陷其電荷會有載子重新分佈(charge redistribution)[15]以及水平擴散(lateral charge diffusion)的問題[16]，此兩項問題主要是當載子被寫入至氮化

矽後會產生載子的水平擴散，此被寫入的載子未必能相當穩定的位於氮化矽中的某一位置，而一但載子發生遷移或著重新分佈的情形，則元件的二位元狀態亦變得相當難判別。相對的，奈米晶體記憶體每個奈米晶體之間是絕緣體，因此不會有載子重新分佈 (charge redistribution) 以及水平擴散 (lateral charge diffusion) 的問題產生，所以奈米晶體記憶體比 SONOS 有更好的單細胞二位元 (2-bits-per-cell) 操作能力。

在這篇專題中，矽奈米晶體是元件製作的重點，近來有幾種矽奈米晶體製備的方式被提出，有三種主要的方法：方法一：使用離子佈植法 (Excess Si-Precipitation Techniques)，用高能量將過量的矽佈植到氧化層裡，或者先成長 Si-rich oxide，經過熱退火之後使矽形成奈米晶體，方法雖然簡單但同時也具有很多可變因素，而且缺乏好的氧化層和粒子大小的控制能力，方法二：(Aerosol Deposition Technique)，是使用特別設備，先在爐管通矽烷 (silane) 在高溫環境下裂解成矽分子團，之後通氧氣使矽氧化成被二氧化矽包圍的霧狀矽粒子沉積在晶圓上，方法三：直接沉積法 (Direct Growth Techniques) [17]，是直接使用 LPCVD 成長矽沉積在氧化層上，在形成薄膜之前停止成長，就會形成一顆顆球狀的矽，或者使用兩段式成長矽奈米晶體可以增加其均勻性。

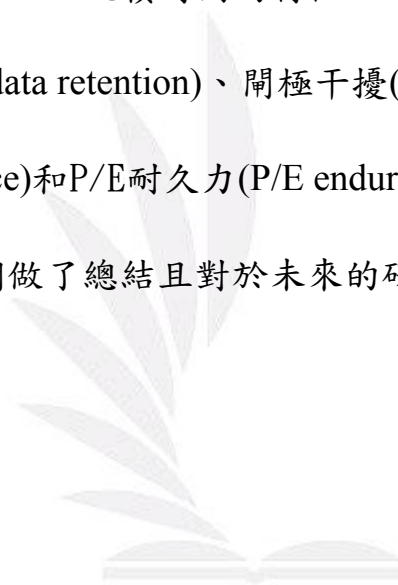
1.5 動機

雖然 SONOS Memory 具有很多優點，但它仍然有某些缺點，像抹除的飽和，水平電荷遷移和不夠久的資料保存等主要的缺點。因此，nanocrystal memory 被提出取代 SONOS memory，因為它可以解決某些 SONOS memory 的缺點，但是奈米晶體的結構有固定的大小，高密度和均勻分佈等問題。

在我們先前的研究，結合SONOS和nanocrystal NVM 元件被提出在SONOS結構中埋入Si-NCs在Si₃N₄薄膜引進取代了氮化矽薄膜，然後這結果以埋入Si-NCs在Si₃N₄中比Si₃N₄有較好的性能，但是Si-NCs沉積時間對記憶體特性的影響一直沒有詳細的探討，所以在這專題中將利用臨場沉積法埋藏Si-NCs於Si₃N₄中，研究Si-NCs沉積時間對記憶體特性的影響。

1.6 專題架構

本專題研究的架構分為五章。第一章：簡單介快閃記憶體、傳統浮動式閘極記憶體、SONOS記憶體以及NanoCrystals記憶體，最後說明我的動機和本專題研究的結構。第二章：先說明了我的製作流程，再來介紹了記憶體操作原理，而後秀出干擾和保存能力特性，最後說明我使用的量測儀器。第三、四章：我們將顯示基本Si-NCs記憶體的特性和比較元件在不同Si-NCs沉積時間的特性，討論Si-NCs記憶體的可靠度，包含資料保存(data retention)、閘極干擾(gate disturbance)、汲極干擾(drain disturbance)和P/E耐久力(P/E endurance)。第五章：在此專題研究的最後，我們做了總結且對於未來的研究尋找了一個方向。



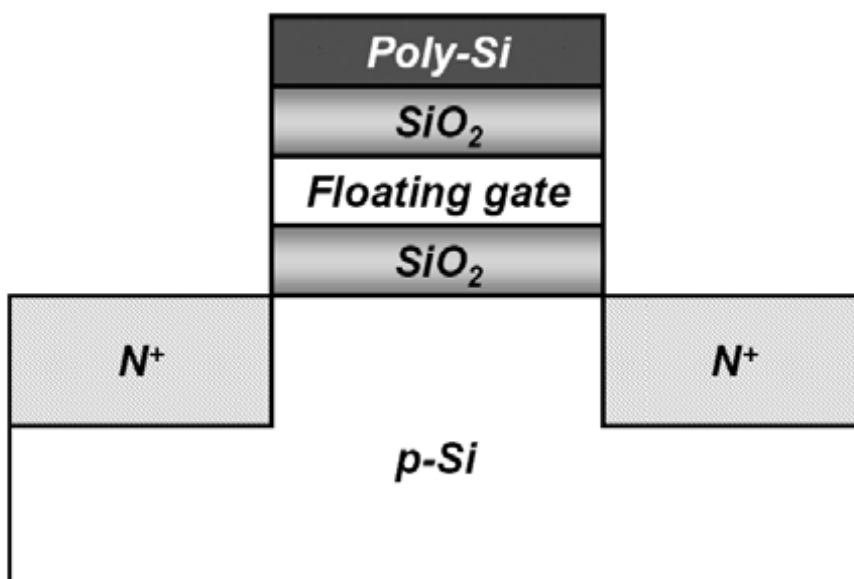


圖 1.1 浮動式閘極快閃記憶體

Year of production		2005	2007	2009	2011	2013
Technology node NOR/NAND (nm)		80/76	65/57	50/45	40/36	32/28
NOR	Cell size (f ²)	9-11	9-11	10-12	9-12	10-12
	Tunnel oxide thickness EOT (nm)	8-9	8-9	8-9	8	8
NAND	Cell size (f ²) SLC/MLC	4/2	4/2	4/2	4/1	4/1
	Tunnel oxide thickness EOT (nm)	7-8	6-7	6-7	6-7	6-7

表 1.1 NOR 和 NAND 技術藍圖(ITRS 2007)

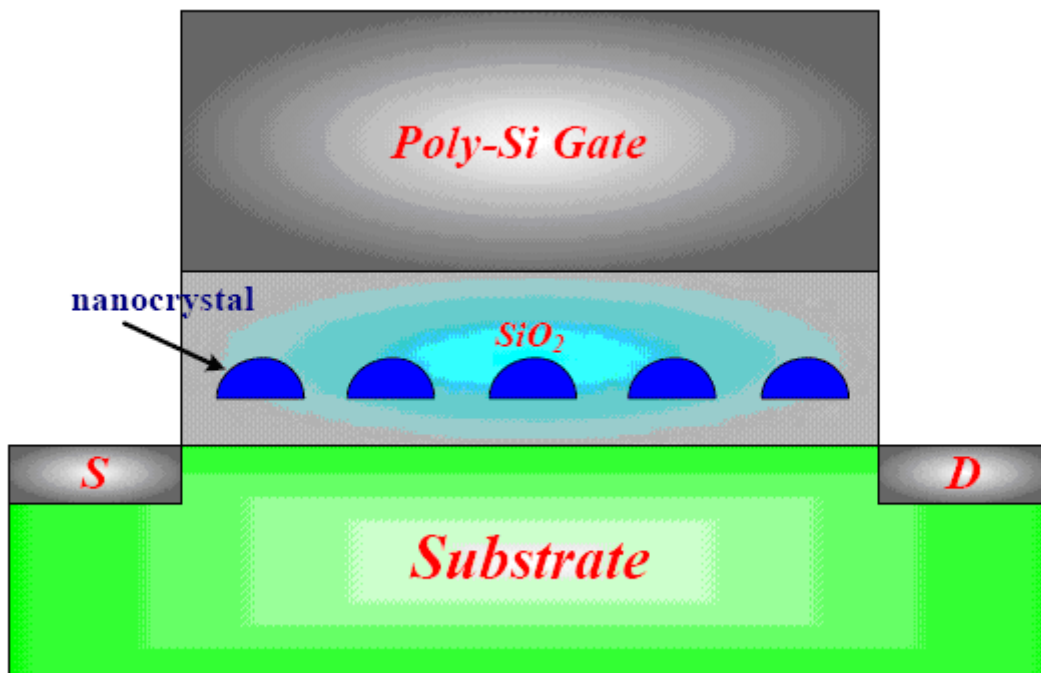


圖 1.2 奈米晶體記憶體



第二章 記憶體操作原理與元件製程

2.1 緒論

大部分的奈米晶體記憶體它的奈米晶體沉積在氧化層表面，而且沉積法通常用Si-precipitation techniques [18]，aerosol deposition method [19-20] 和direct growth techniques [21]，但是這些全部沉積法奈米晶體的結構是複雜的。在這研究中，我們報告Si-NCs埋入Si₃N₄中用臨場沉積法，這製程簡單，低成本又適合標準 complementary metal-oxide-semiconductor(CMOS)製程。這章將詳細描述Si-NCs記憶體元件製程，然後根據實驗的設定量測SONOS memory cell 的I-V和臨界電壓V_T的特性，並說明量測的設備。另外，介紹SONOS memory的寫入和抹除操作機制，最後將逐個描述干擾現象。

2.2 元件製程

利用晶格方向<100>的P-型矽晶片的樣品，在local oxidation of silicon (LOCOS) 步驟之後，用N₂O在垂直爐管氧化成長一個 2.5nm厚度的熱氧化物作為穿隧氧化層，接著，氮化矽(Si₃N₄)儲存層埋入矽奈米晶體一起沉積在穿隧氧化層上，圖 2-1 為描述這儲存層的流程。利用SiH₂Cl₂ (dichlorosilane, DCS)和NH₃的前驅物沉積一層 3nm的氮化矽在Low-Pressure Chemical Vapor Deposition (LPCVD)系統中以及780°C之下。在那之後，SiH₂Cl₂和NH₃關掉，然後在爐管內抽真空 2-min

隨後臨場沉積矽奈米晶體。在這臨場沉積過程中，只有 SiH_2Cl_2 打開在10~90 秒的系統並且沒有改變任何溫度。自我結核的矽奈米晶體由 SiH_2Cl_2 氣體的游離臨場沉積在 Si_3N_4 儲存層內。接著之後， SiH_2Cl_2 關閉，然後在爐管內抽真空 2-min隨後沉積氮化矽層 4nm厚度(再同時打開 SiH_2Cl_2 和 NH_3)。接著在 High Density Plasma Chemical Vapor Deposition (HDPCVD)系統以及 350°C下沉積阻障氧化層(Blocking Oxide) 20 nm，之後我們沉積Poly-Si 200 nm作為控制閘極，且利用磷(P^{31+} , 40 keV at $5 \times 10^{15} \text{ cm}^{-2}$)做閘極離子佈植。

此外，利用複晶矽乾式蝕刻(TCP-9400)和氧化層乾式蝕刻(TEL-5000)來蝕刻複晶矽閘電極和Si-NCs捕捉層與阻障氧化層。接著利用磷來對汲極和源極作離子佈植，植入的能量和劑量為15keV和 $5 \times 10^{15} \text{ cm}^{-2}$ 。接連的執行基板(Substrate)蝕刻和基板佈植，之後10分鐘的快速熱回火(RTA)在1000°C下。此外，利用TEOS在600°C下作為鈍化層550nm，之後接觸窗蝕刻在Physics Vapor Deposition (PVD)系統執行Four-level的金屬化製程(Ti/TiN/Al/TiN)。

2.3 記憶體操作原理

2.3.1 寫入操作

對於記憶體的寫入來說，大致可分為兩種，Fowler-Nordheim (FN)和通道熱電子注入法(Channel Hot Electron Injection) ，F-N和CHE的機制示於圖 2.3。。首先我們先來討論Fowler-Nordheim(FN)穿隧法，穿隧是一個量子力學的過程，在穿隧情形發生的過程中，沒有任何能量的損失，然而穿隧情形發生的機率是相當低的，但如果電子是入射到幾奈米厚的薄阻障層時，發生穿隧的機率就會提高很多，這個穿隧機制發生在氧化層承受很大的壓降，而使其變成三角形位能障，經過調變的FN 穿隧電流密度 J 可以表示如下 [22]： $J = CE_{OT}^2 \exp(-E_T / |E_{OT}|)$ 。其中 $C = \frac{q^2}{16\pi^2 \hbar \phi_1}$ ， $E_T = \frac{4(\phi_1 - \phi_2) \sqrt{2m^*_{ox} q \phi_1}}{3\hbar}$ ，F-N Tunneling 注入方式由閘極端加高電壓，其餘接腳可接地，而形成閘極到基板之間有個大電場跨在閘極氧化層上，形成穿隧的現象，若要產生寫入的效果，電場通常需要高達 10MV/cm，因此穿隧閘極介電層必須承受相當大的電場，對元件氧化層會造成一定程度的傷害，F-N寫入如同對介電層做應力(Stress)，對於閘極介電層的品質是一項嚴酷的考驗。隨著現今製程不斷的進步，製成機台的更新，使得元件不斷的縮小，是因為我們持續降低了閘極氧化層的厚度，閘極氧化層大約降到 5 奈米時，閘極電壓 < 3V 就可以發生穿隧的現象，稱之為直接穿隧

(Direct Tunneling)[23]。

另一種寫入方法為“通道熱電子(Channel Hot Electron)”，為目前使用最為廣泛的寫入方法。在該方法中，單元電晶體通過施加於其控制閘極上的高電壓被切換導通，同時利用施加於汲極(drain)上的一個中間水平電壓而形成從源極至汲極的電場，使電子獲得加速，這就形成了“熱”電子。熱電子受控制閘極正電位所形成的垂直電場吸引，被拉向懸浮閘極。簡單的說，就是將在通道中的負電子加速自通道上跳到懸浮閘極中，以完成寫入的動作。同樣原理可以運用在抹除的功能上，當控制閘接地且源極接至一個高壓時，浮閘上的負電子將會自浮閘中拉至源極，進而完成抹除的動作。另一種為利用能帶對能帶的電洞穿隧法：此機制發生於閘極與汲極重疊區域的n+型汲極(Drain)的表面空乏區。當閘極加負偏壓，汲極加正偏壓時，此時在n+型汲極的表面空乏區會崩潰(Breakdown)，產生電子電洞對。電子會往汲極流出去，則電洞則會越過底面的氧化層(Bottom Oxide)注入氮化矽裡與電子結合，來達到抹去的動作，圖2.4為此穿隧法之示意圖。

在上述兩種寫入方式中，各有其優缺點，F-N Tunneling 由於是藉由跨在氧化層的大壓降而使得電子能穿透三角型位能障，所以所施加的電壓比較大，而 CHE Injection 則是必須讓通道電子傳輸，而形成通道電流，再加上基板電流，所以所消耗的功率會比 F-N Tunneling

來的大，但閘極和汲極端就可以不用施加太大的電壓。

2.3.2 抹除操作

Flash Memory 的抹除就是將存在陷阱能階的電荷移除，使得臨界電壓回覆到低的狀態，而方法大部分以 F-N Tunneling 為主，我再介紹另一種方法為帶對帶熱電洞注入(Band To Band Hot Hole Injection)，我們首先來介紹 F-N Tunneling 抹除方法，此方法與 F-N Tunneling 寫入方法類似，我們在閘極加負偏壓或是接地，而在源極加正偏壓，而使得有一高電場方向從源極到閘極，這個大電場跨降在氧化層上，使得氧化層變成三角形的位勢障，電荷因此由閘極氧化層穿隧出來，達到抹除的效果。

BTBHH 抹除方法則是熱電洞的注入引致穿隧 Tunneling Oxide 的現象，我們同樣在閘極加負偏壓且在汲極加上正偏壓，在接面處形成深層空乏區而產生電洞，由於橫向電場提供電洞能量，而使電洞穿隧 Tunneling Oxide 到達氮化矽層中，此時電洞便會與儲存的電子結合而達到抹除的效果[24]。

現今 Flash Memory 應用於多種電子產品中，其最主要分為兩大類型，NOR 型和 NAND 型，NAND 型結構在一個 Cell 中其位元線(Bit Line)共用，所以 NAND 才會比 NOR 擁有更高的密度，而當我們想要寫入或抹除時，便只能利用 F-N Tunneling 方法，若使用 CHE 方式

則會產生干擾的問題，而 NOR 型則較適合 CHE 的方法來達成寫入與抹除的功能。

2.4 干擾和保存能力

圖 2.5 為整體 Memory 陣列(array)的干擾特性。在陣列中，當我們在寫入一個特定的 Cell 時，施與電壓在此 Cell，而在隔壁我們不希望寫入的 Cell 會受到干擾，此現象為閘極干擾或汲極干擾。兩種現象的干擾：gate(word-line)disturba 和 drain/source (bit-line)disturbance 我們都必須去考慮，當我們在寫入 Cell A 時，此時 Cell B 會出現 gate disturbance 的現象，因為 A 和 B 的閘極相接於同一條線，受到同樣的字元線(word-line)電壓，電場橫越 ONO 氧化層變高且可能導致電子從基板穿隧到 trapping layer 或電子在 trapping layer 穿隧 top oxide，使的臨界電壓(threshold voltage)將增大或減少。而 Cell C 則會發生 drain disturbance，因為 A 和 C 的汲極同接於位元線(bit-line)上。這裡有兩種原因使的 Cell C 的臨界電壓降低。當我們在讀取資料時，我們不希望的電子注入會發生於施加 WL 電壓和 BL 電壓上，我們統稱為讀取干擾(Read Disturbance)。

2.5 量測設備

我們量測記憶體 I-V 特性和臨界電壓特性的實驗設備示於圖 2.6，包括了量測半導體特性的儀器(KEITHLEY 4200)，一台脈衝產生器(Agilent 81110A)，一台 switch (KEITHLEY 708A)，一台 C-V 量測機台(Agilent 8284)以及一座 Probe Station 來提供量測元件的 I-V 特性，和執行我的 Memory Cell 的 P/E 操作。

可程式化的source-monitor units (SMU)架設在KEITHLEY 4200 機台上且提供一個pico-ampere範圍的高電流解析度來量測閘極電流和次臨界特性以及汲極飽和電流，而agilent 81110A擁有高的時間解析並提供脈衝暫態用於P/E循環耐久力的特性分析，另一個脈衝則提供給KEITHLEY 4200，而KEITHLEY 708A配備了 10-input×12-output的轉換矩陣，負責自動轉換KEITHLEY 4200 和Agilent 8110A 的訊號，再量測probe station裡的待測物(DUT)，此外，必須透過C++語言來達到KEITHLEY 4200 控制其他量測儀器。

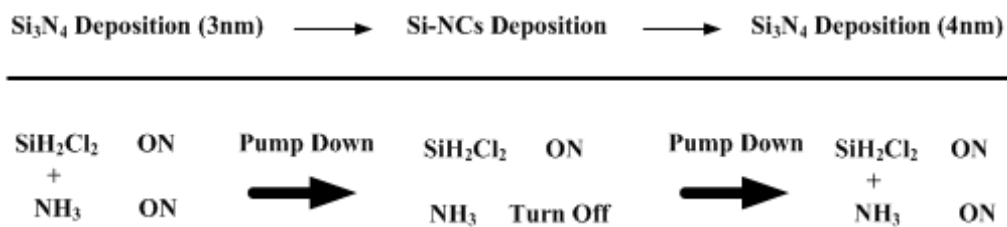


圖 2.1 *in-situ* 沉積矽奈米晶體在氮化物中的流程

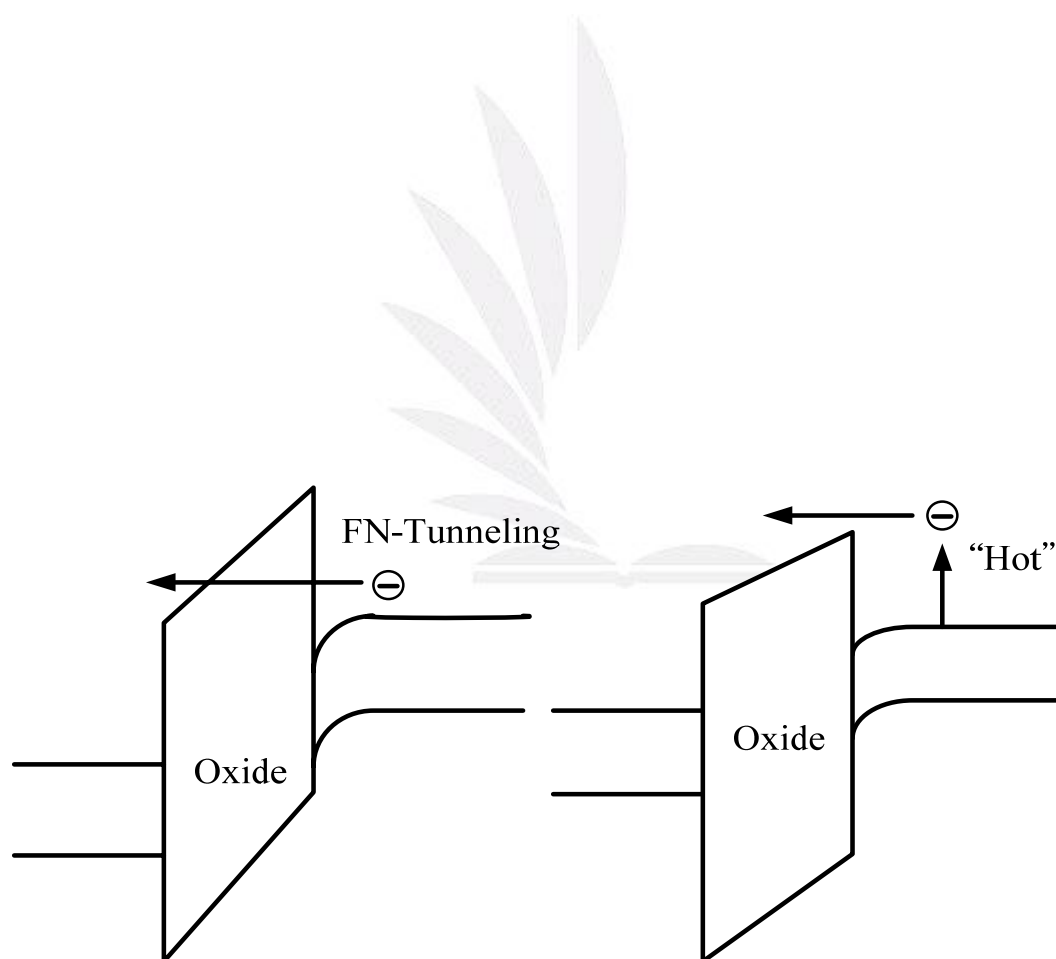


圖 2.2 Fowler-Nordheim(FN)和通道熱電子注入(CHEI)機制圖

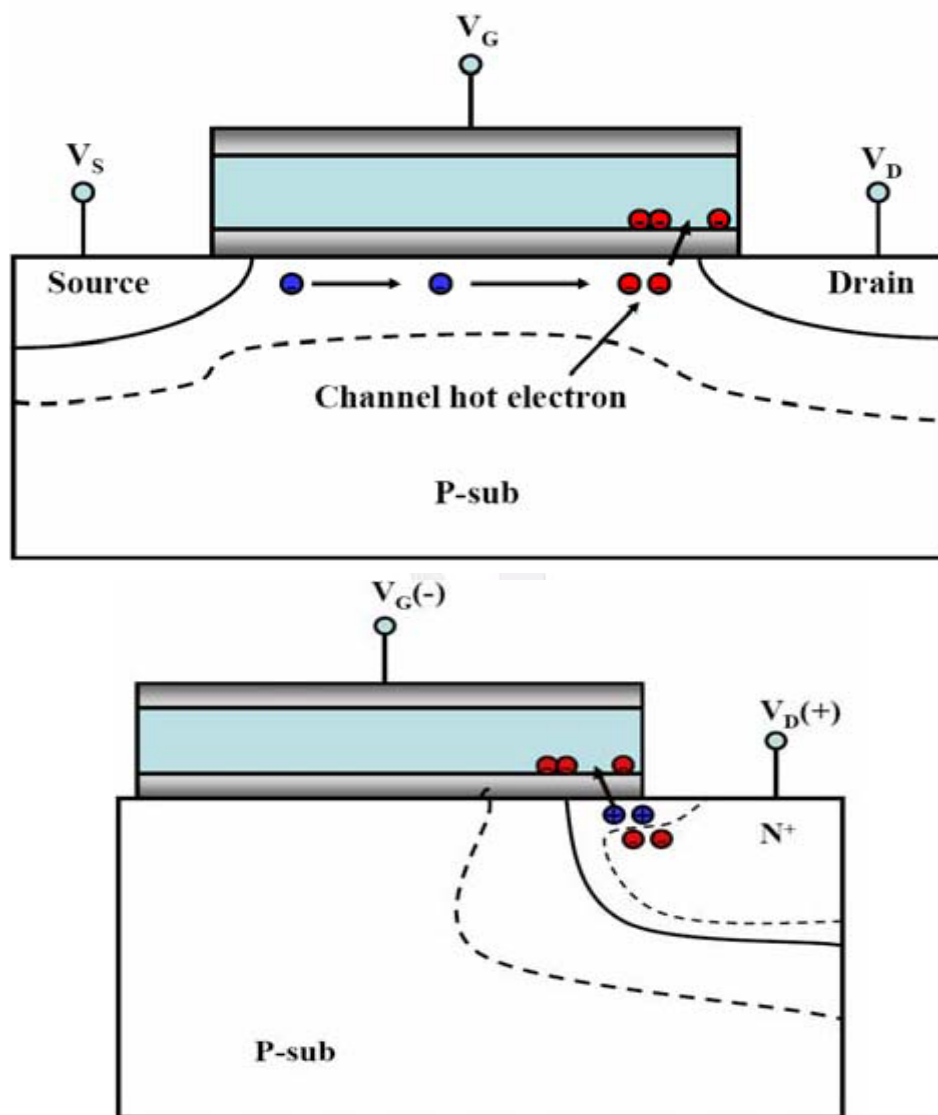


圖 2.3 通道熱電子注入(CHEI)的寫入和抹除示意圖

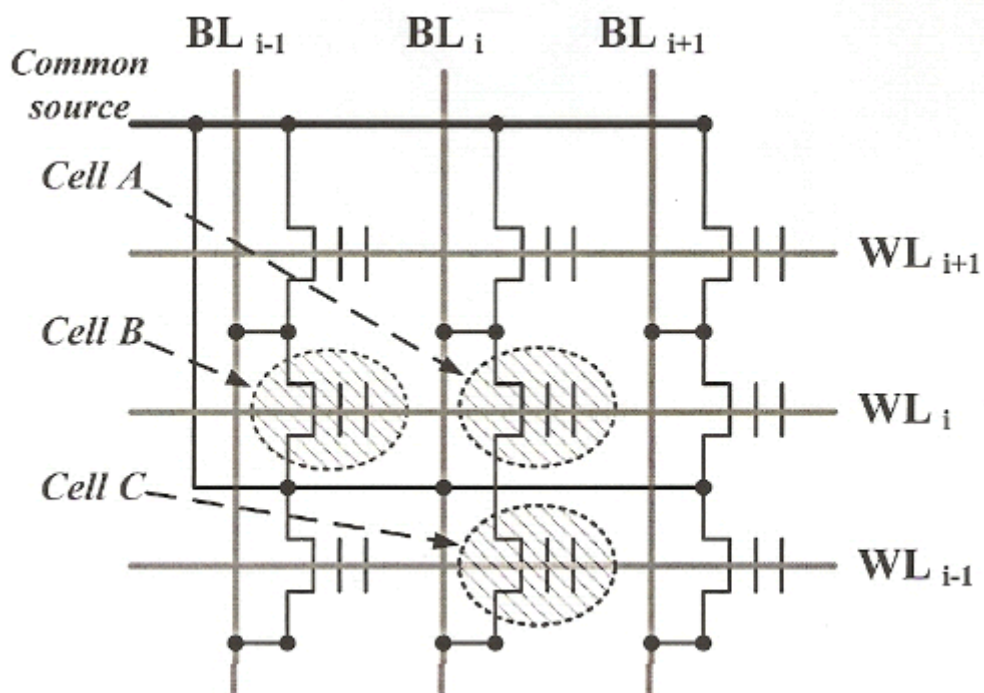


圖 2.4 當 A 寫入時，B 受到閘極干擾且 C 受到汲極干擾

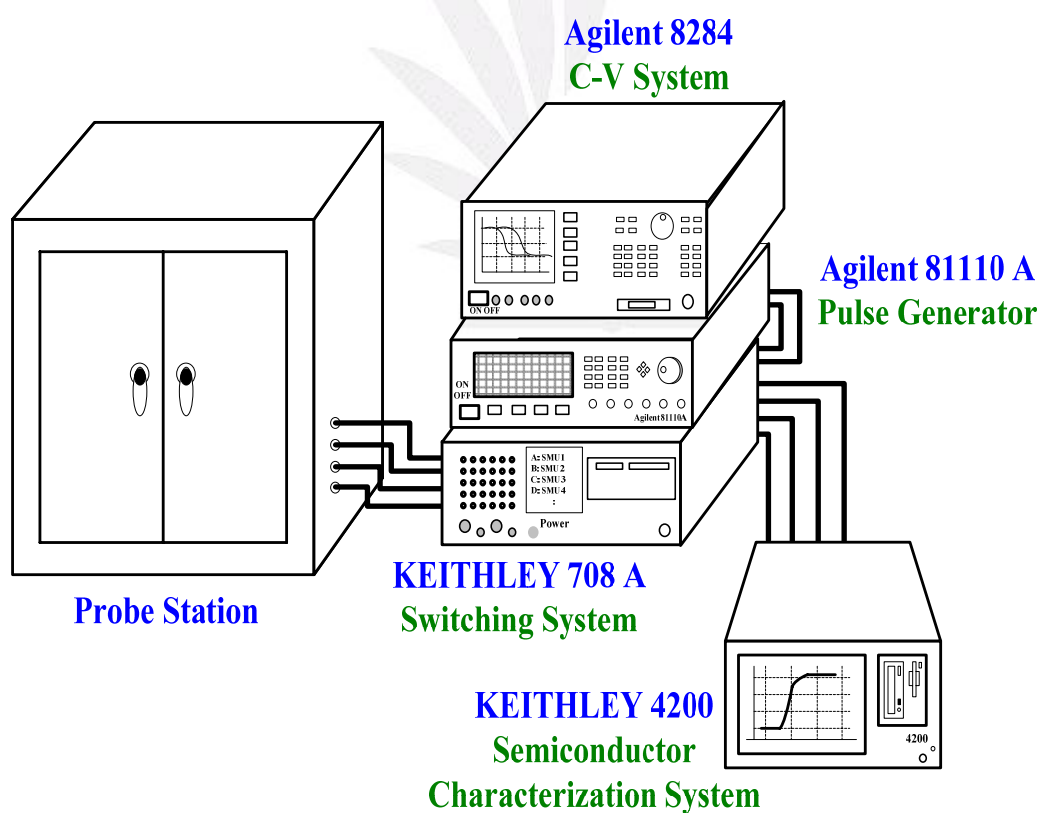


圖 2.5 量測記憶體電流-電壓和臨界電壓特性的實驗設備

第三章 矽奈米晶體記憶體元件的特性

3.1 緒論

我們知道記憶體元件的寫入與抹除速度是非常重要的，並且希望記憶體寫入和抹除的速度可以盡可能的更快。另外，為了使快閃記憶體技術進入有利的市場，必須要有大容量的儲存、便於攜帶的運用，且每位元的費用必須降低，因此二位元操作或Multi-Level Cell(MLC)操作技術是必要的，可極大的減少快閃記憶體的位元費用，這是由於存放另外相當數量的電荷在氮化矽捕捉層，確實地區別不同的levels和處理這些levels作為位元不同組合。因此，如果四個不同 V_{TH} levels能存放在單cell並且能讀出corresponding currents，則記憶體密度會加倍、die size不會增加。因此，在這章節中，我們將使用AFM估計Si-NCs點的大小和密度，並討論Si-NCs記憶體在不同Si-NCs沉積時間下的寫入/抹除速度，在我們寫入和抹除各自的樣品使用通道熱電子(CHE)注入法和帶對帶熱電子(BBHH)注入法，並且實行二位元操作和Multi-Level操作。

3.2 結果與討論

首先需要討論在我們的Si-NCs記憶體元件中的Si-NCs點大小與密度，由atomic force microscopy (AFM)量測可清楚的在氮化矽層上發現矽奈米晶體，埋藏Si-NCs於氮化矽層內的AFM影像圖顯示在圖 3.1~圖 3.4，白色小點表示在臨場沉積過程後形成的Si-NCs。圖 3.1 顯示以 10 秒沉積時間埋藏矽奈米晶體於氮化矽層內的AFM影像圖，平均大小估計大約 7nm附近且密度為 $7.4 \times 10^{11} \text{ cm}^{-2}$ ，與圖 3.1 比較，當沉積 SiH_2Cl_2 的時間從 30 秒增加到 90 秒粗糙度也隨之增加，顯示於圖 3.2~圖 3.4。 SiH_2Cl_2 的沉積時間分別為 30、60 和 90 秒，則平均點大小估計大約為 9、10、12.5nm，並且點密度大約為 7.8×10^{11} 、 9×10^{11} 和 $6.9 \times 10^{11} \text{ cm}^{-2}$ 。AFM影像意味著Si-NCs的點大小隨著 SiH_2Cl_2 沉積期間的增加而增加。此外，在AFM影像能看見，Si-NCs很好被互相分離，保證電子隔離在兩奈米晶體之間。

AFM影像的Si-NCs的點大小隨著 SiH_2Cl_2 沉積期間的增加而增加，但點密度並不會隨著 SiH_2Cl_2 沉積期間的增加而增加。然而，當 SiH_2Cl_2 的沉積時間為 60 秒時Si-NCs的點密度有最大值，這可能是因為在 SiH_2Cl_2 沉積期間Si-NCs未形成，但在 Si_3N_4 沉積期間形成了Si-NCs。如果在 SiH_2Cl_2 沉積期間形成Si-NCs，則點大小將會隨著 SiH_2Cl_2 臨場沉積期間的增加而增加，但是點密度將會為常數，所以分離的矽薄膜

是沉積在 SiH_2Cl_2 沉積期間，然後在 Si_3N_4 沉積期間分離的矽薄膜忍受高溫和長時間的形成Si-NCs，最後導致Si-NCs的點大小會隨著 SiH_2Cl_2 臨場沉積期間的增加而增加，並且當 SiH_2Cl_2 沉積時間為 60 秒時Si-NCs的點密度有一個最大值。

圖 3.5 顯示Si-NCs記憶體寫入速度的特性在 SiH_2Cl_2 沉積時間為 10 秒和寫入電壓為 5、6 和 7V。從圖中我們可以觀察到當寫入電壓從 5V增加到 7V時寫入速度也隨之增加，並且當寫入電壓為 5V和寫入時間為 1 秒時記憶窗大約為 1.5V，另外，當寫入電壓為 6V和 7V和寫入時間為 1ms時記憶窗會超過 3V。圖 3.6 顯示Si-NCs記憶體寫入速度的特性在 SiH_2Cl_2 沉積時間為 30 秒和寫入電壓為 5、6 和 7V。從圖中我們可以觀察到當寫入電壓從 5V增加到 7V時寫入速度也隨之增加，並且當寫入電壓為 5V和寫入時間為 1ms時記憶窗大約為 3V，另外，當寫入電壓為 6V和 7V和寫入時間為 1ms時記憶窗會超過 4.5V。圖 3.7 顯示Si-NCs記憶體寫入速度的特性在 SiH_2Cl_2 沉積時間為 60 秒和寫入電壓為 5、6 和 7V。從圖中我們可以觀察到當寫入電壓從 5V增加到 7V時寫入速度也隨之增加，並且當寫入電壓為 5V和寫入時間為 1ms時記憶窗大約為 2V，另外，當寫入電壓為 6V和 7V和寫入時間為 1ms時記憶窗會超過 3.5V。圖 3.8 顯示Si-NCs記憶體寫入速度的特性在 SiH_2Cl_2 沉積時間為 90 秒和寫入電壓為 5、6 和 7V。從圖中我們可

以觀察到當寫入電壓從 5V 增加到 7V 時寫入速度也隨之增加，並且當寫入電壓為 5V 和寫入時間為 1ms 時記憶窗大約為 2V，另外，當寫入電壓為 6V 和 7V 和寫入時間為 1ms 時記憶窗會超過 4V。

圖 3.5~圖 3.8 有相同的特性當寫入電壓從 5V 增加到 7V 時寫入速度會隨之增加，這是因為增加閘極電壓可以提高垂直場增進電子注入效率且增加汲極電壓可以提高汲極累增崩潰，所以將有更多電子-電洞對產生在空乏區內，因此，當我們寫入電壓從 5V 增加到 7V 時寫入速度會更快。

樣品以 SiH_2Cl_2 沉積時間為 30 秒有最快的寫入速度和這樣品的 I_D-V_G 曲線顯示於圖 3.9。當汲極電流為 $0.1\mu\text{A}$ 的順向曲線，臨界電壓被定義為閘極電壓的應用，因此，形成圖形，我們可以觀察到樣品在 $V_G=6\text{V}$ 、 $V_D=6\text{V}$ 和 $t=100\mu\text{s}$ 寫入之後產生一個 3V 的記憶窗。

圖 3.10 顯示 Si-NCs 記憶體抹除速度的特性在 SiH_2Cl_2 沉積時間為 10 秒和抹除電壓為 -6、-7、-8 和 -9V。從圖中我們可以觀察到當抹除電壓從 -6V 增加到 -8V 抹除速度也隨之增加，但是抹除電壓增加到 -9V 時抹除速度並沒有增加，並且速度和抹除電壓為 -8V 一樣，另一方面，我們也可以觀察到當抹除電壓為 -8V 時會發生抹除飽和，並且當抹除電壓為 -9V 時會發生閘極注入。圖 3.11 顯示 SiH_2Cl_2 沉積時間為 30 秒和抹除電壓為 -6、-7、-8 和 -9V 的 Si-NCs 記憶體抹除速度的特性。從

圖中我們可以觀察到抹除速度會隨著抹除電壓從-6V增加到-8V而增加，但是抹除電壓增加到-9V時抹除速度並沒有增加，並且速度和抹除電壓為-8V一樣，此外，當抹除電壓為-8V和-9V時會發生抹除飽和。

圖 3.12 顯示 SiH_2Cl_2 沉積時間為 60 秒和抹除電壓為-6、-7、-8 和-9V 的Si-NCs記憶體抹除速度的特性。從圖中我們可以觀察到抹除速度會隨著抹除電壓從-6V增加到-8V而增加，然而抹除電壓增加到-9V時抹除速度並沒有增加，並且速度和-8V的抹除電壓一樣，此外，當抹除電壓為-8V和-9V時會發生抹除飽和。圖 3.13 顯示 SiH_2Cl_2 沉積時間為 90 秒和抹除電壓為-6、-7、-8 和-9V的Si-NCs記憶體抹除速度的特性。從圖中我們可以觀察到抹除速度會隨著抹除電壓從-6V增加到-8V而增加，然而抹除電壓增加到-9V時抹除速度並沒有增加，並且速度和-8V的抹除電壓一樣，另外，當抹除電壓為-8V和-9V時會發生抹除飽和。

圖 3.11~圖 3.13 有相同的特性當抹除電壓從-6V 增加到-8V 時抹除速度會隨之增加，這原因和寫入速度有一些相同，因為抹除電壓的增加可以提高電洞注入效率，所以抹除速度會隨著抹除電壓從-6V 增加到-8V 而增加，此外，在抹除電壓增加到-9V 時抹除速度並沒有增加，它和抹除電壓為-8V 的速度相同，且在相同條件下有抹除飽和，這是因為電子從控制閘注入。

3.3 結論

這個研究我們論證了臨場沉積法在氮化矽層內形成 Si-NCs 當作 SONOS 記憶體的電荷捕捉層，我們發現 Si-NCs 記憶體在 Si-NCs 沉積時間為 30 秒時有最佳的寫入/抹除速度和當 Si-NCs 沉積時間為 10 秒時 Si-NCs 記憶體有最差的寫入/抹除速度。



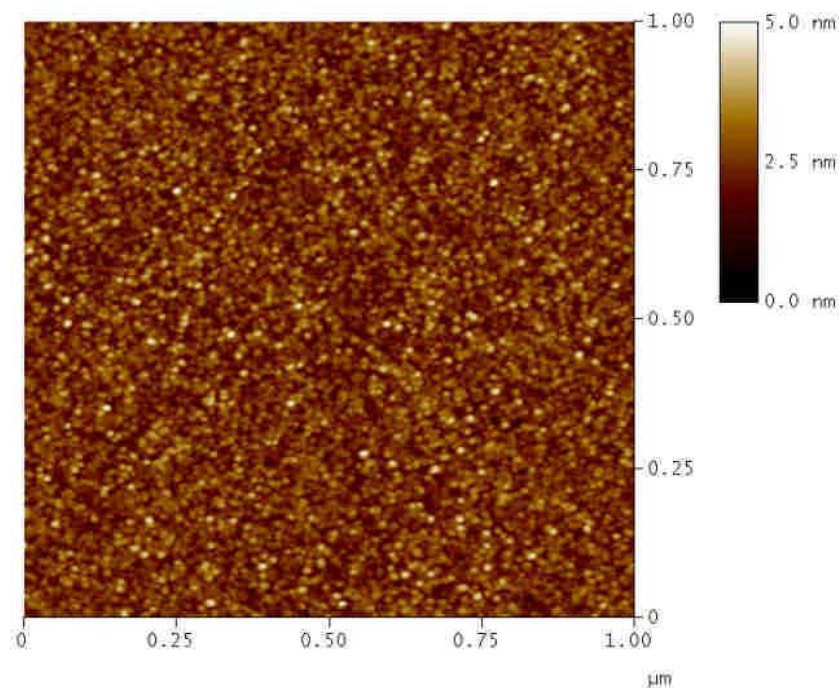


圖 3.1 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 10 秒)。奈米晶體密度為 $7.4 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 7nm。

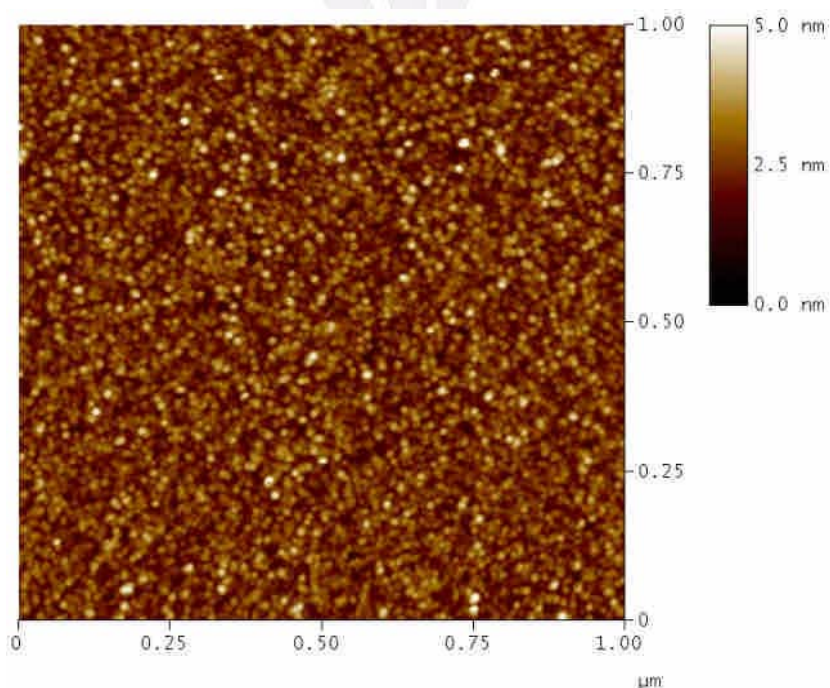


圖 3.2 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 30 秒)。奈米晶體密度為 $7.8 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 9nm。

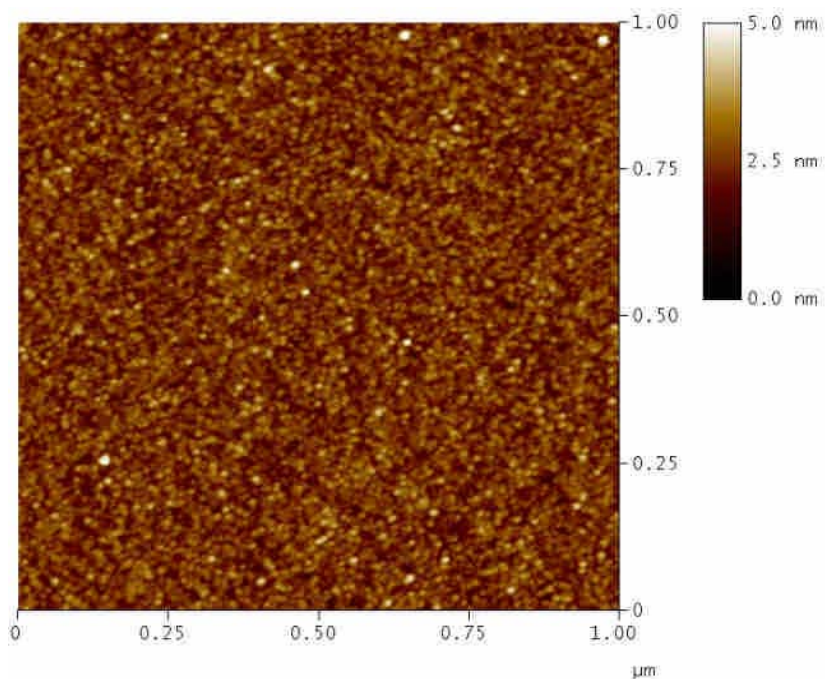


圖 3.3 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 60 秒)。奈米晶體密度為 $9 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 10nm。

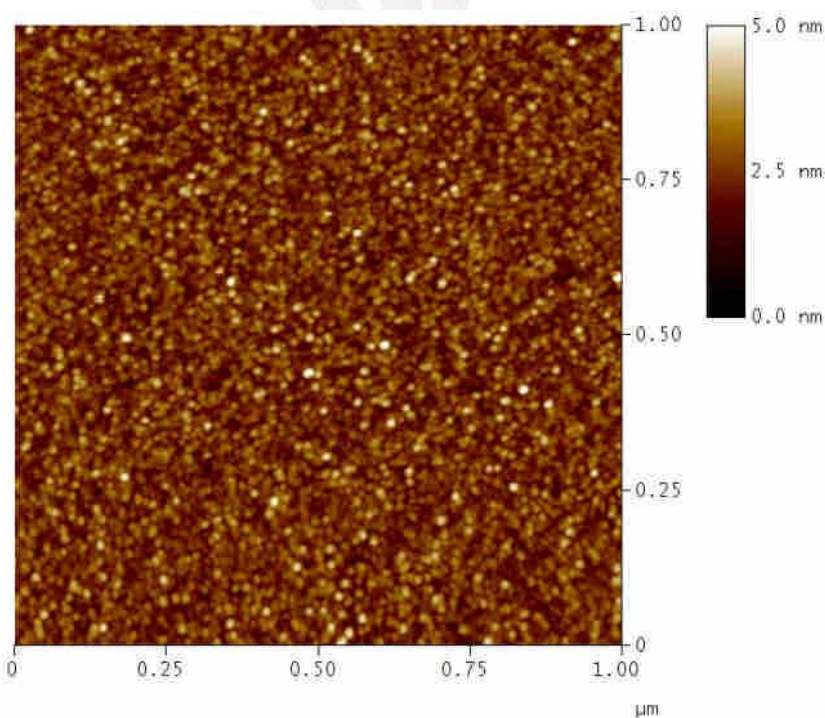


圖 3.4 埋藏矽奈米晶體於氮化矽層內的 AFM 影像圖(沉積時間為 90 秒)。奈米晶體密度為 $6.9 \times 10^{11} \text{ cm}^{-2}$ 和點大小大約為 12.5nm。

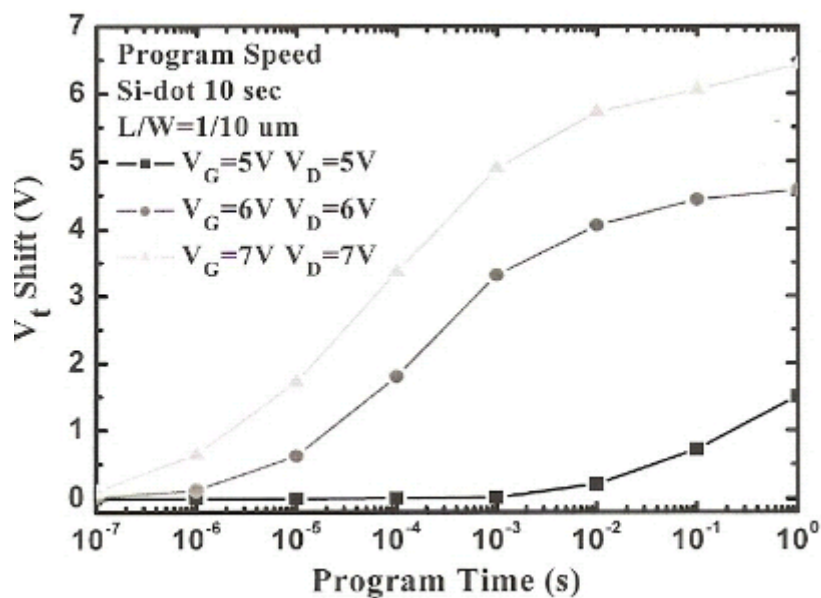


圖 3.5 Si-NCs 記憶體在 Si-NCs 沉積時間為 10 秒隨著不同的寫入偏壓下的寫入速度特性圖。

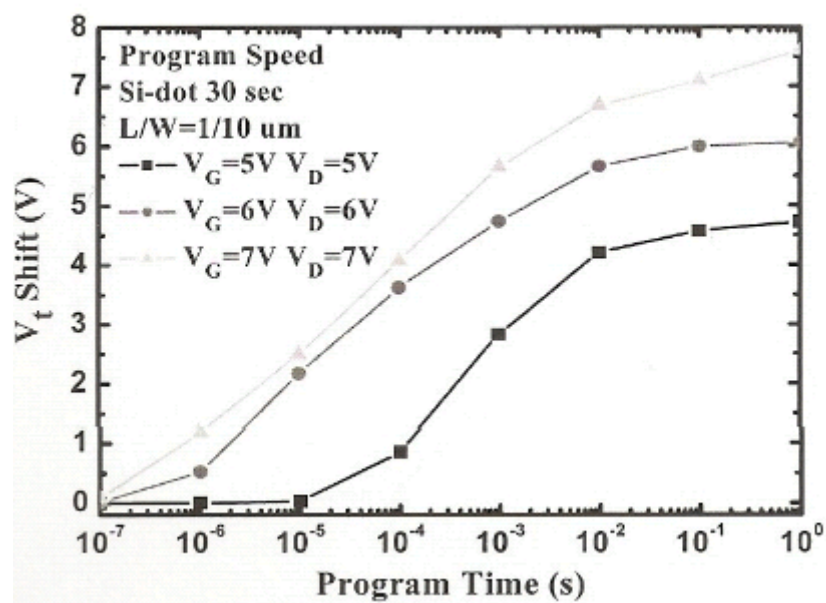


圖 3.6 Si-NCs 記憶體在 Si-NCs 沉積時間為 30 秒隨著不同的寫入偏壓下的寫入速度特性圖。

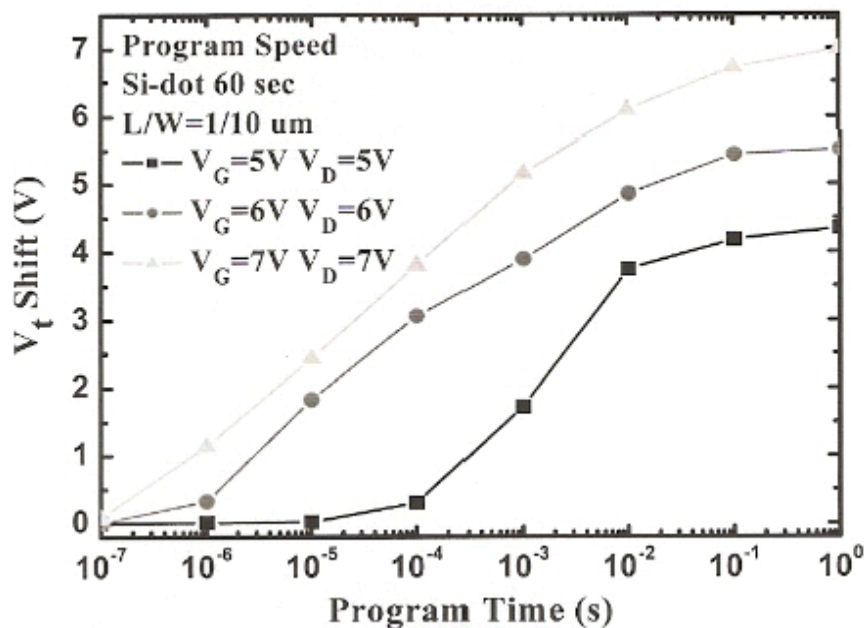


圖 3.7 Si-NCs 記憶體在 Si-NCs 沉積時間為 60 秒隨著不同的寫入偏壓下的寫入速度特性圖。

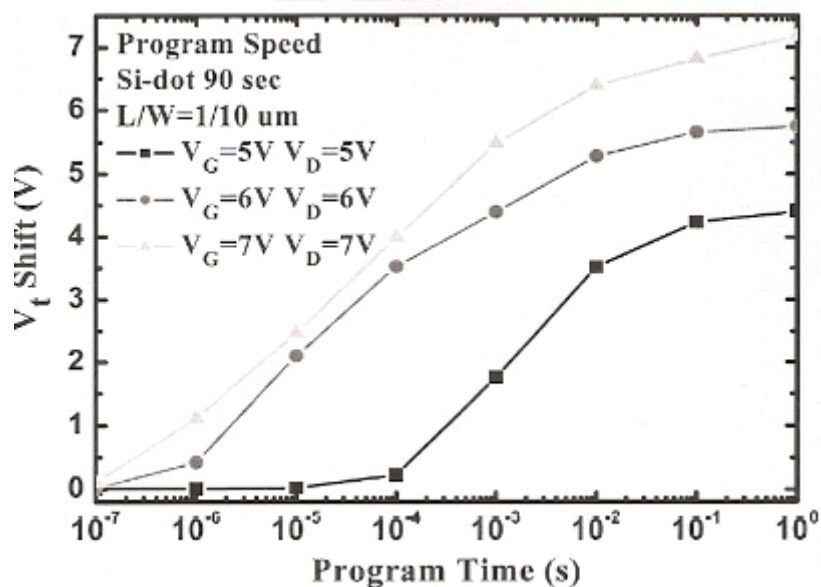


圖 3.8 Si-NCs 記憶體在 Si-NCs 沉積時間為 90 秒隨著不同的寫入偏壓下的寫入速度特性圖。

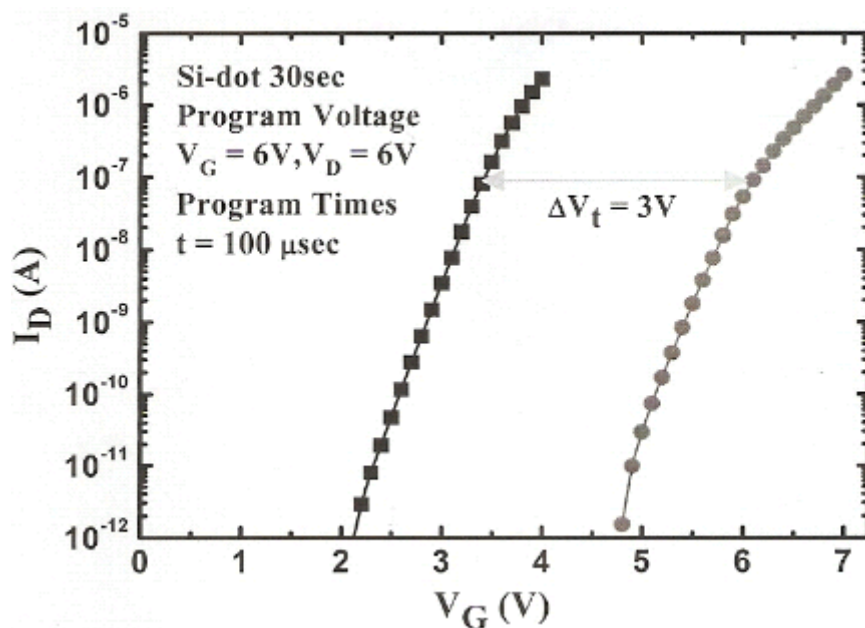


圖 3.9 在 9nm 的 Si-NCs 大小下 $V_G=6V$ 和 $V_D=6V$ 的寫入電壓和寫入時間為 100- μ sec 的 Si-NCs 記憶體的 I_D-V_G 曲線圖。

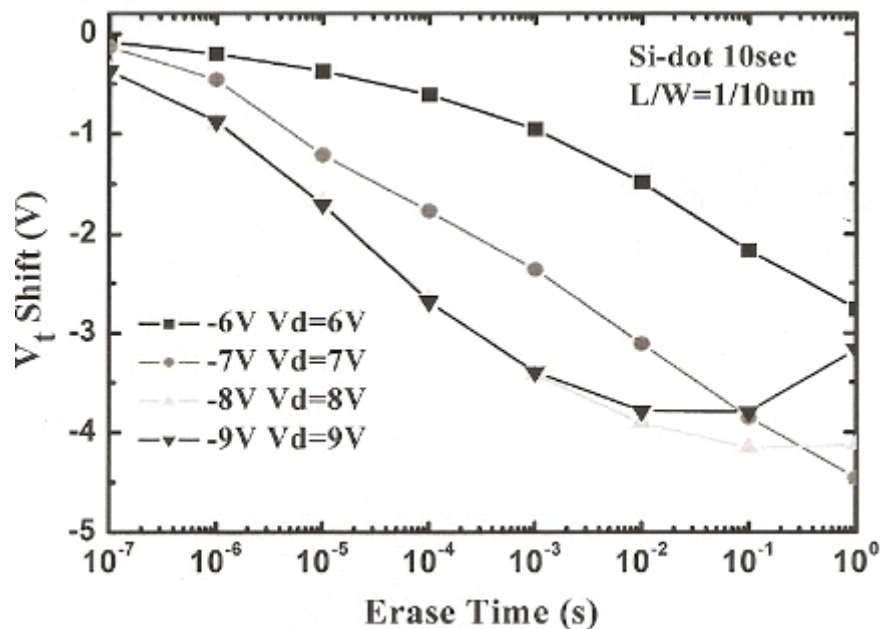


圖 3.10 Si-NCs 記憶體在 Si-NCs 沉積時間為 10 秒隨著不同的抹除偏壓下的抹除速度特性圖。

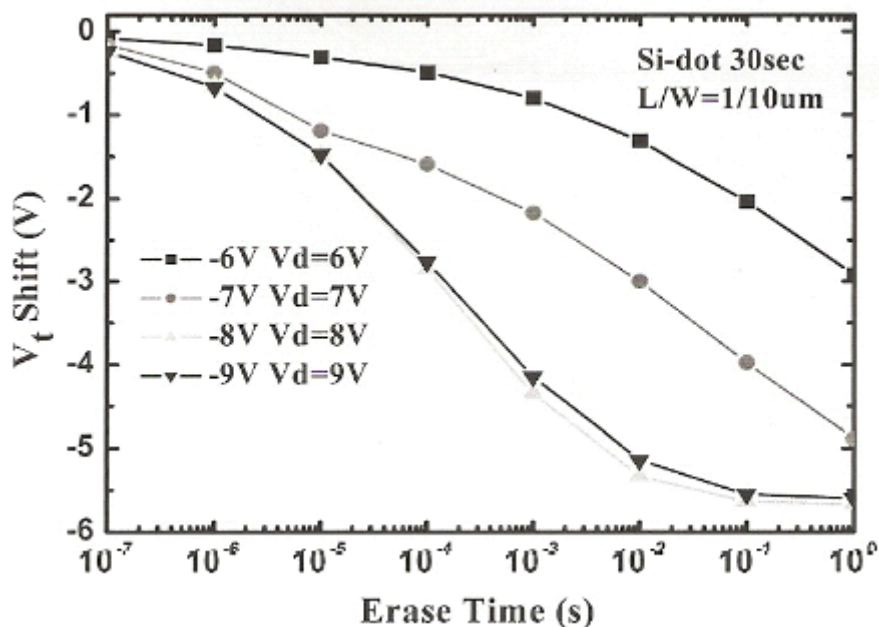


圖 3.11 Si-NCs 記憶體在 Si-NCs 沉積時間為 30 秒隨著不同的抹除偏壓下的抹除速度特性圖。

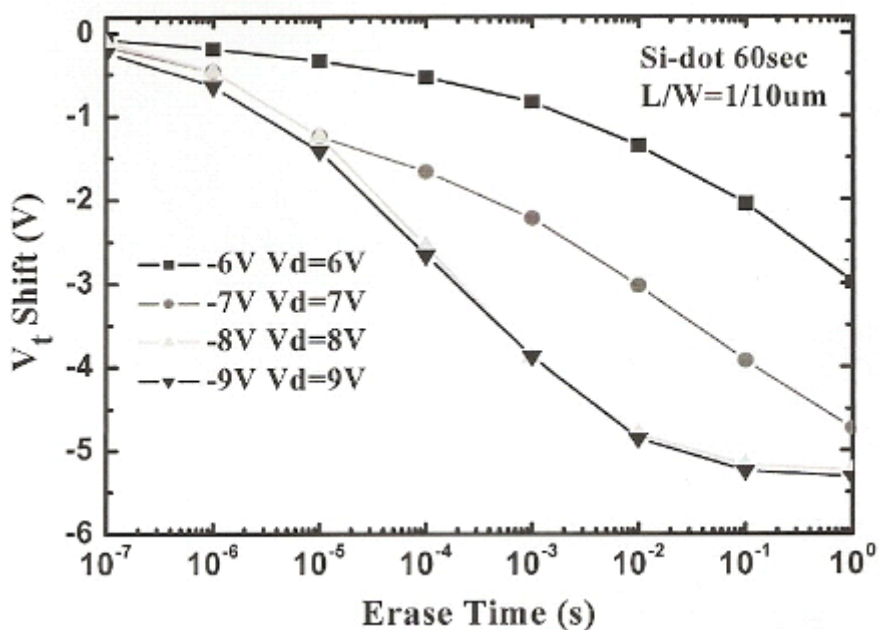


圖 3.12 Si-NCs 記憶體在 Si-NCs 沉積時間為 60 秒隨著不同的抹除偏壓下的抹除速度特性圖。

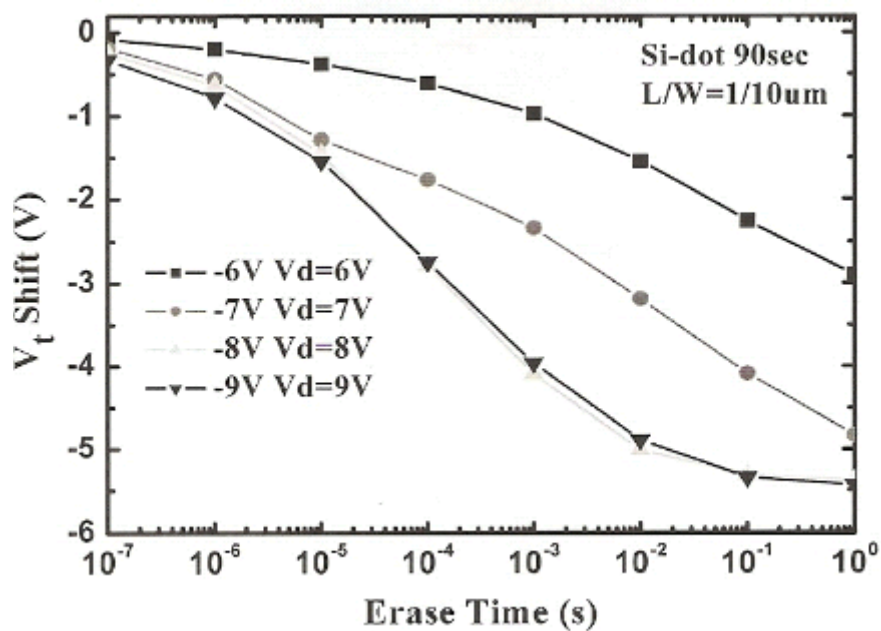


圖 3.13 Si-NCs 記憶體在 Si-NCs 沉積時間為 90 秒隨著不同的抹除偏壓下的抹除速度特性圖。

第四章 總結以及未來展望

4.1 總結

在這篇專題研究中，我們學習將 Si-NCs 埋藏於 SONOS 記憶體的 Si_3N_4 層中的應用，我們也成功地證明利用 *in-situ* 沉積法將矽奈米晶體埋藏於 SONOS 記憶體的 Si_3N_4 層中此種元件的可行性，且矽奈米晶體的大小可以簡單的利用沉積時間來控制。

關於寫入速度，我們發現 Si-NCs 沉積時間為 30 秒的 Si-NCs 記憶體有最佳的寫入速度和 Si-NCs 沉積時間為 10 秒的 Si-NCs 記憶體有最差的寫入速度。關於抹除速度，我們發現 Si-NCs 沉積時間為 30 秒的 Si-NCs 記憶體也有最佳的抹除速度和 Si-NCs 沉積時間為 10 秒的 Si-NCs 記憶體有最差的沉抹除速度。

關於 data retention，thermionic emission，direct tunneling 和 trap-to-trap tunneling，在與資料損失相關中，是三個漏失最大的要素。臨界電壓的減少歸結於陷井世代在氧化層中和接面狀態世代在穿隧氧化層和通道接面之間，通常稱做電子退化。在我們的元件中可以發現 Si-NCs 記憶體在 Si-NCs 沉積時間為 60 秒有最好的特性和 data retention 的特性在十年後全部的樣品不會喪失超過 0.5V。

總之，根據我們的研究我們顯示證明出，埋藏 Si-NCs 於 SONOS 記憶體的氮化矽層中有更快的寫入和抹除速度、更低的元件操作電壓

和優秀的 data retention 的特性，而且 Si-NCs 沉積時間為 30 秒是最佳的沉積時間。

4.2 未來展望

在這篇專題研究中，我們發現到 Si-NCs 沉積時間為 30 秒是最佳的沉積時間，所以我們能在這最佳化的沉積時間將矽奈米晶體埋藏於氮化矽層中不同的位置，此外，我們可以用 high-K 材料來改變 storage layer 和 blacking oxide 的材料來增進元件的特性。



參考文獻

- [1] S. Lai, Future Trends of Nonvolatile Memory Technology, December 2001
- [2] S. Aritome, “Advanced Flash Memory Technology and Trends for File Storage Application,” *IEEE IEDM Tech. Dig.*, pp. 763-766, 2000.
- [3] *Process Integration, Device and Structures and Emerging Research Devices*, ITRS, 2005 edition.
- [4] M. K. Cho and D. M. Kim, “High performance SONOS memory cells free of drain turn-on and over-erase: Compatibility issue with current flash technology,” *IEEE Electron Device Lett.*, vol. 21, pp. 399–401, Aug. 2000.
- [5] F. R. Libsch and M. H. White, “Nonvolatile semiconductor memory technology,” in *SONOS Nonvolatile Semiconductor Memories*, W. D. Brown and J. E. Brewer, Eds. Piscataway, NJ: IEEE Press, 1998, pp. 309–357.
- [6] S. K. Sung, I. H. Park, C. J. Lee, Y. K. Lee, J. D. Lee, B. G. Park, S. D. Chae, and C. W. Kim, “Fabrication and Program/Erase Characteristics of 30-nm SONOS Nonvolatile Memory Devices,” *IEEE Transaction on Nanotechnology*, Vol. 2, pp.258-264, 2003.
- [7] C. S. Hsieh, P. C. Kao, C. S. Chiu, C. H. Hon, C. C. Fan, W. C. Kung, Z. W. Wang, and E. S. Jeng, “NVM Characteristics of Single-MOSFET Cells Using Nitride Spacers With Gate-to-Drain NOI”, *IEEE Trans. Electron Devices*, vol. 51, pp.1811-1817, 2004.
- [8] D. Kahng and S. M. Sze, “A Floating Gate and Its Application to Memory Devices”, *Bell Syst. Tech. J.*, Vol. 46, p. 1288, 1967.
- [9] J. D. Blauwe, “Nanocrystal Nonvolatile Memory Devices,” *IEEE Transaction on Nanotechnology*, Vol. 1, pp. 72-77, 2002.
- [10] W. J. Tsai, N.K. Zous, C. J. Lie, C. C. Liu, C. H. Chen, T. Wang, “Data retention behavior of a SONOS type two-bit storage flash memory cell”, in *IEDM Tech. Dig.*, pp.719-722, 2001.
- [11] M. Specht, U. Dorda, L. Dreeskomfeld, J Kretz, F. Hofmann, M. Stadele, R. J. Luyken, W. Rosner, H. Reisinger, E. Landgraf, T. Schulz, J. Hartwich, R. Kommling, and L. Risch, “20 nm tri-gate SONOS memory cells with multi-level operation”, in *IEDM Tech. Dig.*, pp.1083-1085, 2004.
- [12] Y. H. Lin, C. H. Chien, C. T. Lin, C. Y. Chang, and T.F. Lei,

- “High-Performance Nonvolatile HfO₂ Nanocrystal Memory,” *IEEE Electron Devices Lett* , Vol.26.pp.154 -156, 2005.
- [13] W. J. Tsai, N. K. Zous, T. Wang, Y. H. Joseph Ku, and C. Y. Lu, “A Novel Operation Method to Avoid Overerasure in a Scaled Trapping-Nitride Localized Charge Storage Flash Memory Cell and Its Application for Multilevel Programming”, *IEEE Trans. Electron Devices*, vol. 53, pp.808-814, 2006.
- [14] Jan De Blauwe ,”Nanocrystal Nonvolatile Memory Devices” *IEEE Trans. Nanotechnology*, Vol. 1,No. 1, 2002.
- [15] Y. K. Lee, T. H. Kim, S. H. Lee, J. D. Lee, B. G. Park, “Twin-bit silicon–oxide–nitride–oxide–silicon (SONOS) memory by inverted sidewall patterning(TSM-ISP)”, *IEEE Digest of Silicon Nanoelectronics Workshop*, pp. 92–93, 2003.
- [16] E. Lusky, Y. Shacham-Diamand, I. Bloom, B. Eitan, “Electrons retention model for localized charge in oxide–nitride–oxide (ONO) dielectric”, *IEEE Electron Dev. Lett.*, vol. 23, pp.556–558,2002.
- [17] G. Nicotra, R. A. Puglisi, S. Lombardo, C. Spinella, M. Vulpio, G. Ammendola, M. Bileci, and C. Gerardi, "Nucleation kinetics of Si quantum dots on SiO₂," *Journal of Applied Physics*, vol. 95, pp. 2049-2055, 2004.
- [18] C. Y. Ng, T. P. Chen, M. Yang, J. B. Yang, L. Ding, C. M. Li, A. Du, and A. Trigg, “Impact of Programming Mechanisms on the Performance and Reliability of Nonvolatile Memory Devices Based on Si Nanocrystals” , *IEEE Trans. Electron Devices*, vol. 53, on. 4, pp. 663-667, Apr. 2006.
- [19] M. Ostraat, J. De Blauwe, M. Green, D. Bell, H. Atwater, and R. Flagan,“Ultra-clean two-stage aerosol reactor for production of oxide-passivated silicon nanoparticles for novel memory device,” *Journal of The Electrochemical Society*, vol. 148, no. 5, pp. G265-G270, 2001.
- [20] J. De Blauwe, M. Ostraat, M. Green, G. Weber, T. Sorsch, A. Kerber, F. Klemens, R. Cirelli, E. Ferry, J. L. Grazul, F. Baumann, Y. Kim, W. Mansfield, J. Bude, J. T. C. Lee, S. J. Hillenius, R. C. Flagan, and H. A. Atwater, “A novel, aerosol-nanocrystal floating-gate device for nonvolatile memory applications,” in *IEDM Tech. Dig.*, pp. 683-686,2000.
- [21] Y. Shi, S. L. Gu, X. L. Yuan, Y. D. Zheng, K. Saito, H. Ishikuro, and T. Hiramoto, “Silicon nano-crystals based MOS memory and effects

- of traps on charge storage characteristics,” *Solid-State and Integrated Circuit Technology*, pp. 838-841,1998.
- [22] M. French, H. Sathianathan, and M. H. White, “A SONOS Nonvolatile Memory Cell for Semiconductor Disk Application” , IEEE, *Nonvolatile Memory Technology Review*, 1993, p.70.
- [23] Richard S. Muller and Theodore I. Kamins with Mansun Chan," *Devices Electronics for Integrated Circuits* " 3rd Edition.
- [24] 楊文祿，彭武欽，“多層與二位元操作方式之隱藏性選擇式閘極結構記憶體”，逢甲大學電子工程學系，碩士論文。

